

BlackJack (21) - Trabalho Final Sistemas Digitais¹

Luiz Henrique Rigo Faccio²

Resumo

Trabalho desenvolvido durante a disciplina de Sistemas Digitais, visando aplicar todos os conceitos abordados no CCR em um projeto prático, que simula um jogo de cartas, BlackcJack. A é feita em VHDL e é validada através do software *Digital*³ e da síntese física em uma FPGA.

1. INTRODUÇÃO E DESCRIÇÃO

O projeto consiste na implementação de um jogo em VHDL. BlackJack, ou 21, é um jogo de cartas de dois jogadores onde o objetivo é chegar o mais próximo de 21 pontos, sem ultrapassar este valor. Neste caso, o jogo é implementado para apenas um jogador, com o segundo jogador sendo simulado no próprio sistema através de um conjunto base de regras.

A arquitetura conta com seis módulos diferentes, responsáveis por funcionalidades distintas dentro do jogo. A arquitetura totalmente modular foi escolhida em virtude da sua fácil compreensão e manutenção. Três dos módulos são implementados através de Máquinas de Estado (FSM), os demais executam funções assíncronas como geração de números e adaptação de saídas. A figura 1 mostra a arquitetura.

2. O JOGO

O Blackjack, também conhecido como "21", é um jogo de cartas em que — neste caso — um jogador compete contra o carteador. O objetivo principal é obter uma soma maior de pontos nas cartas do que o seu oponente, sem exceder o total de 21. O jogo começa com o carteador distribuindo duas cartas para si e duas para o jogador, de forma alternada. A partir daí, o jogador deve decidir se deseja pedir mais cartas, ação conhecida como "hit", ou manter sua mão atual, conhecida como "stay". Caso a soma das cartas do jogador ultrapasse 21, ele perde automaticamente. Após o jogador concluir sua jogada, o seu oponente faz a sua, da

¹ Trabalho apresentado como requisito parcial para aprovação na disciplina de Sistemas Digitais, no curso de Ciência da Computação da Universidade Federal da Fronteira Sul (UFFS)

² 2211100003 - luiz.faccio@estudante.uffs.edu.br.

³ Digital é um designer lógico digital e simulador de circuito fácil de usar, projetado para fins educacionais. Disponível em: <https://github.com/hneemann/Digital>

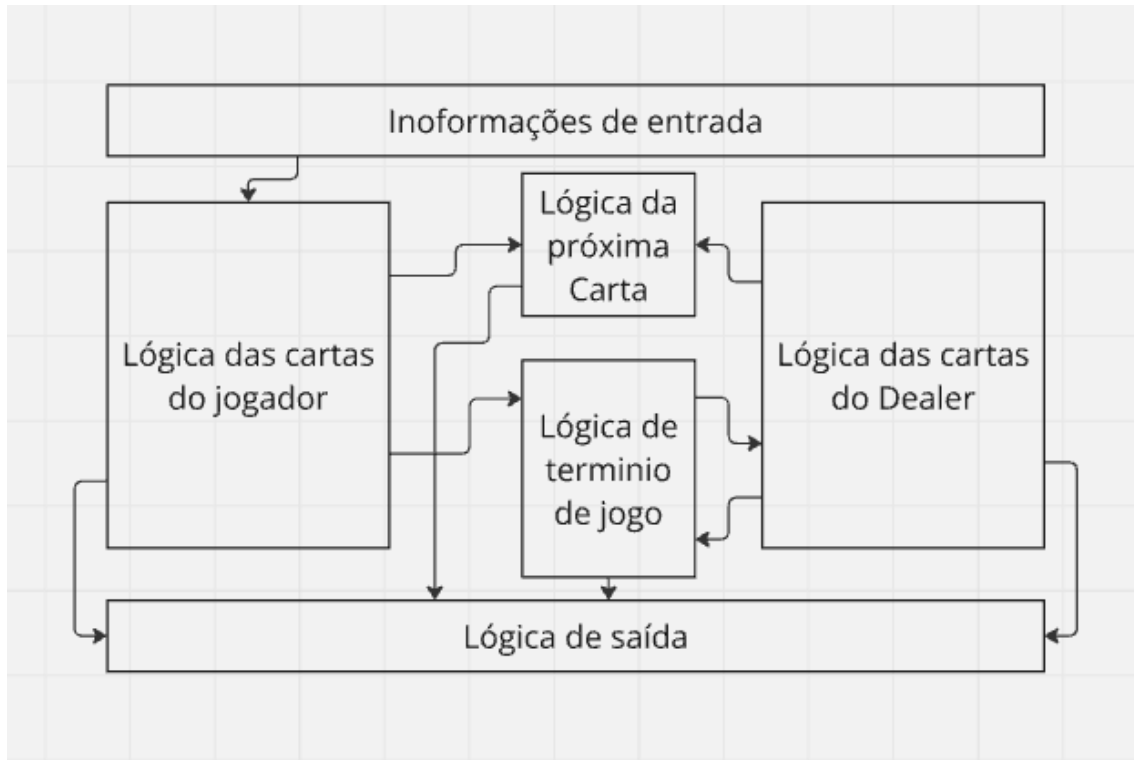


Figura 1 – Arquitetura Completa

mesma forma. O vencedor é aquele cuja soma de pontos se aproxima mais de 21, desde que não tenha ultrapassado esse valor. Caso ambos tenham a mesma soma, o jogo termina empatado.

O segundo jogador (carteador) é implementado diretamente no jogo e segue a regra: deve continuar pedindo cartas enquanto sua mão for menor que 17 e parar se atingir 17 ou mais. Além disso, a ordem de escolha das cartas para esta implementação é:

```

2 cartas para o jogador -> ações do jogador ->
verificação da pontuação -> 2 cartas para o carteador ->
ações do carteador -> verificação da pontuação final

```

3. MÓDULOS

Como mencionado na Introdução 1, a arquitetura da implementação é completamente modular. Os componentes são: módulo do jogador, módulo do carteador, módulo da pontuação, módulo da geração de cartas, módulo de saída e módulo principal. A seguir cada um é abordado individualmente.

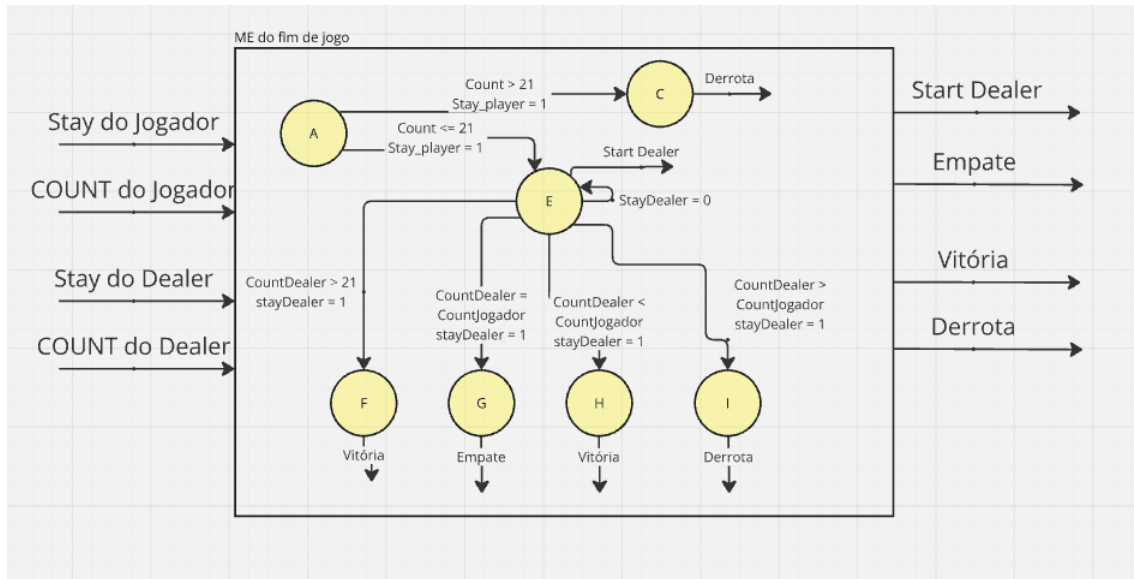


Figura 3 – FSM do módulo da pontuação

segundo acesso ao módulo é após o fim da jogada do carteador. Neste momento, todas as pontuações são analisadas, e um resultado para o jogo é definido.

A figura 3 exhibe a máquina de estados deste módulo.

3.3. MÓDULO DO CARTEADOR

O módulo do carteador é praticamente idêntico ao do jogador, diferenciando-se apenas no quesito de escolha das ações. Este módulo não conta com as entradas para escolha de ações, afinal elas são definidas com base nas regras da implementação do jogo.

Além disso, o sinal de início de jogada (*START*) é dado pelo módulo da pontuação e não pelo usuário.

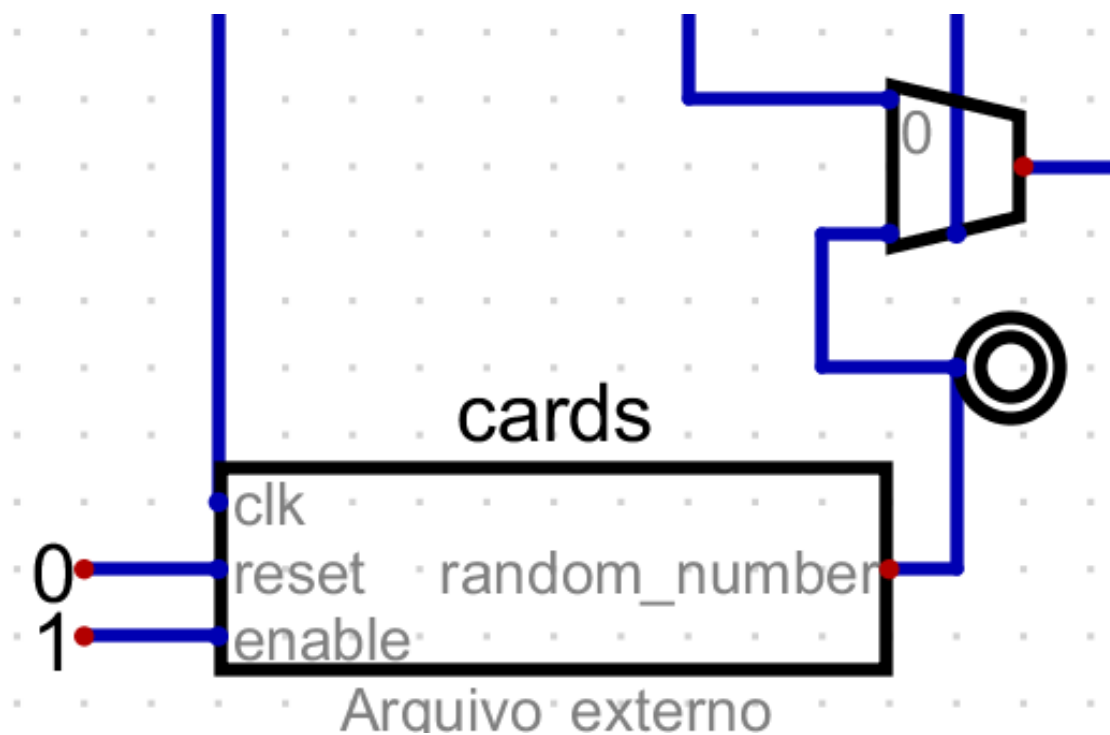
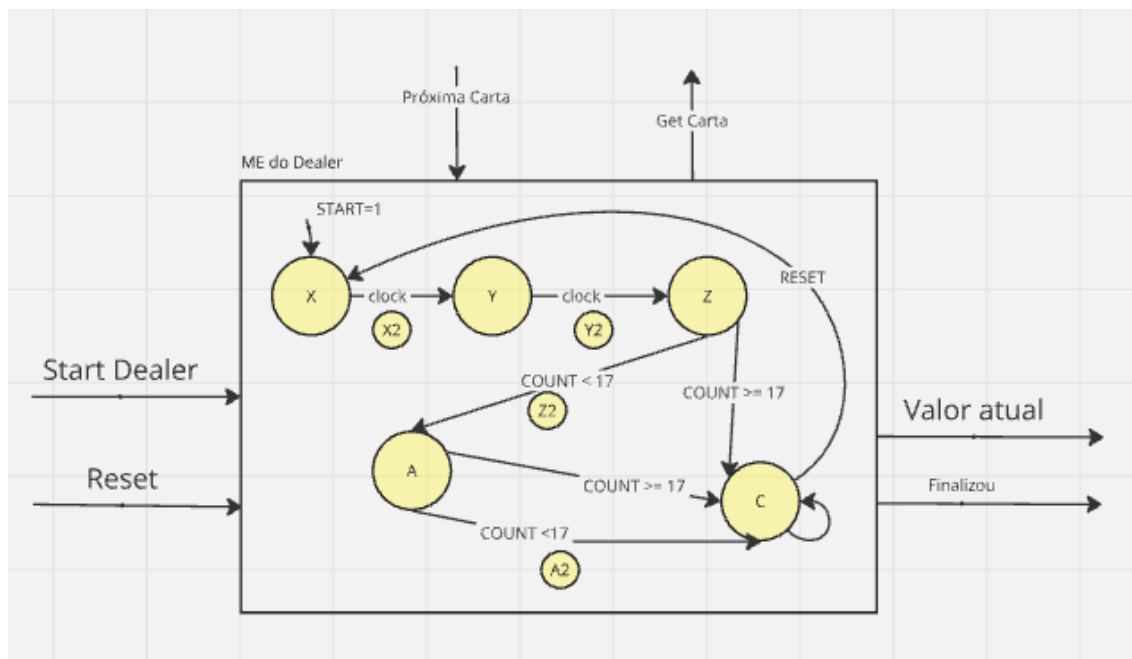
A figura 4 exhibe a FSM deste módulo.

3.4. MÓDULO DA GERAÇÃO DE CARTAS ALEATÓRIAS

Este módulo não conta com uma FSM e sua função é gerar valores de cartas aleatórias.

Quando um novo sinal de clock é ativado, este módulo muda o valor da sua saída, que varia de 1 à 13. O elemento principal para o funcionamento deste módulo é que o sinal de clock não deve ser o mesmo dos demais módulos. O sinal de clock que solicita a mudança do valor de carta gerado é dado através da junção (porta *OR*) das solicitações de novas cartas dos módulos do jogador e do carteador. Assim, os valores gerados somente são alterados quando um destes módulos o solicitar.

A figura 5 mostra o módulo sendo utilizado no *Digital*. As entradas de reset e enable possuem valores fixos 0 e 1, respectivamente. Apesar do módulo sempre



possuir um valor na saída, este valor somente é utilizado caso o usuário tenha a opção de 'cartas aleatórias' ativada.

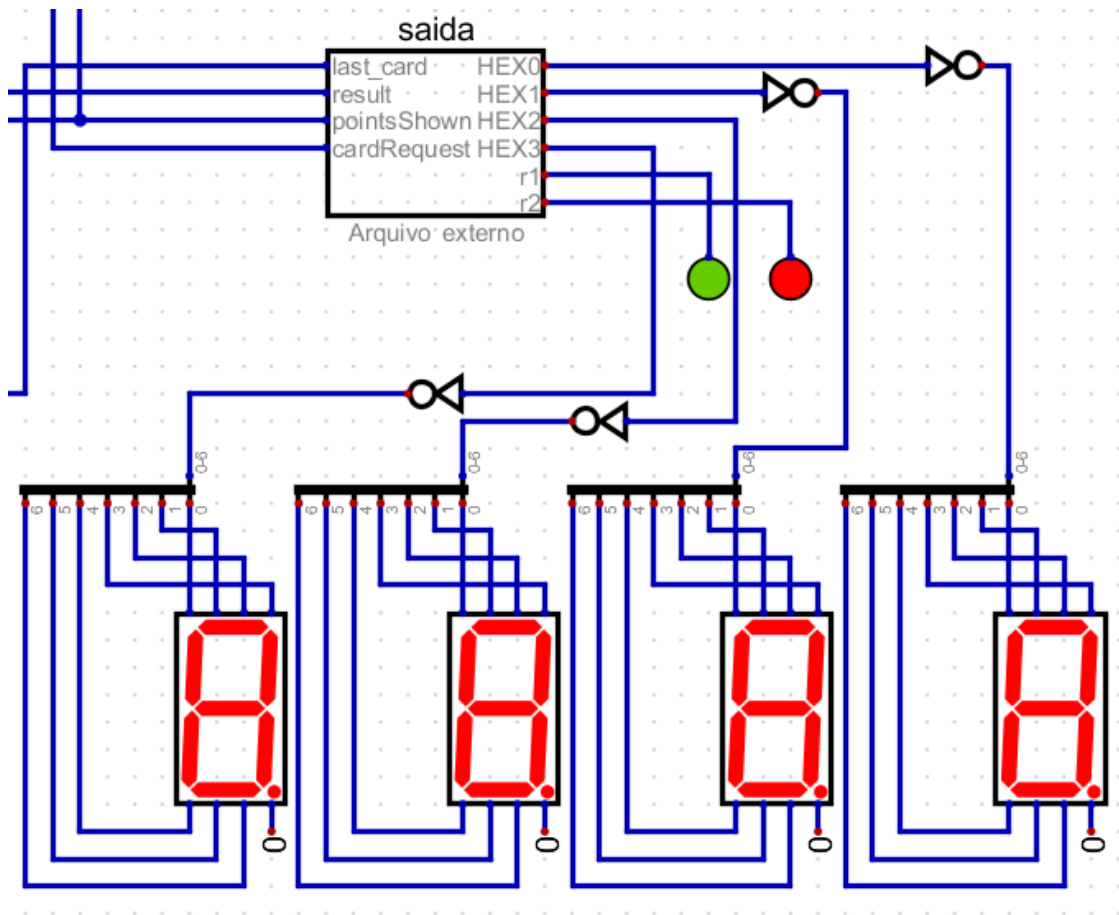


Figura 6 – Módulo da saída no *Digital*

3.5. MÓDULO DA SAÍDA

Este componente é encarregado apenas por transformar os valores de pontuação, cartas e sinais de vitória, derrota e empate em saídas compreensíveis.

Em geral, ele traduz os valores das cartas geradas para números hexadecimais que possam ser mostrados em um display de 7 segmentos, os valores da pontuação, seja do jogador ou do carteador, para números que possam ser mostrados em 2 displays de 7 segmentos e também os sinais de vitória, derrota e empate para leds verdes e vermelhos.

A figura 6 mostra o módulo sendo utilizado no *Digital*.

3.6. MÓDULO PRINCIPAL

Apesar do nome, o módulo principal não executa nenhuma tarefa. Ele é encarregado apenas por juntar todos os demais módulos e dar unidade ao sistema. Além de incorporar todos os módulos e realizar as interconexões, este componente, por ser o de nível mais externo, também se responsabiliza por adaptar a conexão entre os módulos do sistema e os componentes da FPGA, para a síntese física.

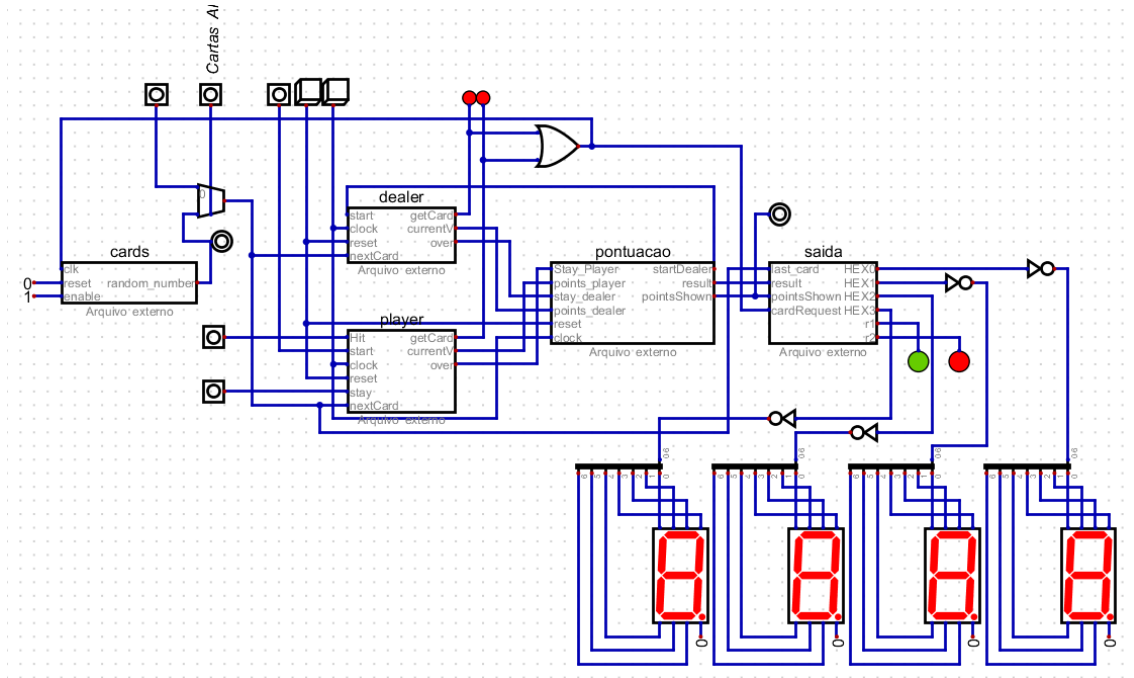


Figura 7 – Estrutura completa

A figura 7 apresenta todos os módulos interconectados, da maneira como eles ficam dentro do componente principal. A figura 8 exibe a versão final do sistema, com apenas um módulo principal (BlackJack) conectado aos componentes que representam as entradas e saídas na FPGA.

4. CONCLUSÃO

O processo de criação da arquitetura do jogo foi trabalhoso, mas demasiado proveitoso. A escolha de um caminho modular facilitou a criação e testagem individual dos componentes, mas na síntese física se mostrou como uma dificuldade, mediante comportamentos inesperados.

A descrição do sistema em VHDL também foi desafiadora, mas em geral, tranquila. Com incessantes seções de teste e validação através do software digital, o sistema foi se constituindo aos poucos. Apesar da implementação ter sido feita já pensando na síntese física na FPGA — inclusive com compilação sem nenhuma falha — o sistema não possuía os comportamentos esperados. Mesmo após uma série de tentativas de correção e mudanças na implementação, as somas dos valores pareciam não funcionar.

Dado que através do software de simulação *Digital* o sistema se comportou como esperado, deu-se como válida a arquitetura escolhida e considerou-se que o problema encontra-se em alguma implementação nos trechos referentes às somas dos valores. Apenas alguns módulos (que não possuíam ações aritméticas) funcionaram corretamente na FPGA, como o da geração de cartas aleatórias(3.4) e o da lógica

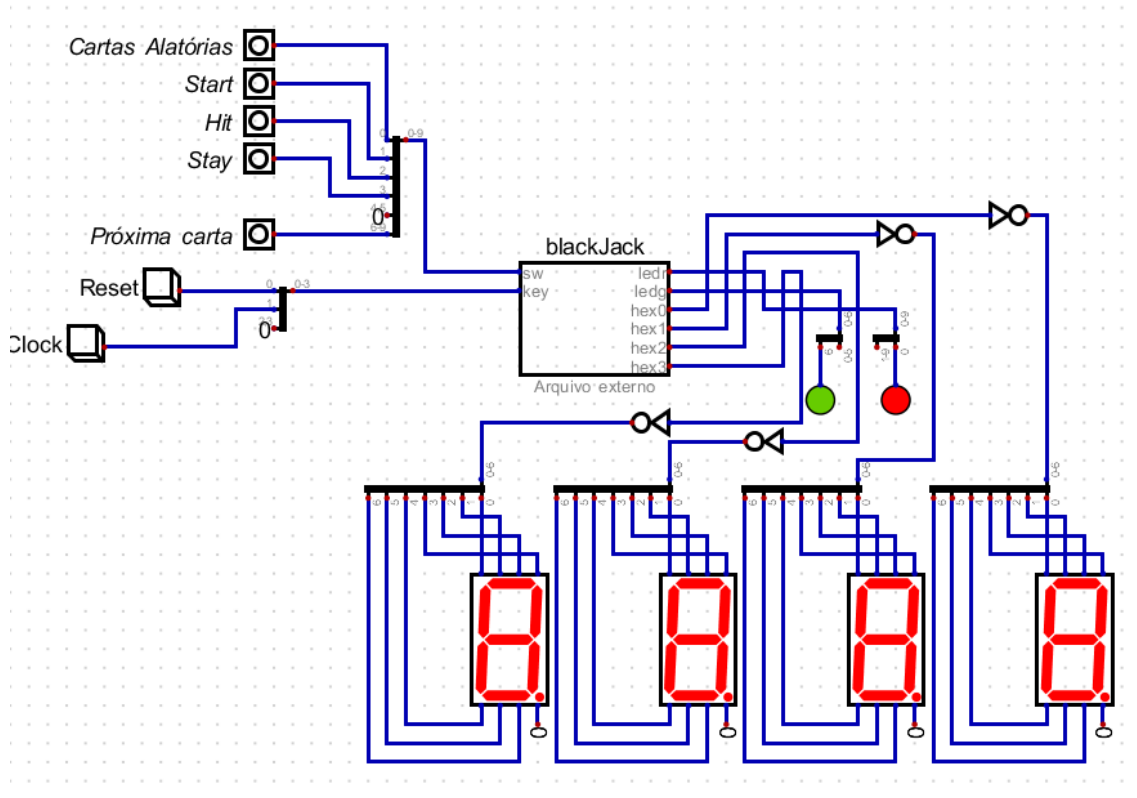


Figura 8 – BlackJack - implementação final

de saída (3.5), desta forma o sistema não pode ser sintetizado integralmente.