

Reti Logiche

A.A. 2024/2025 – Prof. Roberto Passerone

Introduzione

Benvenuti al corso

► Docenti

► Prof. **Roberto Passerone**

- Tel: **0461 28-3971**
- E-mail: **roberto.passerone@unitn.it**
- Ufficio al secondo piano, lato valle,
Povo 2
- Ricevimento su appuntamento

► Ing. **Massimo Gandola**

- E-mail: **mgandola@fbk.eu**



Benvenuti al corso

► Reti logiche

- Secondo anno, laurea triennale in **Ingegneria Informatica, delle Comunicazioni ed Elettronica**
- Secondo anno, laurea triennale in **Informatica**
- 48 ore, 6 crediti



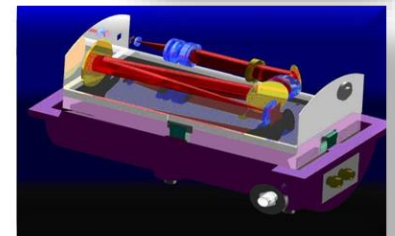
Orario

	Lunedì	Martedì	Mercoledì	Giovedì	Venerdì
8:30 – 9:30					
9:30 – 10:30					
10:30 – 11:30				B107	
11:30 – 12:30				B107	
12:30 – 13:30					
13:30 – 14:30					
14:30 – 15:30					
15:30 – 16:30			A101		
16:30 – 17:30			A101		
17:30 – 18:30					



Valutazione

- ▶ **Esame scritto**
 - ▶ Obbligatorio
 - ▶ Domande di teoria e progetto di macchina a stati
 - ▶ Valutato tra 0 e 30
- ▶ **Relazioni di laboratorio**
 - ▶ pass, no pass
- ▶ **Esame orale**
 - ▶ Facoltativo, solo se ottenuto almeno 15 allo scritto
 - ▶ Aumenta o diminuisce il voto dello scritto [-3, +3]
- ▶ **Provette**
 - ▶ Non previste
- ▶ **Progetto**
 - ▶ Facoltativo, solo se sufficiente allo scritto
 - ▶ Punteggio (fino a 4 punti) dipende da complessità del sistema e dalla numerosità del gruppo
 - ▶ Implementazione su FPGA



Laboratorio e Progetto

► Sviluppare un sistema digitale

- Gruppi da 2 persone, o più di 2 per progetti più complessi
- **Specifica da discutere**

► La scheda include

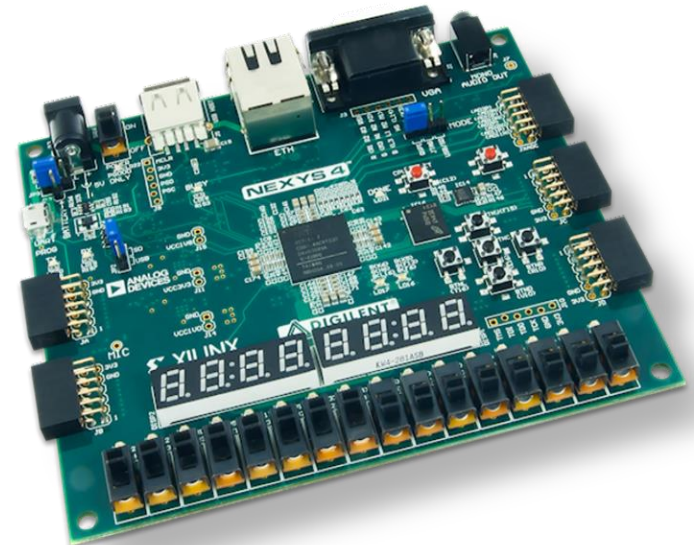
- display, bottoni, interruttori, ingresso e uscite audio/video, ethernet, sensori (temperatura, accelerometro, mic.), etc.

► Esempi di progetti passati

- Terminale
- Pong su VGA
- Termometro Internet
- MasterMind
- I giochi in generale si prestano bene

► Risultato del progetto

- Sistema funzionante sulla scheda
- Relazione sul progetto
- Presentazione del progetto



Materiale e testi

▶ Slide e dispense

- ▶ Disponibili sul sito del corso su ESSE3

▶ Circuiti combinatori e sequenziali

- ▶ Mano-Kime. *Reti logiche*. Quinta edizione, Pearson, Addison Wesley
- ▶ Mano-Kime. *Logic and Computer Design Fundamentals*. Pearson, Prentice Hall

▶ VHDL, FPGA

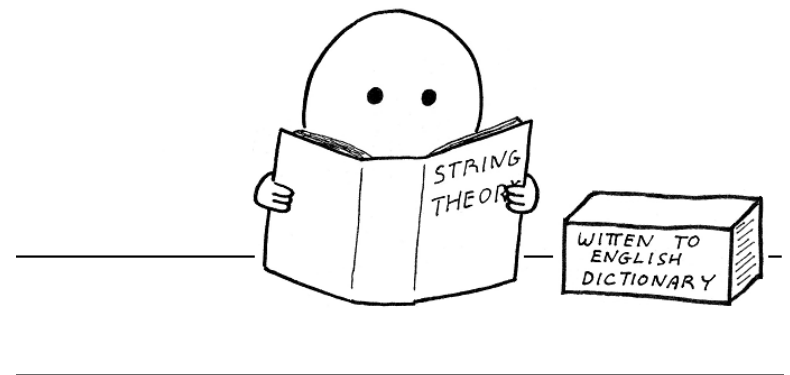
- ▶ Volnei Pedroni. *Circuit Design with VHDL*. Third edition. The MIT Press
- ▶ Mark Zwolinski. *VHDL – Progetto di sistemi digitali*. Pearson, Prentice Hall
- ▶ Clive Maxfield. *The Design Warrior's Guide to FPGAs*. Elsevier



Pre-requisiti

► Nozioni di logica e programmazione

- Comprensione di logica matematica, operatori logici, dimostrazioni, etc.
- Un linguaggio di programmazione classico (tipo C, C++, Java)
- Familiarità con i sistemi di sviluppo (compilatori, sistemi integrati IDE, etc.)



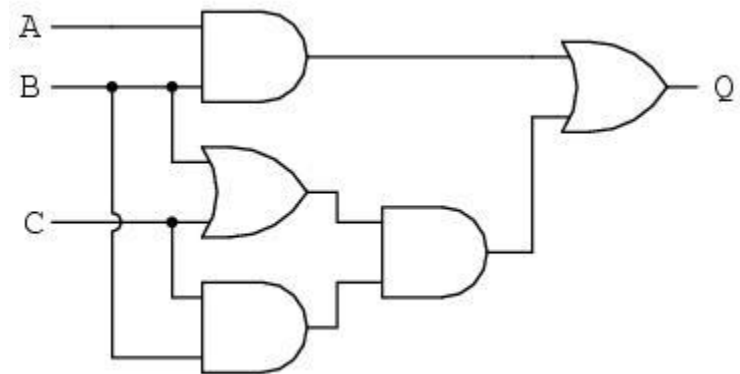
Programma del corso

Reti Logiche

Struttura del corso



- Multiplexer
- Decodifiche
- Encoder
- Aritmetica
- Semplificazione logica

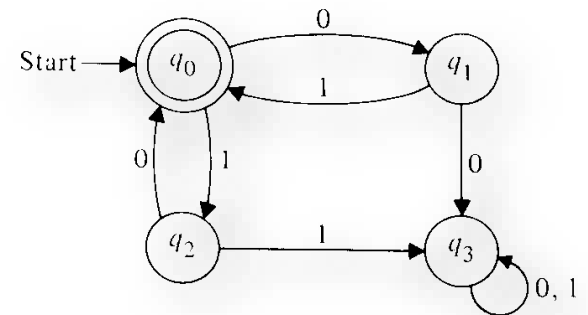


Mettere assieme porte logiche per fare cose utili

Struttura del corso



- Macchine a stati
- Sintesi
- Metodo RTL



Sequenzializzare le operazioni, gestire la memoria

Struttura del corso

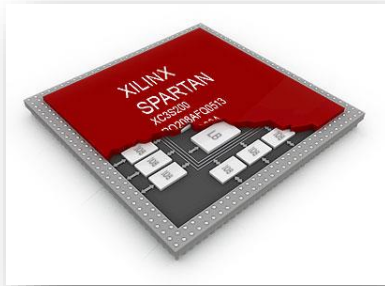
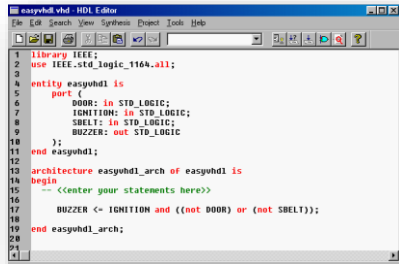
Circuiti
combinatori



Circuiti
sequenziali



Laboratorio



- Linguaggi ad alto livello
- VHDL
- Simulazione
- Sintesi e Implementazione
- Dispositivi FPGA

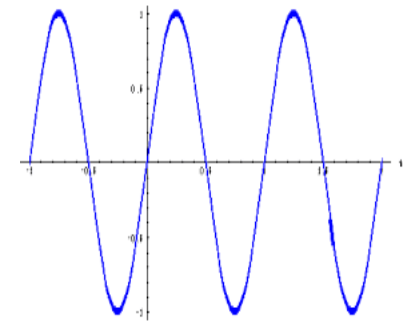
Descrivere il sistema, simulare, implementare

Perché digitale?

Segnale analogico

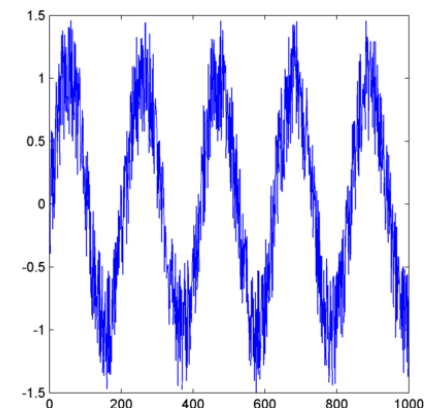
► Segnale continuo

- Segnale *proporzionale* alla grandezza che si vuole rappresentare
- Semplice ed intuitivo
- Un segnale porta tutta l'informazione



► Influenzato da rumore

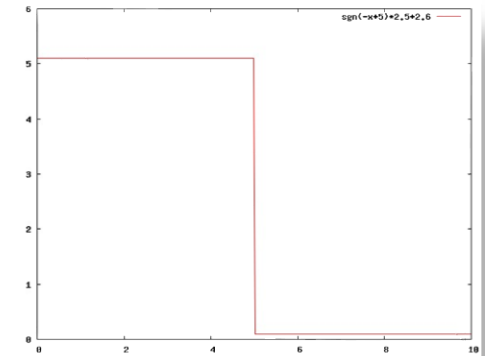
- Il rumore si somma al segnale
- Altera dunque la rappresentazione
- Va mantenuto entro limiti accettabili



Segnale digitale

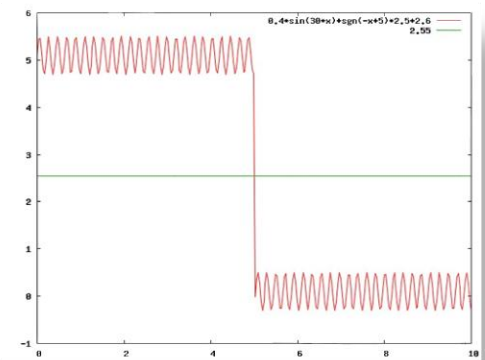
► Segnale discreto

- Può assumere solo **due livelli**
- Definiamo una soglia a metà tra i due livelli
- Interpretazione: se sopra la soglia è **alto**, se sotto la soglia è **basso**
- Precisione limitata!



► Non influenzato da rumore

- Se il rumore non provoca il sorpasso della soglia
- La distanza dalla soglia determina il margine di rumore sopportabile



Segnale digitale

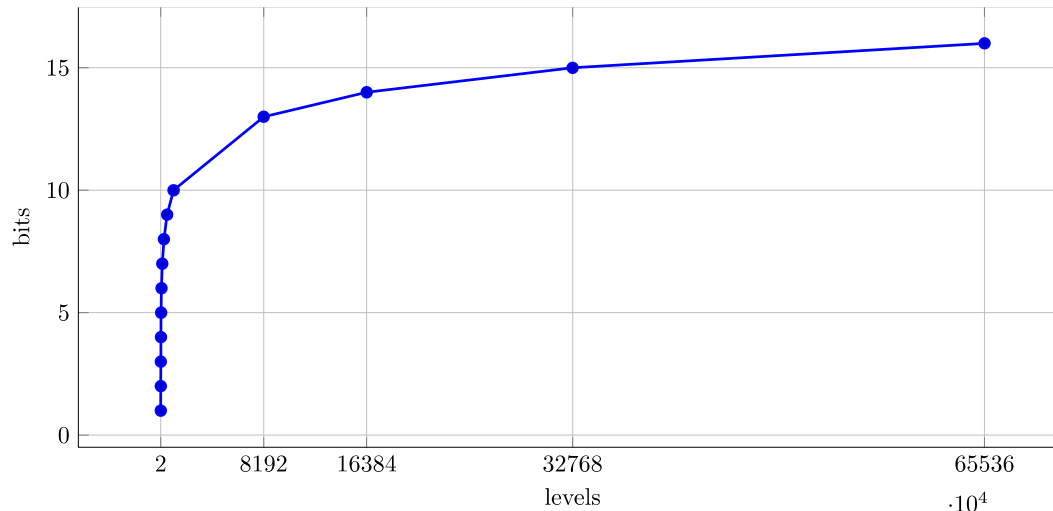
- ▶ **Un solo segnale insufficiente per rappresentare una grandezza continua**
 - ▶ Permette di discriminare solo due livelli: 0 e 1
 - ▶ Quantizzazione troppo cruda
- ▶ **Si usano allora più segnali per grandezza**
 - ▶ Due segnali permettono di discriminare 4 livelli: 00, 01, 10, 11
 - ▶ In generale, **n segnali discriminano 2^n livelli**
 - ▶ Grandezza rappresentata come numero binario



Segnale digitale

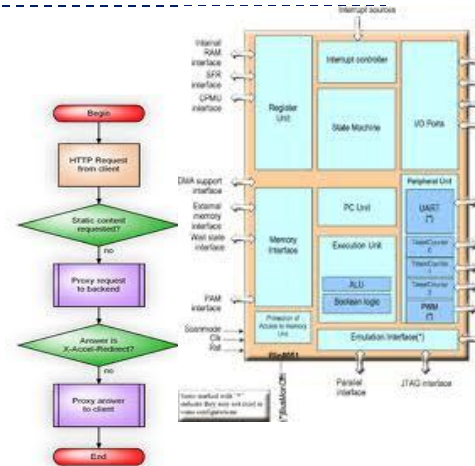
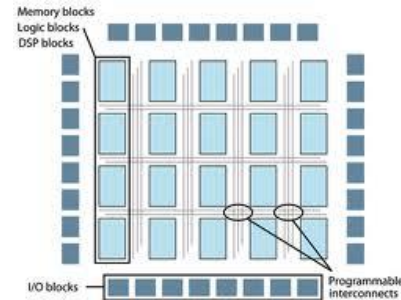
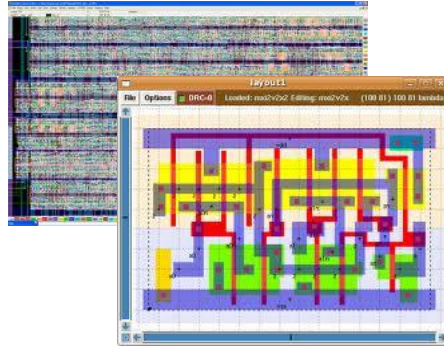
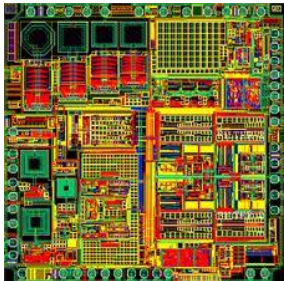
- Precisione controllata scegliendo il numero di segnali
 - Non dipende in generale dalle tolleranze dei componenti

Se con n segnali posso rappresentare $v = 2^n$ livelli allora
per rappresentare v livelli ho bisogno di
 $n = \log_2(v)$ segnali



Il numero di segnali non cresce così in fretta!

Tecnologie di implementazione



Full custom

Massime prestazioni

Alti costi

Standard Cell / ASIC

Alte prestazioni

Alti costi

Programmable Logic / FPGA

Prestazioni medio/alte

Costi più contenuti

Embedded software

Basse prestazioni

Bassi costi

Applicazioni

▶ Microprocessori & Microcontrollori

- ▶ Work-horse del digitale

▶ GPUs

- ▶ Parallelismo, high throughput

▶ AI

- ▶ E.g., Autonomous driving, data analysis

▶ Server farms

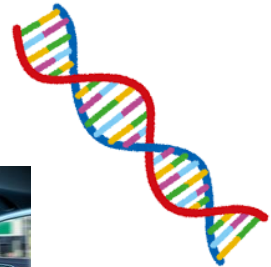
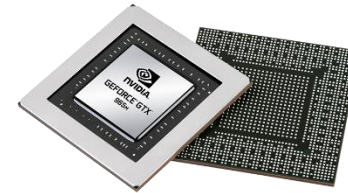
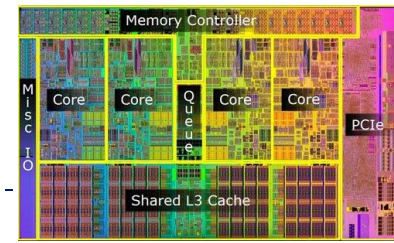
- ▶ Database, financial analysis, genomics

▶ Signal processing

- ▶ Medical imaging, filtering, SDR, MIMO

▶ Security

- ▶ Cryptography, currency mining



► Vantaggi dei segnali digitali

- Il rumore, se contenuto, non produce variazioni sul segnale interpretato come cifra binaria
- Il numero di cifre stabilisce la precisione (controllabile)
- Le tolleranze, se contenute, non influiscono sul funzionamento
- Facilità di memorizzazione ed integrazione

► Svantaggi dei segnali digitali

- Necessari più segnali per rappresentare grandezze continue
- Apparentemente i circuiti sono più grossi
- I trasduttori operano solitamente con segnali continui
 - Necessario effettuare trasformazioni dei segnali analogici in digitali, e viceversa (ADC e DAC)

Obiettivi del corso

Comprendere il funzionamento dei circuiti e delle reti logiche combinatorie e sequenziali

Saper gestire la complessità del progetto tramite decomposizione

Realizzare sistemi digitali in VHDL e verificarne il funzionamento tramite simulazione ed implementazione su schede FPGA