

第1章 数字逻辑基础

一、数制、码

二进制、十进制、十六进制；各进制间的相互转换

原码、反码、补码；注意补码的数值范围与原码和反码的区别

二、码制

有权码、无权码

BCD码

格雷码

第1章 数字逻辑基础

三、基本逻辑关系和逻辑符号

与、或、非

四、复合逻辑关系及逻辑符号

五、逻辑函数的标准形式

最小项式、最大项式

逻辑关系的描述形式：

文字、真值表、函数表达式、卡诺图

六、卡诺图

卡诺图化简函数、卡诺图运算

第2章 晶体管开关及门电路

一、二极管、三极管、**MOS**管的开关特性

静态、动态

二、TTL门电路

1、基本参数:

输出: $V_H \geq 3.6V$ $V_H = 3.0V$

大于**2.4V**即可称之为高电平

$V_L \approx 0V$ $V_L = 0.3V$

小**0.5V**即可称之为低电平

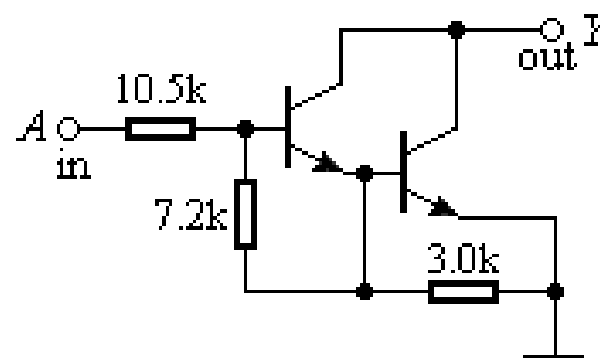
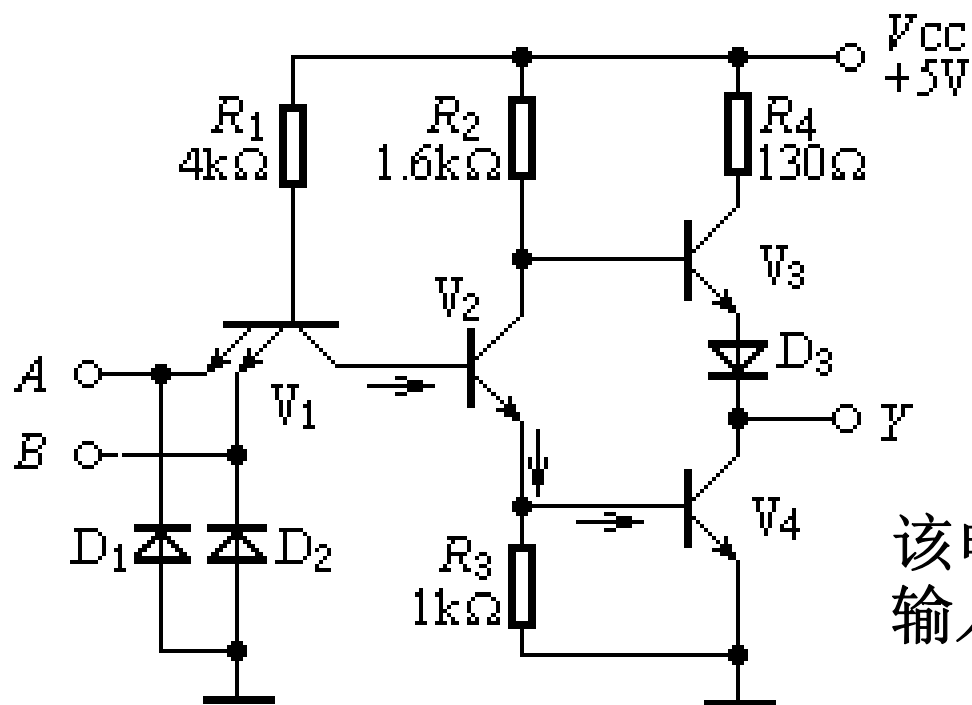
输入: 开门电平 $V_{ON} \leq 1.8V$

关门电平 $V_{OFF} \geq 0.8V$

阈值电压: $V_{TH} = 1.4V$

二、TTL门电路

2、TTL门电路输入悬空等效于 输入高电平



该电路在输入端悬空时，相当于输入高电平还是低电平

第3章 组合逻辑电路

1、组合逻辑电路的一般分析

分析：已知电路→逻辑功能函数

- (1) 逐级写出各输出端的逻辑表达式；
- (2) 列出相应的真值表；
- (3) 确定电路的逻辑功能。

第3章 组合逻辑电路

2、组合逻辑电路的设计

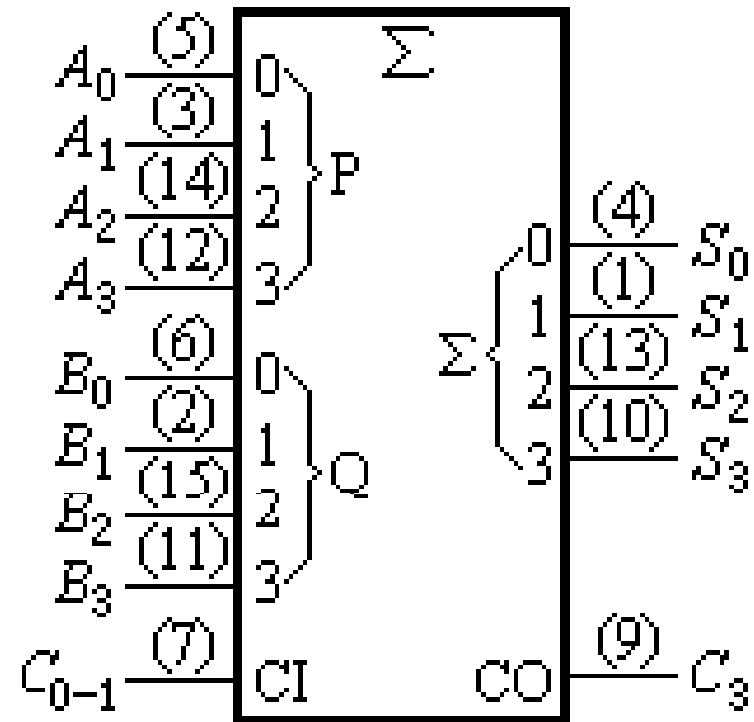
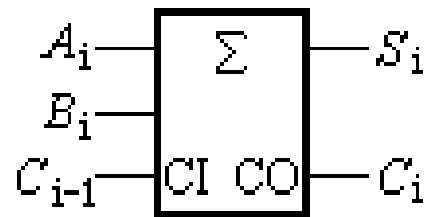
设计：已知功能函数→逻辑电路

- (1). 确定输入变量和输出变量；
- (2). 列出相应的真值表；
- (3). 由真值表写出逻辑表达式或卡诺图并化简；
- (4). 按照设计要求进一步变换表达式，并画出逻辑电路图。

第3章 组合逻辑电路

3、常用组合电路及其组件

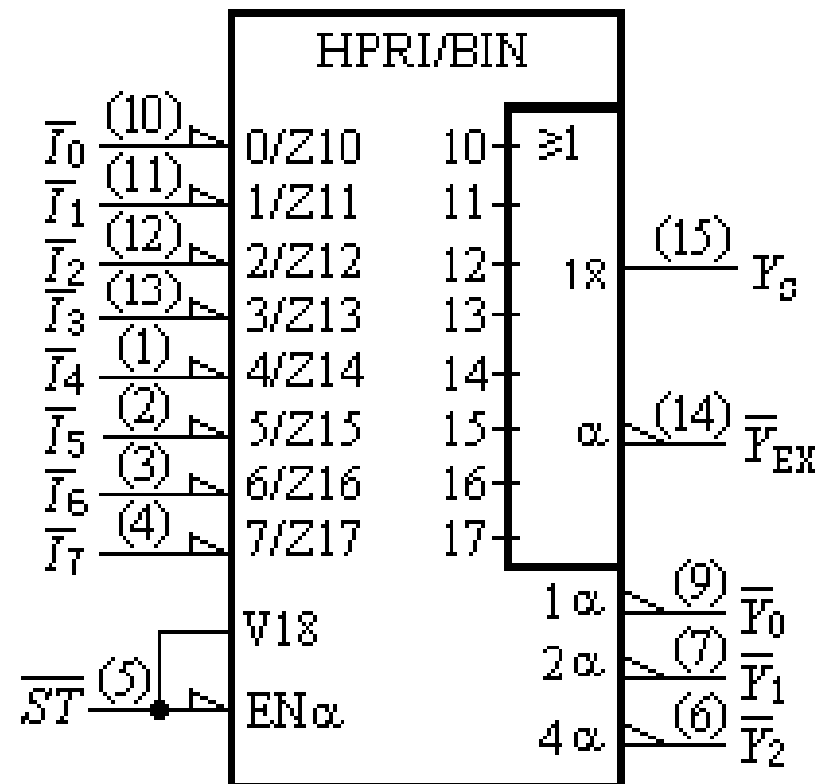
1) 加法器



第3章 组合逻辑电路

3、常用组合电路及其组件

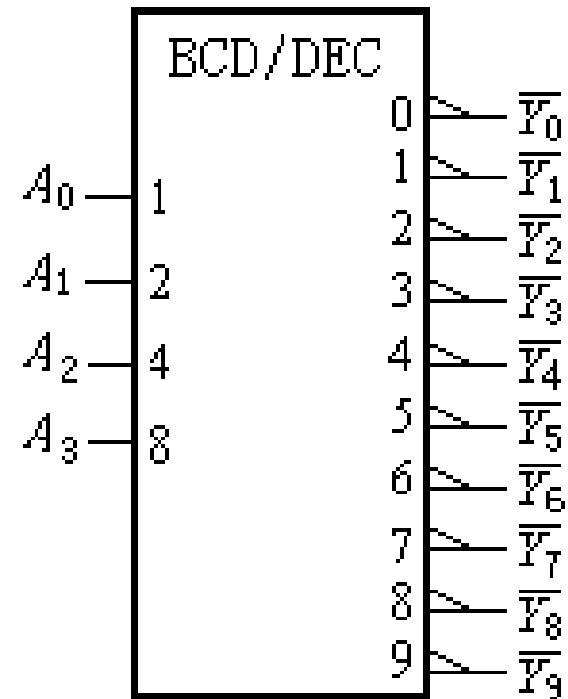
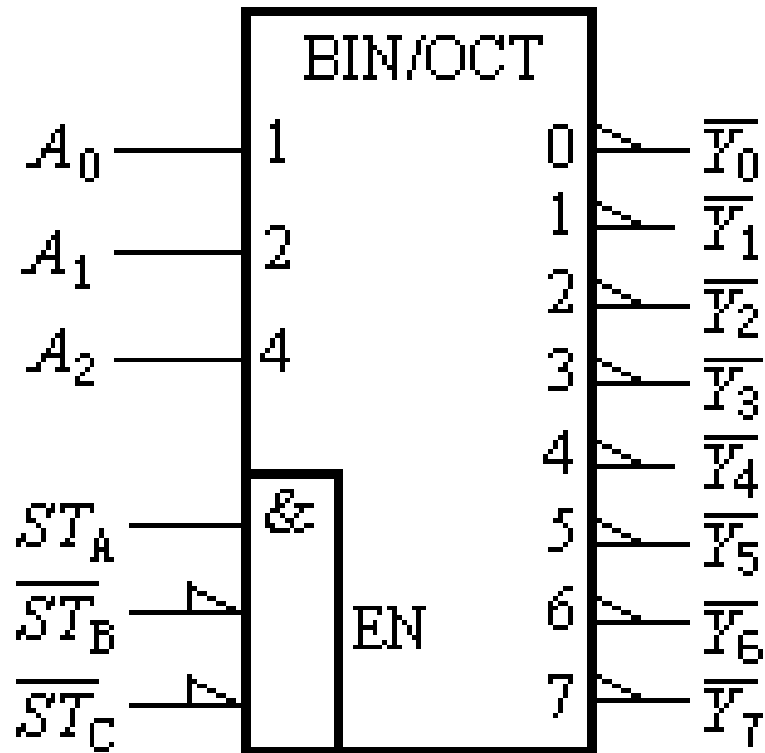
2) 编码器



第3章 组合逻辑电路

3、常用组合电路及其组件

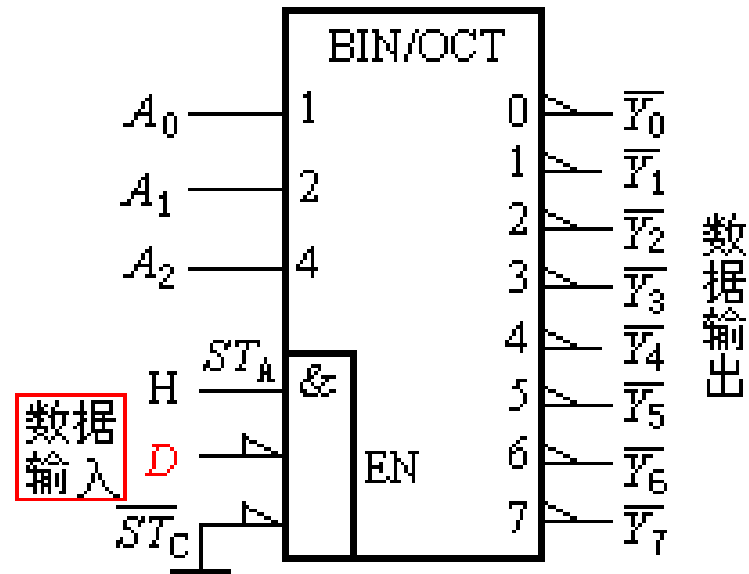
3) 译码器



第3章 组合逻辑电路

3、常用组合电路及其组件

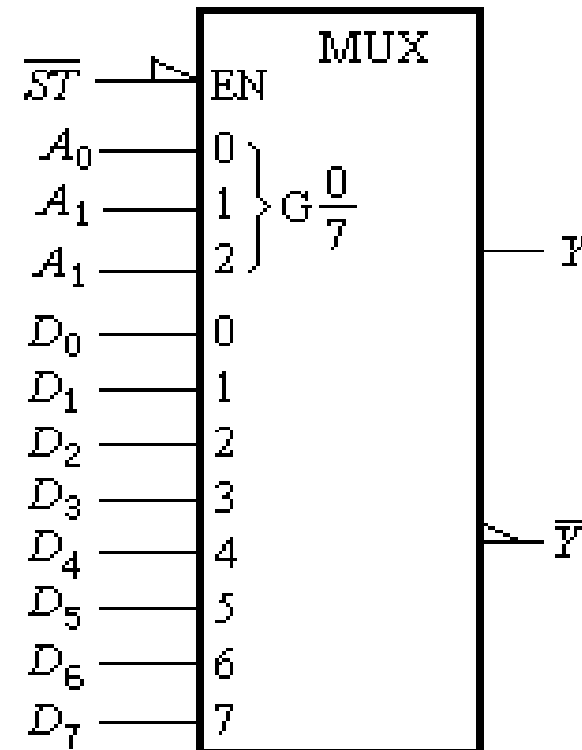
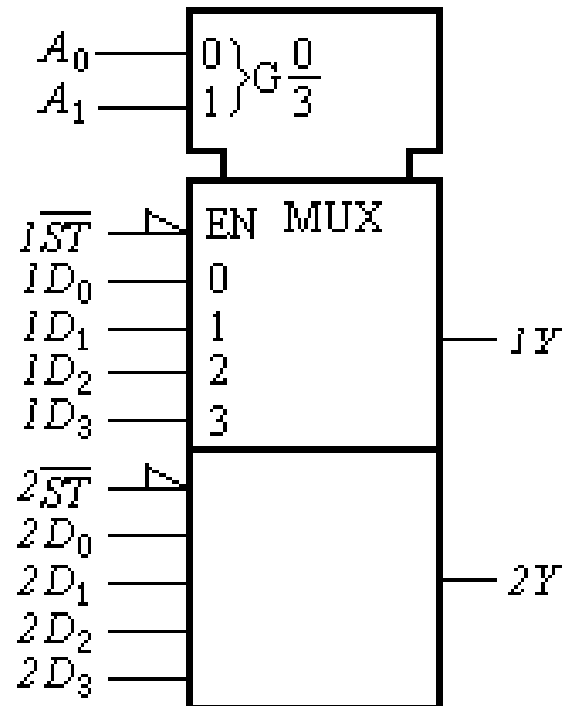
3) 译码器



第3章 组合逻辑电路

3、常用组合电路及其组件

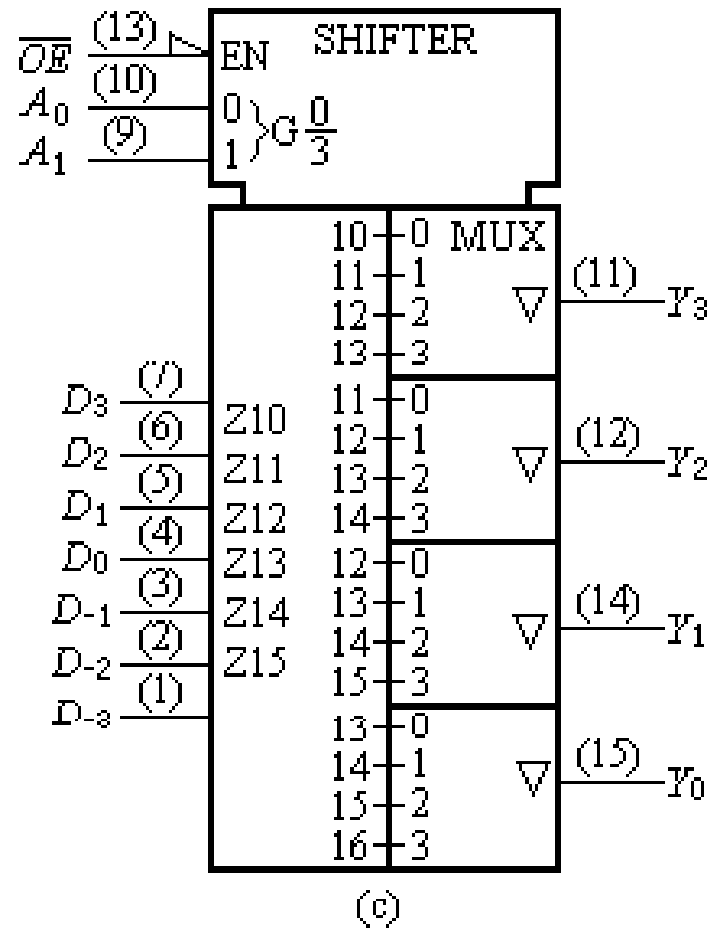
4) 数据选择器



第3章 组合逻辑电路

3、常用组合电路及其组件

5) 图案移位器

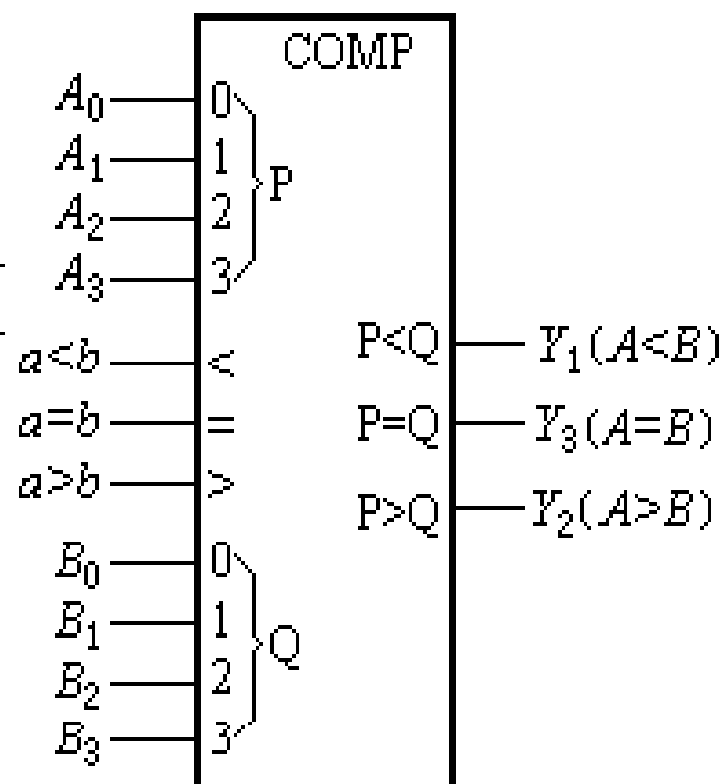


第3章 组合逻辑电路

3、常用组合电路及其组件

6) 数码比较器

数 码 输 入				级 联 输 入			输 出		
A_3B_3	A_2B_2	A_1B_1	A_0B_0	$>$	$<$	$=$	Y_1	Y_2	Y_3
				$(a>b)$	$(a<b)$	$(a=b)$	$(A>B)$	$(A<B)$	$(A=B)$
$A_3>B_3$	×	×	×	×	×	×	1	0	0
$A_3<B_3$	×	×	×	×	×	×	0	1	0
$A_3=B_3$	$A_2>B_2$	×	×	×	×	×	1	0	0
$A_3=B_3$	$A_2<B_2$	×	×	×	×	×	0	1	0
$A_3=B_3$	$A_2=B_2$	$A_1>B_1$	×	×	×	×	1	0	0
$A_3=B_3$	$A_2=B_2$	$A_1<B_1$	×	×	×	×	0	1	0
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0>B_0$	×	×	×	1	0	0
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0<B_0$	×	×	×	0	1	0
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	1	0	0	1	0	0
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	0	1	0	0	1	0
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	0	0	1	0	0	1

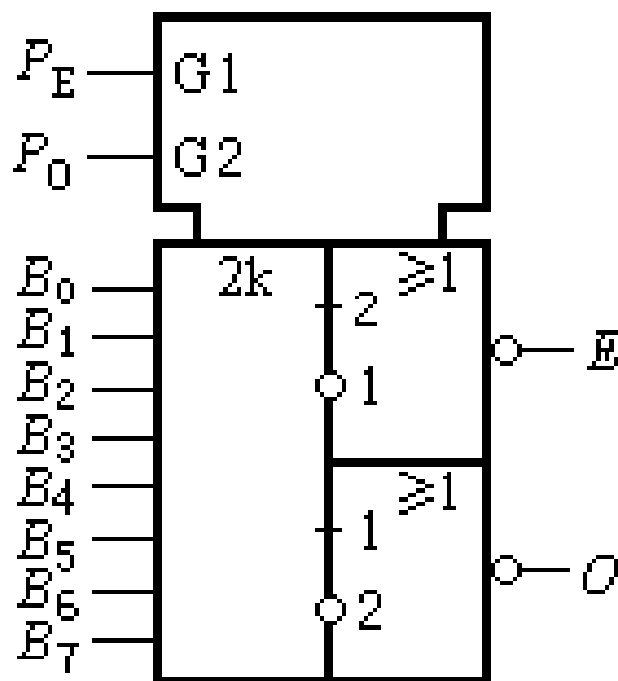


第3章 组合逻辑电路

3、常用组合电路及其组件

7) 奇偶产生 / 校验器

概念： 校验 奇校验 偶校验



若令 $2k$ 的输出为 F

$$E = \overline{FP_O} + \overline{FP_E}$$

$$O = \overline{FP_E} + \overline{FP_O}$$

第3章 组合逻辑电路

4、中规模组件实现组合逻辑电路

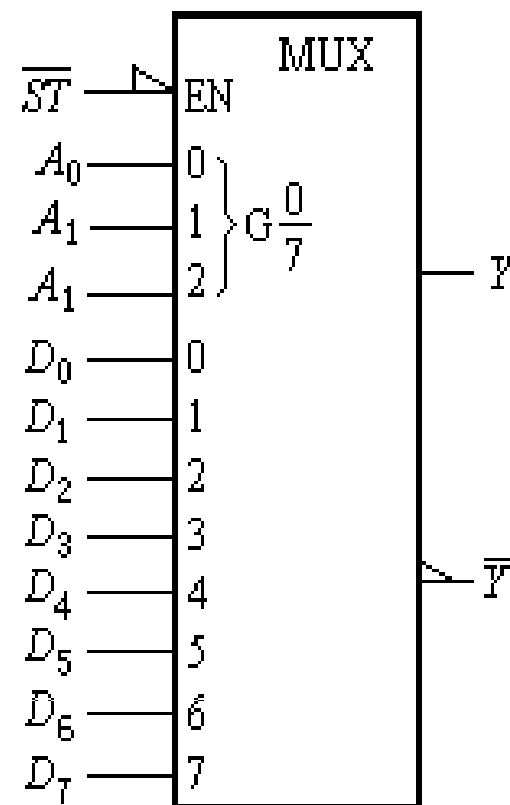
1) 用八选一数据选择器实现

A、输入变量个数不大于
数据选择器选择输入端的个数

B、输入变量个数大于
数据选择器选择输入端的个数

扩展

降维



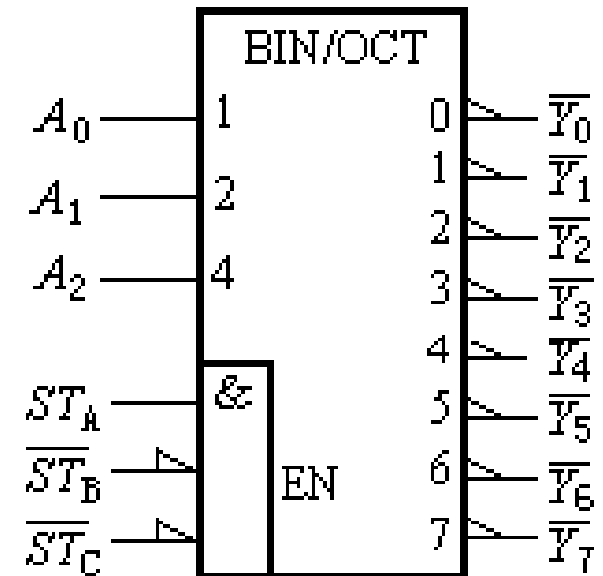
第3章 组合逻辑电路

4、中规模组件实现组合逻辑电路

2) 用译码器实现组合逻辑

当输出为多个函数时

注意：函数表达式与逻辑图应保持一致。

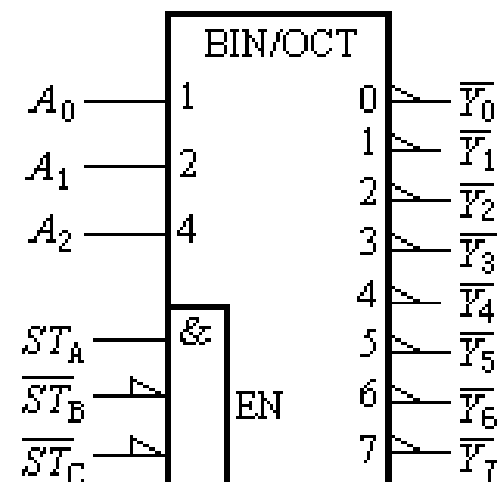


实现多个输出函数的逻辑运算采用译码器较为方便。

例3：三变量 A 、 B 、 C 作为BCD码输入时，用译码器和与非门实现输入为奇数和质数时的输出逻辑函数。输入为奇数时，输出 Y_1 ；输入为质数时，输出 Y_2 。

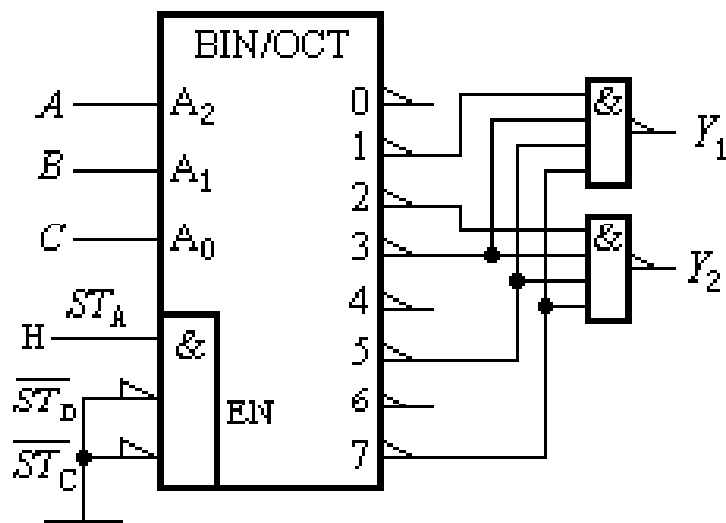
解：

$$Y_1(A, B, C) = \sum m(1, 3, 5, 7) \quad Y_2(A, B, C) = \sum m(2, 3, 5, 7)$$



$$Y_1(A, B, C) = \sum m(1, 3, 5, 7) = m_1 + m_3 + m_5 + m_7 = \overline{m_1 \cdot m_3 \cdot m_5 \cdot m_7}$$

$$Y_2(A, B, C) = \sum m(2, 3, 5, 7) = m_2 + m_3 + m_5 + m_7 = \overline{m_2 \cdot m_3 \cdot m_5 \cdot m_7}$$



$$\overline{Y_0} = \overline{A_2 A_1 A_0} = \overline{m_0}$$

$$\overline{Y_1} = \overline{A_2 A_1 A_0} = \overline{m_1}$$

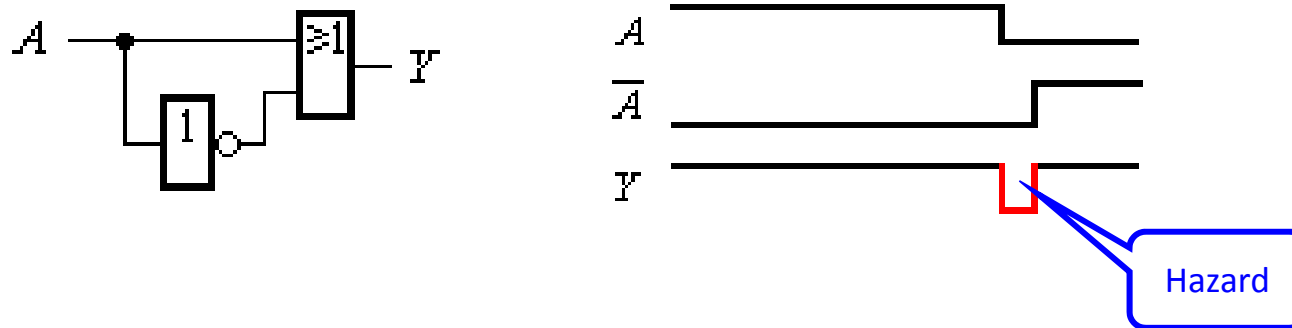
$$\overline{Y_2} = \overline{A_2 A_1 A_0} = \overline{m_2}$$

• • • • •

第3章 组合逻辑电路

5、组合逻辑电路的冒险

概念： 输出波形产生不应有的尖脉冲。

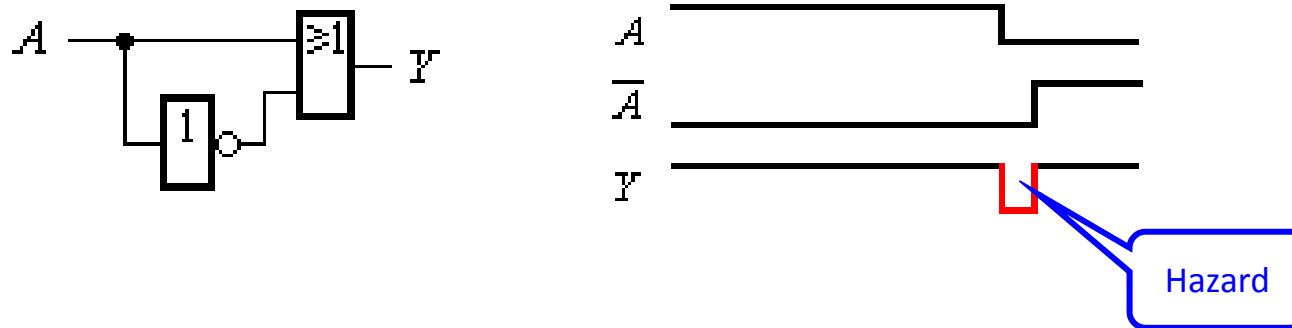


- 1、逻辑冒险： 由于逻辑门的延迟作用而产生的冒险。
- 2、功能冒险： 由于多变量信号不能同时变化而产生的冒险。

第3章 组合逻辑电路

5、组合逻辑电路的冒险

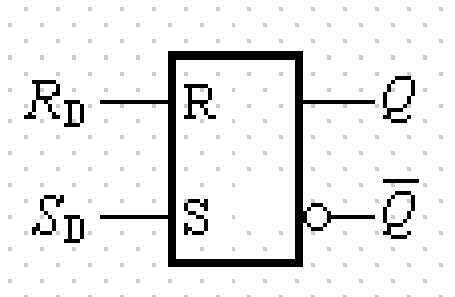
概念： 输出波形产生不应有的尖脉冲。



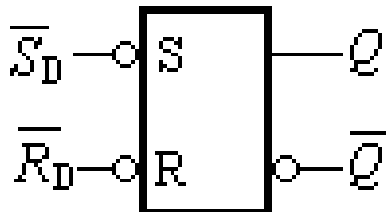
- 1、逻辑冒险： 由于逻辑门的延迟作用而产生的冒险。
- 2、功能冒险： 由于多变量信号不能同时变化而产生的冒险。

第4章 触发器与波形变换、产生电路

1 基本RS触发器



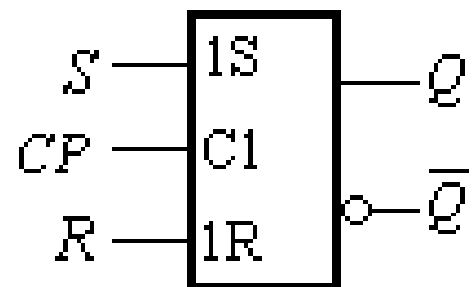
$$\begin{cases} Q^{n+1} = \bar{R}_D Q^n + S_D \\ S_D R_D = 0 \dots\dots (\text{约束条件}) \end{cases}$$



$$\bar{S}_D + \bar{R}_D = 1$$

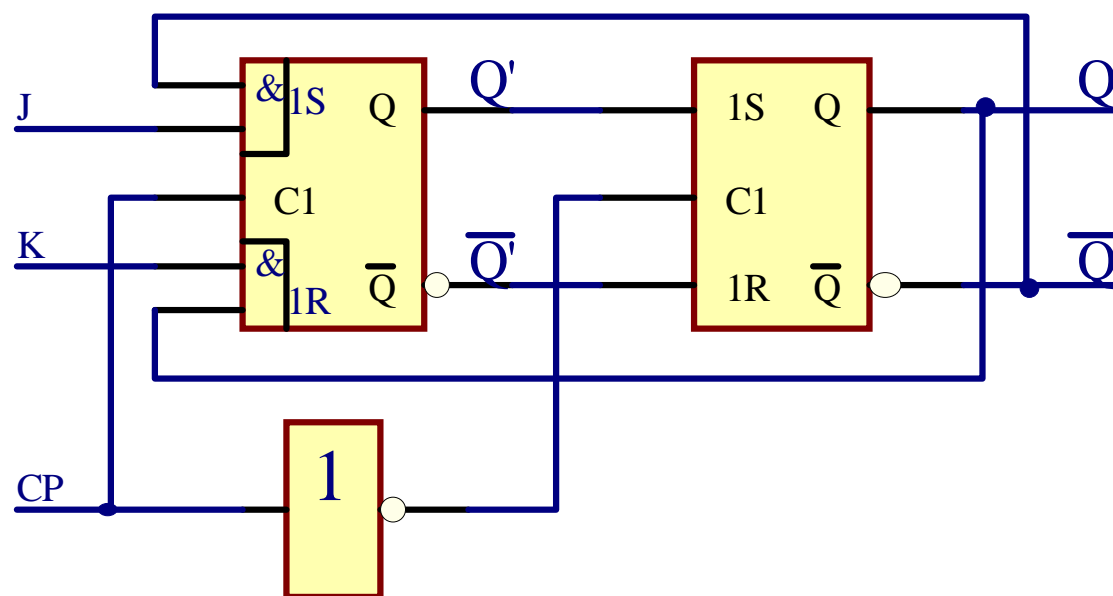
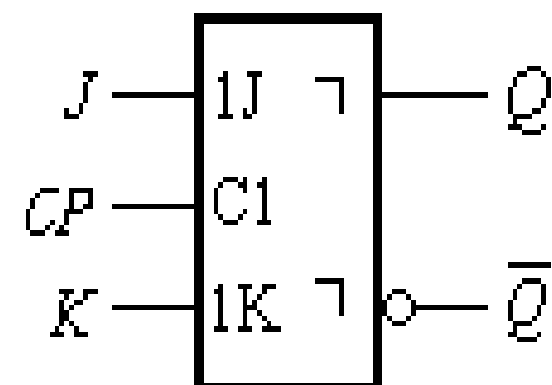
第4章 触发器与波形变换、产生电路

2 同步RS触发器



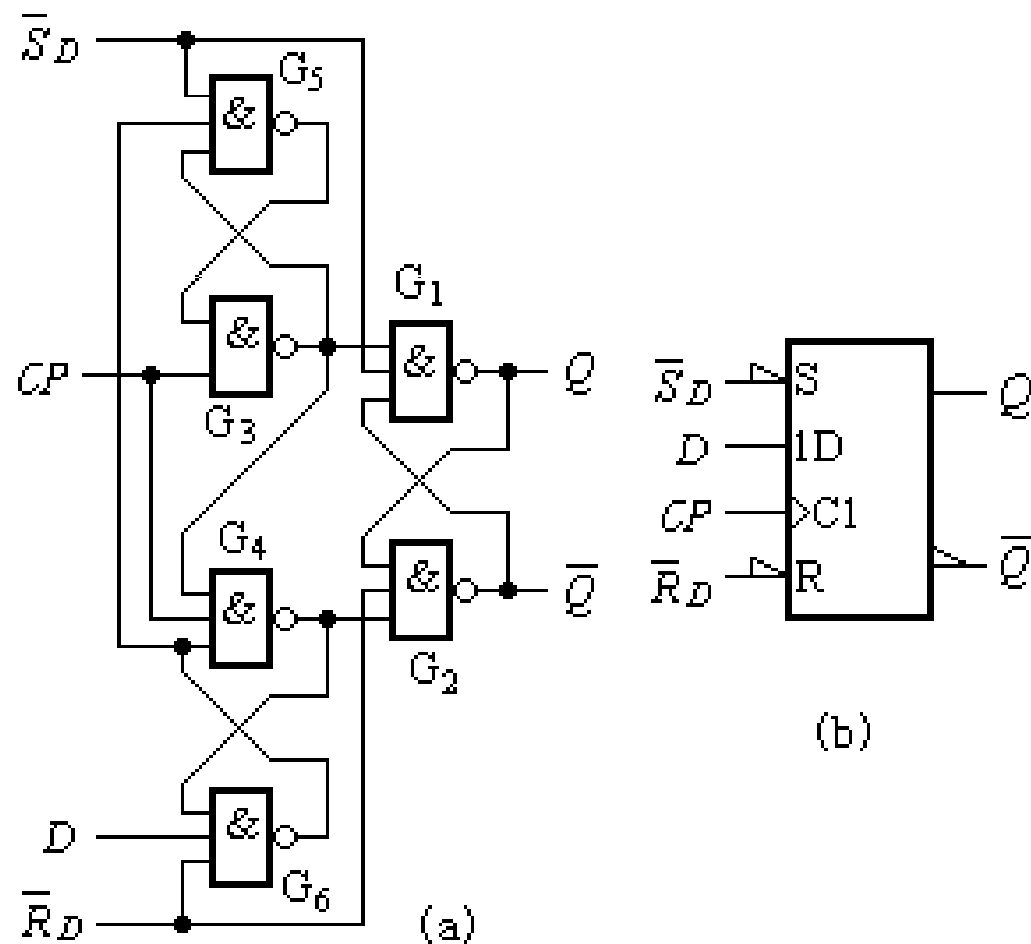
第4章 触发器与波形变换、产生电路

3主从延迟型JK触发器



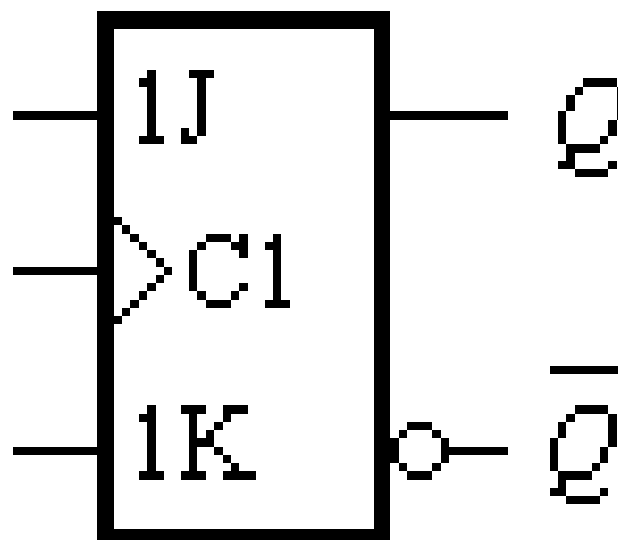
第4章 触发器与波形变换、产生电路

4边沿型D触发器



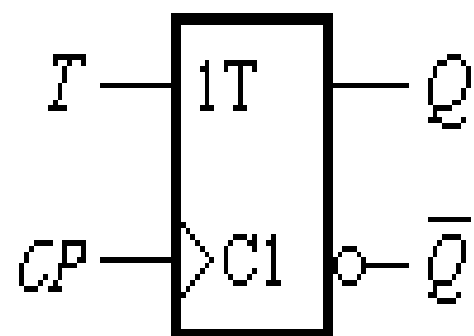
第4章 触发器与波形变换、产生电路

5 边沿型JK触发器



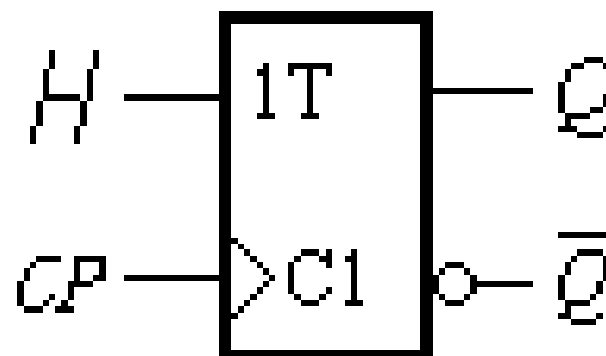
第4章 触发器与波形变换、产生电路

6 T触发器



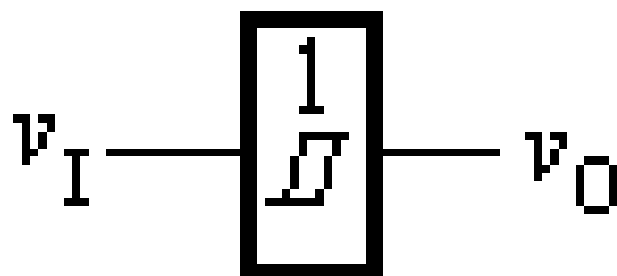
T触发器逻辑符号

7 T'触发器



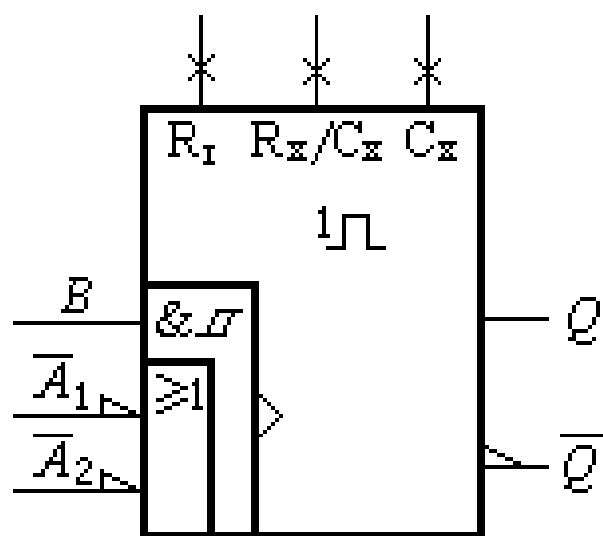
第4章 触发器与波形变换、产生电路

8 施密特触发器

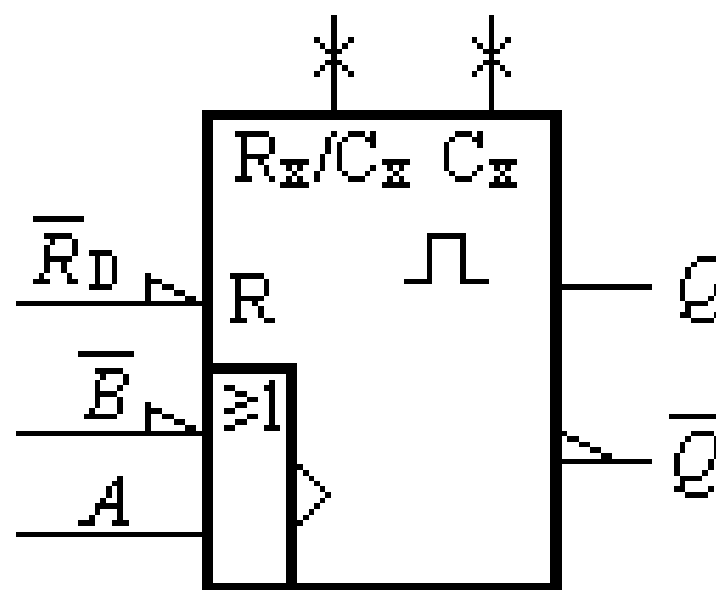


第4章 触发器与波形变换、产生电路

9 单稳态



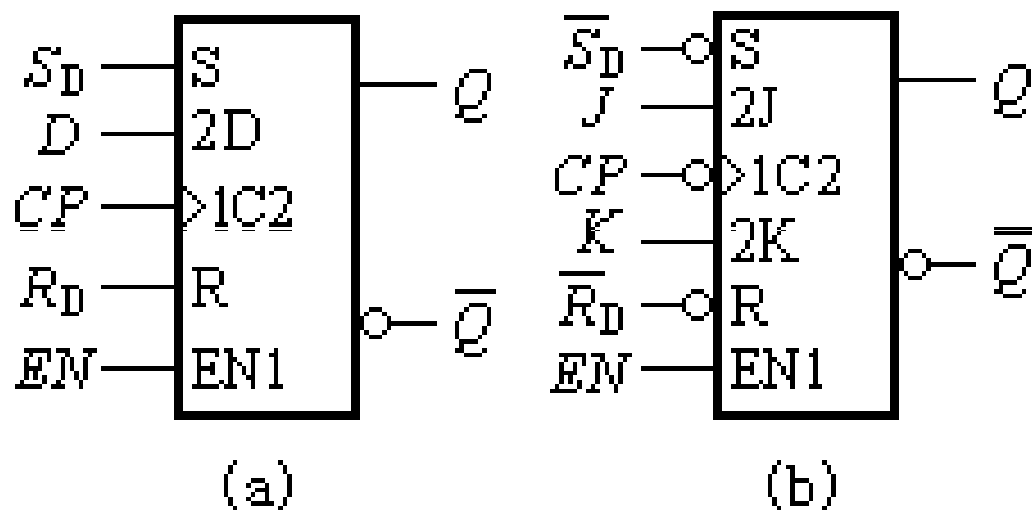
74LS121



CC14528逻辑符号

第4章 触发器与波形变换、产生电路

10 触发器的使能



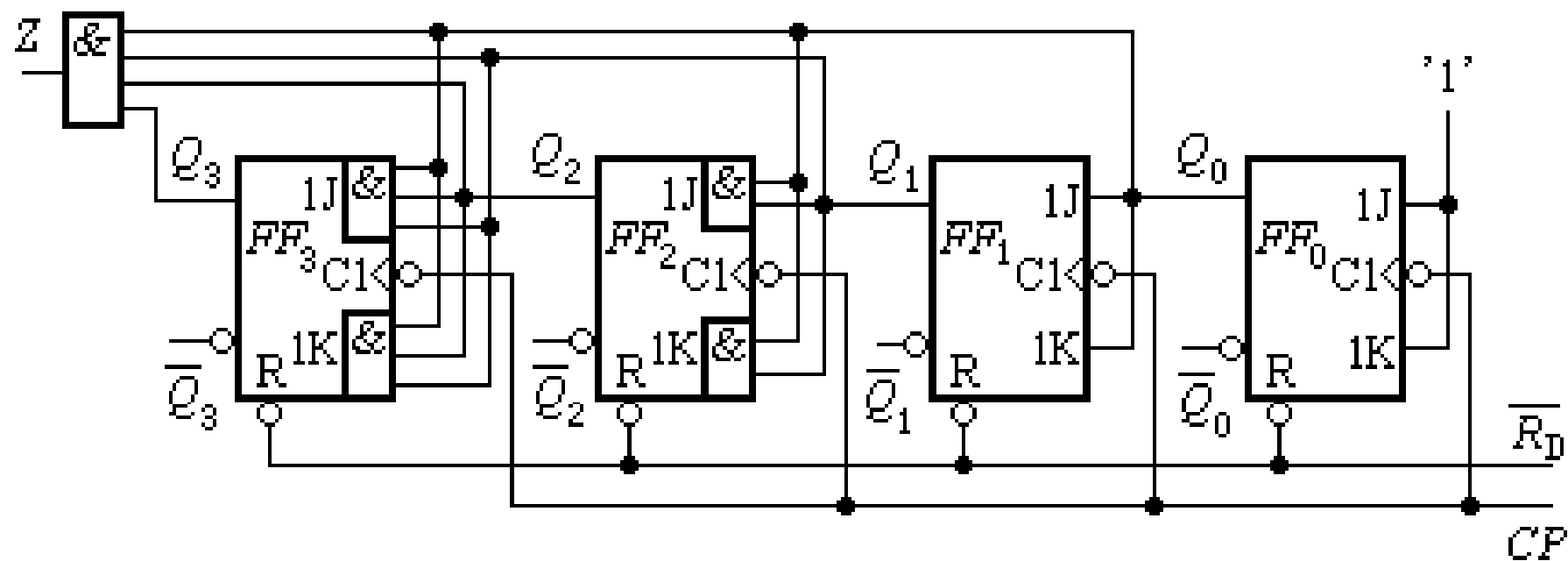
第5章 时序逻辑电路

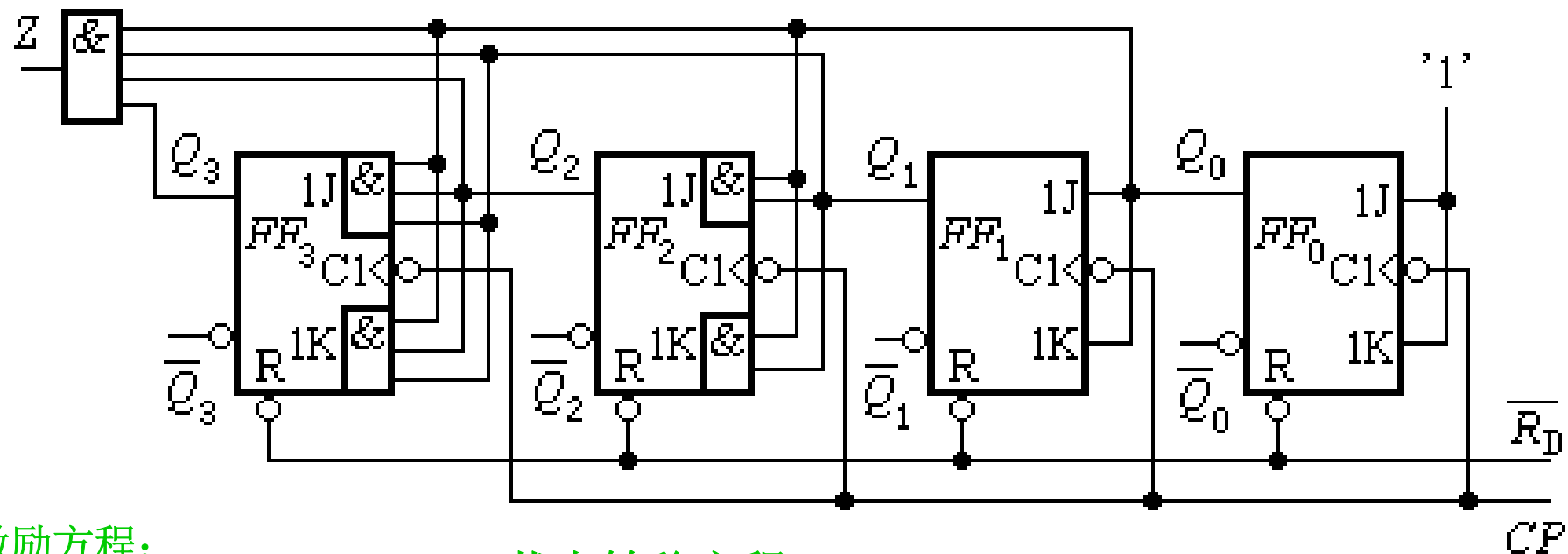
一、时序逻辑电路分析

写出触发器的状态转换方程和输出方程，画出电路在不同起始状态下的工作波形。

第5章 时序逻辑电路

计数器分析





激励方程:

$$J_0=K_0=1, J_1=K_1=Q_0^n,$$

$$J_2=K_2=Q_1^n Q_0^n,$$

$$J_3=K_3=Q_2^n Q_1^n Q_0^n$$

状态转移方程:

$$Q_0^{n+1} = \overline{Q_0^n} CP \downarrow$$

$$Q_1^{n+1} = (Q_0^n \overline{Q_1^n} + \overline{Q_0^n} Q_1^n) CP \downarrow$$

$$Q_2^{n+1} = (Q_0^n Q_1^n \overline{Q_2^n} + \overline{Q_0^n} Q_1^n Q_2^n) CP \downarrow$$

$$Q_3^{n+1} = (Q_0^n Q_1^n Q_2^n \overline{Q_3^n} + \overline{Q_0^n} Q_1^n Q_2^n Q_3^n) CP \downarrow$$

(3) 状态转移真值表

序号	现态 $S(t)$ $Q_3 Q_2 Q_1 Q_0$	次态 $N(t)$ $Q_3 Q_2 Q_1 Q_0$	输出 Z
0	0 0 0 0	0 0 0 1	0
1	0 0 0 1	0 0 1 0	0
2	0 0 1 0	0 0 1 1	0
3	0 0 1 1	0 1 0 0	0
4	0 1 0 0	0 1 0 1	0
5	0 1 0 1	0 1 1 0	0
6	0 1 1 0	0 1 1 1	0
7	0 1 1 1	1 0 0 0	0
8	1 0 0 0	1 0 0 1	0
	1 0 0 1	1 0 1 0	0
	1 0 1 0	1 0 1 1	0
	1 0 1 1	1 1 0 0	0
	1 1 0 0	1 1 0 1	0
13	1 1 0 1	1 1 1 0	0
14	1 1 1 0	1 1 1 1	0
15	1 1 1 1	0 0 0 0	1

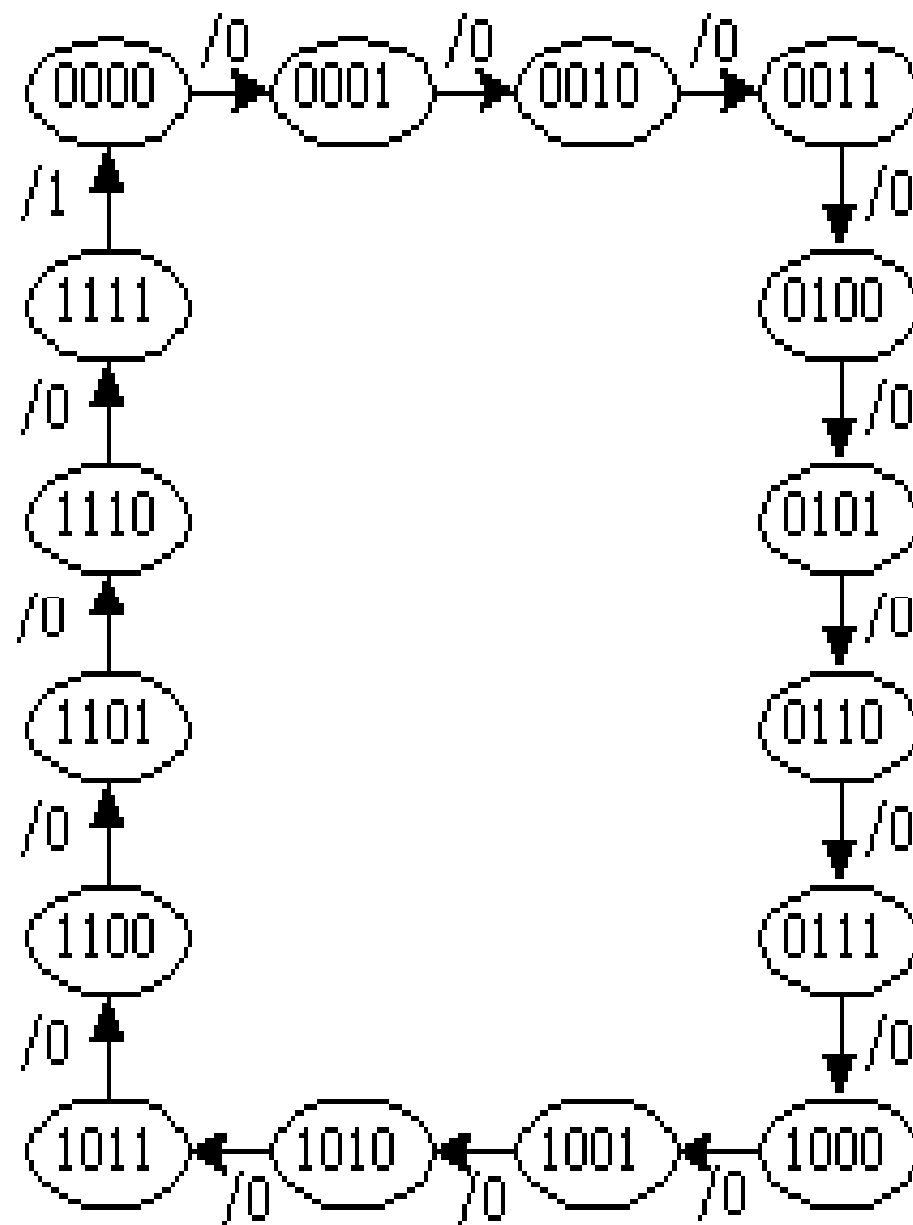
$$Q_0^{n+1} = \overline{(Q_0^n)} CP \downarrow$$

$$Q_1^{n+1} = (Q_0^n \overline{Q_1^n} + \overline{Q_0^n} Q_1^n) CP \downarrow$$

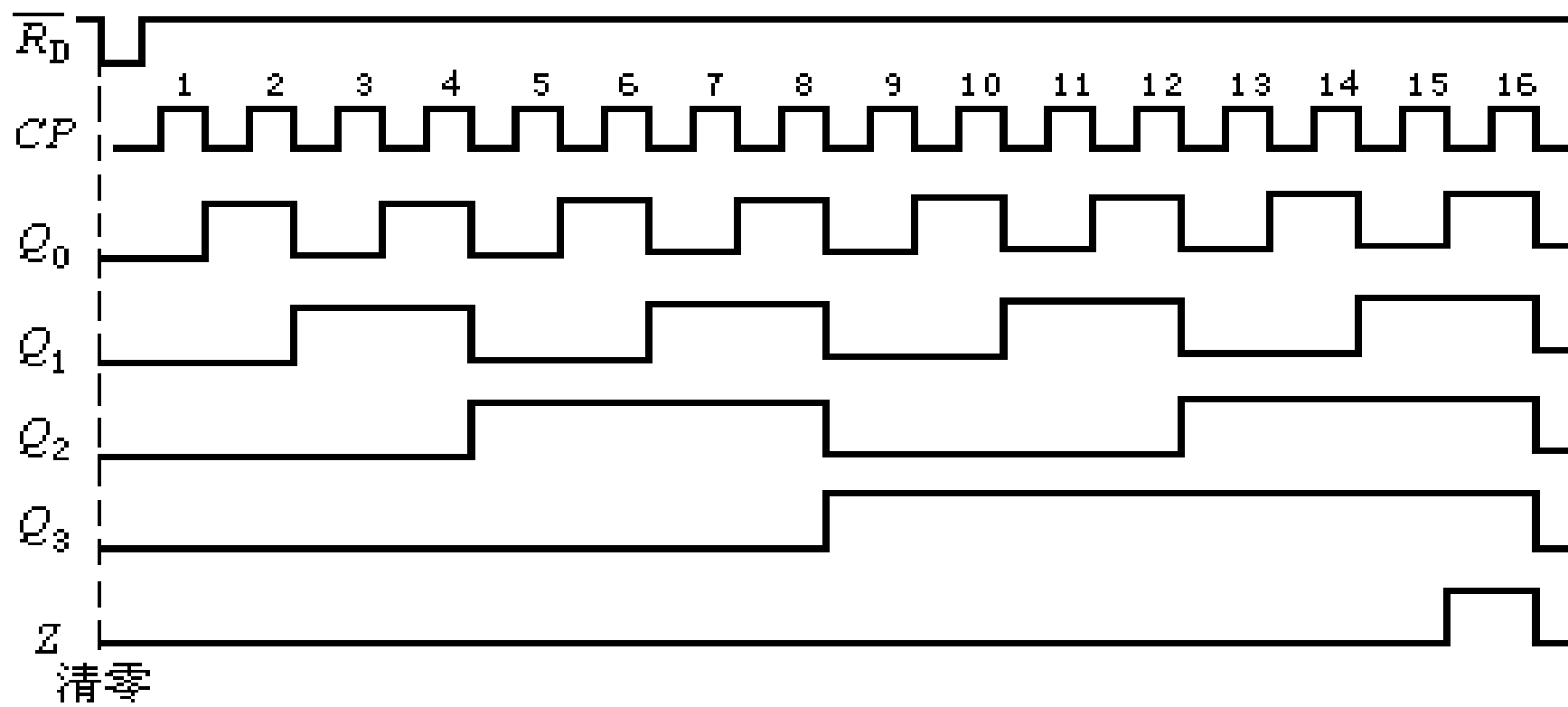
$$Q_2^{n+1} = (Q_0^n \overline{Q_1^n} \overline{Q_2^n} + \overline{Q_0^n} Q_1^n \overline{Q_2^n}) CP \downarrow$$

$$Q_3^{n+1} = (Q_0^n \overline{Q_1^n} \overline{Q_2^n} \overline{Q_3^n} + \overline{Q_0^n} Q_1^n \overline{Q_2^n} \overline{Q_3^n}) CP \downarrow$$

(4) 状态图



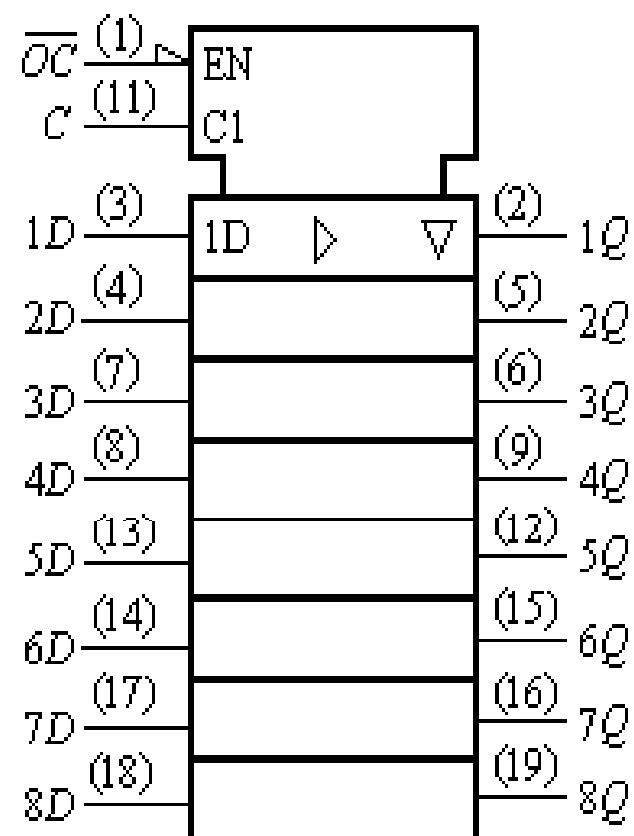
(5) 时序图



第5章 时序逻辑电路

二、时序逻辑电路常用器件

1 锁存器

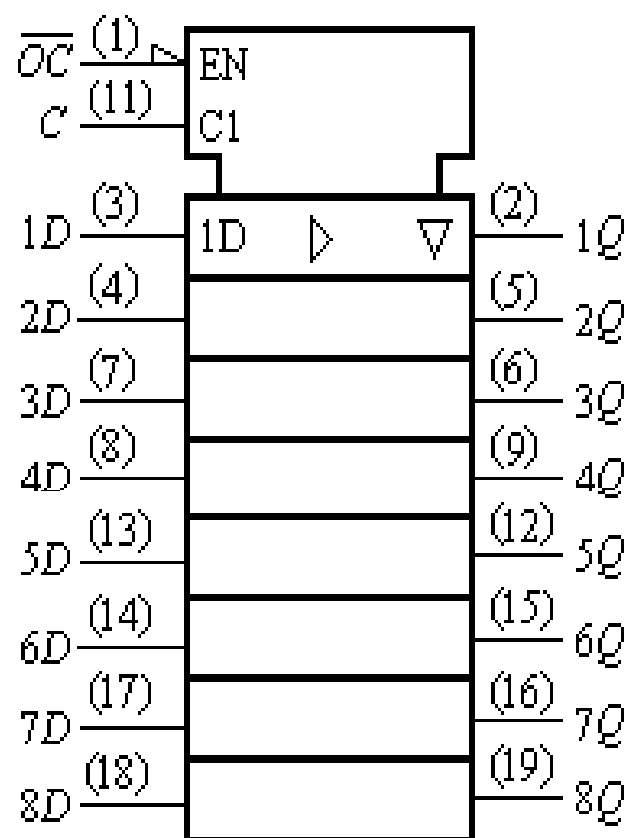


8位锁存器CT74LS373

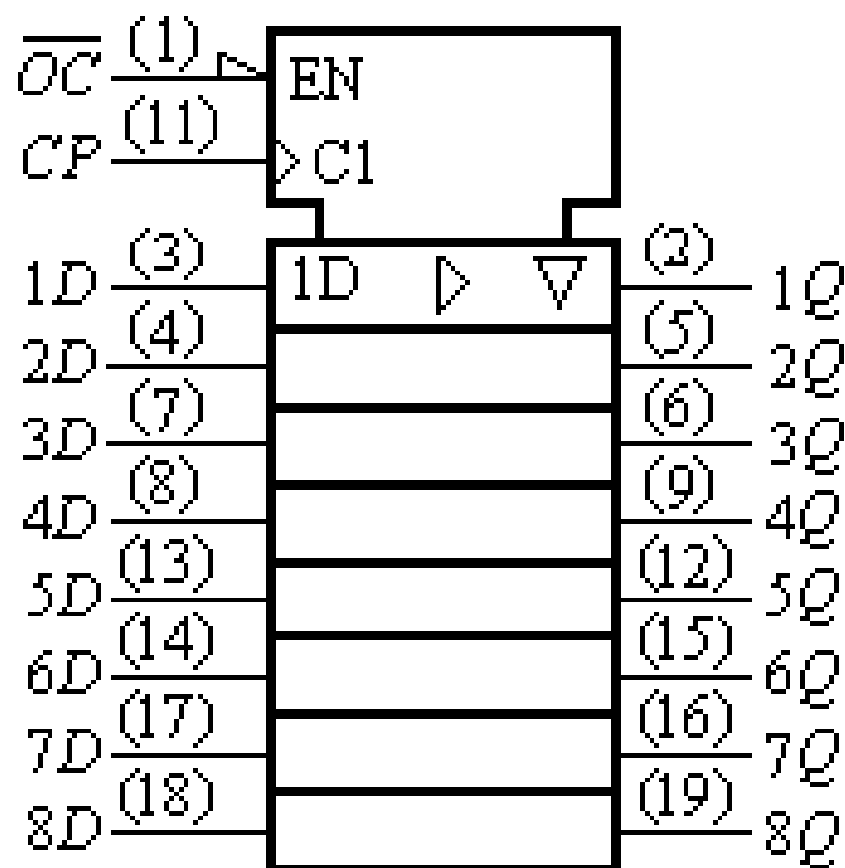
第5章 时序逻辑电路

二、时序逻辑电路常用器件

2 数码寄存器



8位锁存器CT74LS373

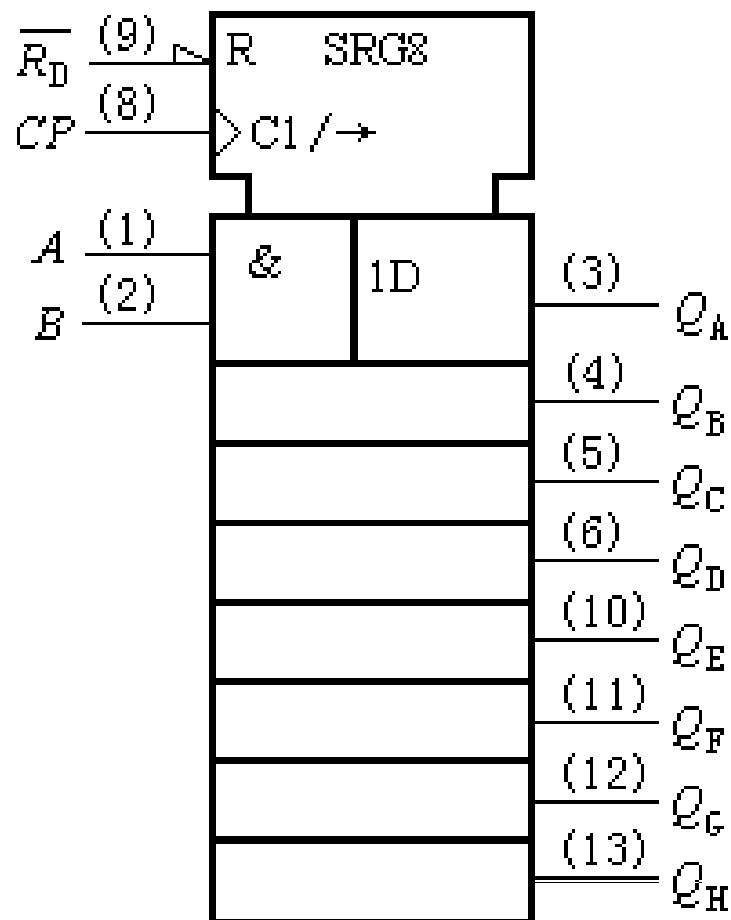
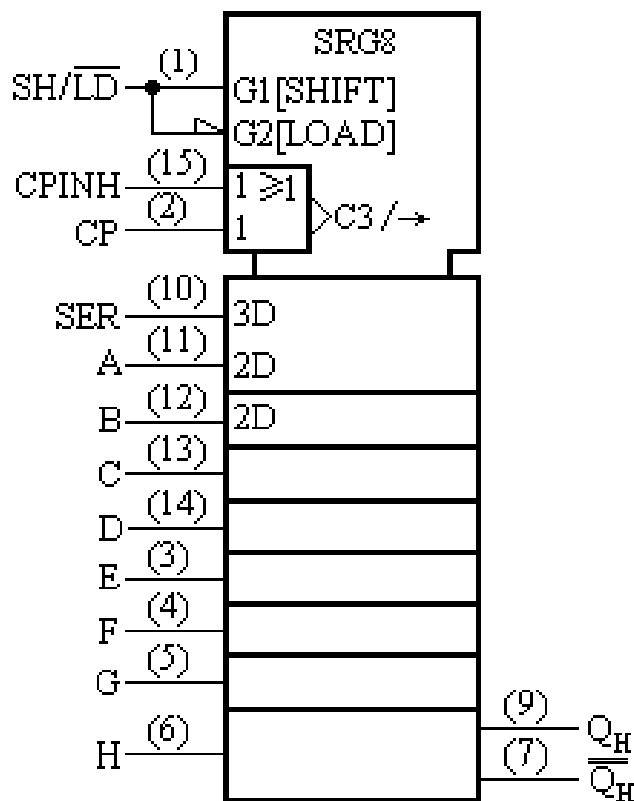
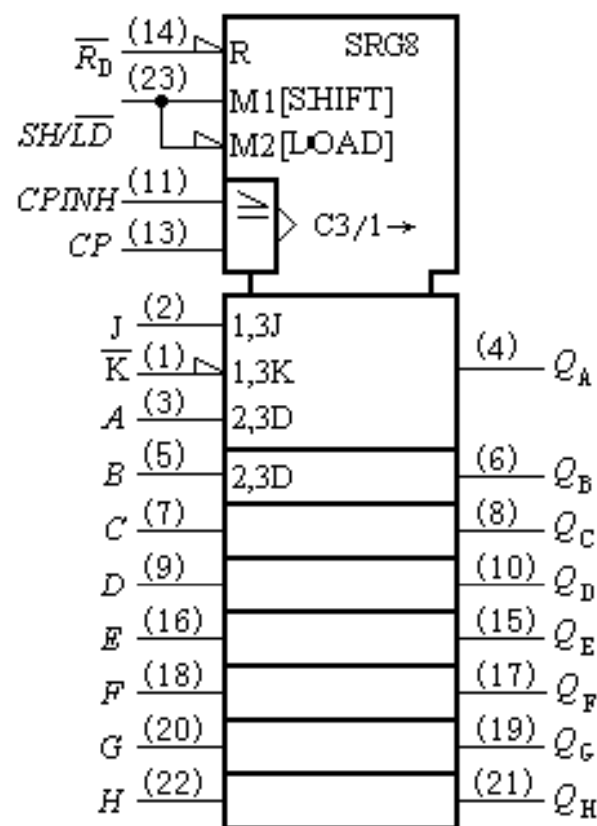


8位寄存器
CT74LS374的符号

第5章 时序逻辑电路

二、时序逻辑电路常用器件

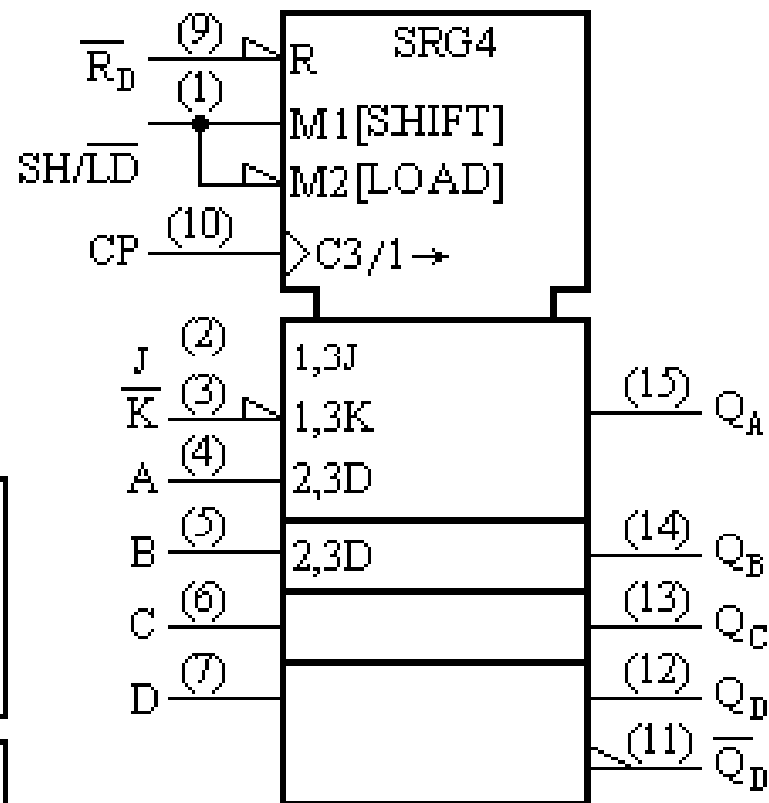
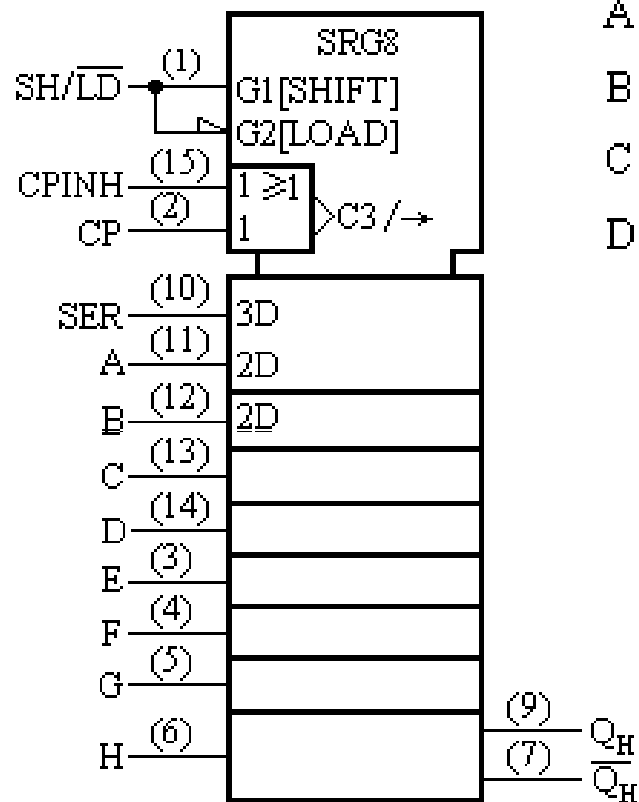
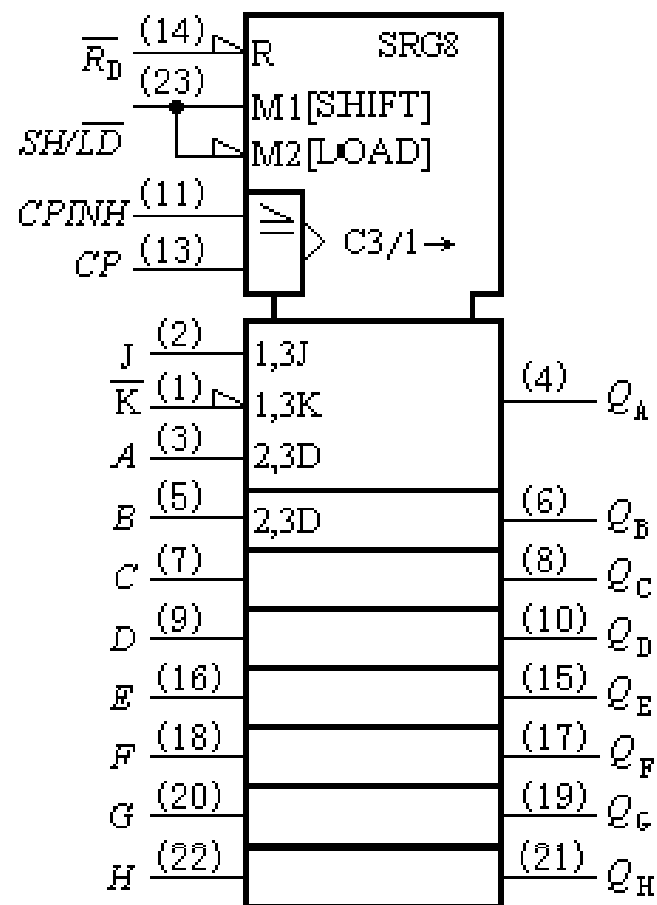
3 移位寄存器



第5章 时序逻辑电路

二、时序逻辑电路常用器件

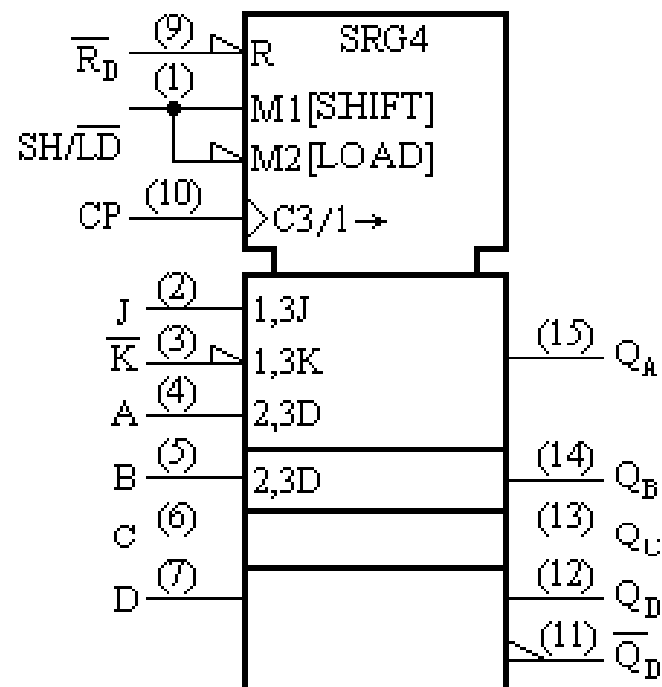
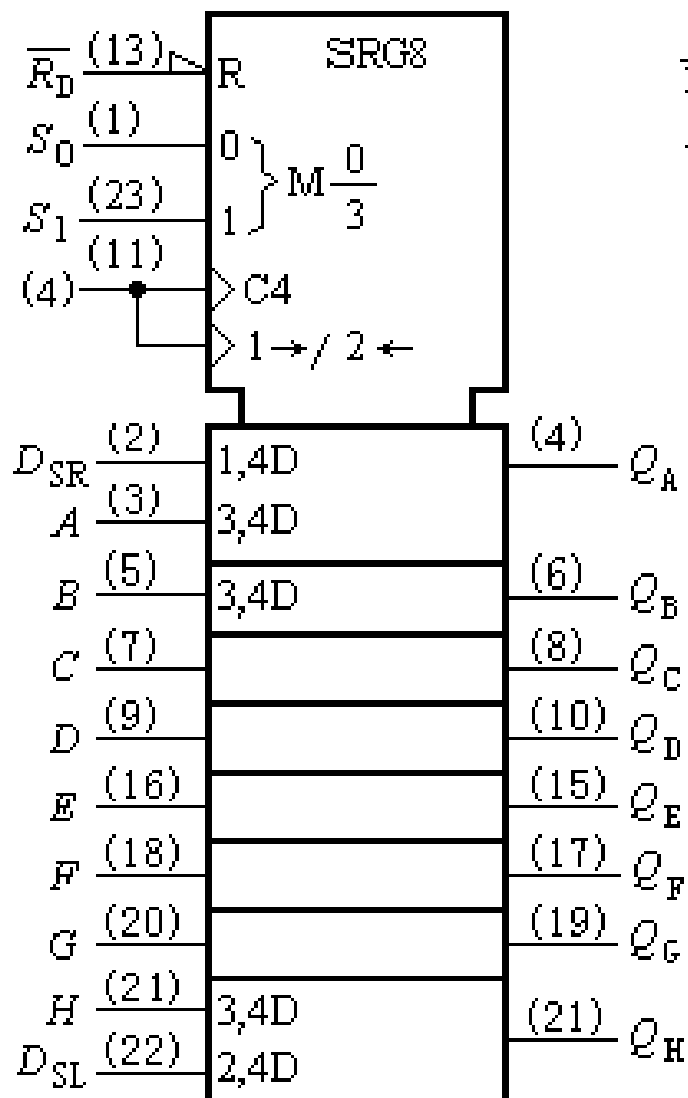
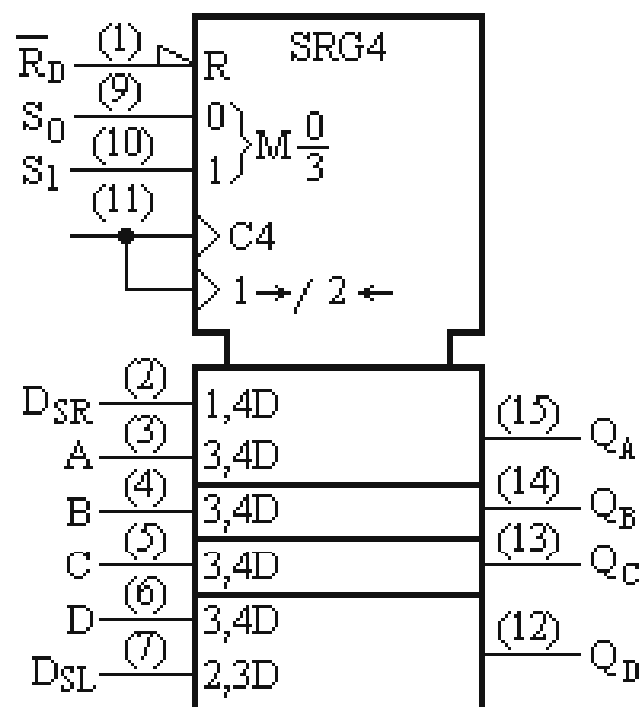
3 移位寄存器



第5章 时序逻辑电路

二、时序逻辑电路常用器件

3 移位寄存器



第5章 时序逻辑电路

二、时序逻辑电路常用器件

4 计数器

计数模值

在运行时，计数器经历的状态是有限的，并且随着计数脉冲的不断加入，状态的变换是周期性循环的，表现为状态图一定有一个计数主循环。循环包含的状态数也就是计数范围

简称模，用 M 表示

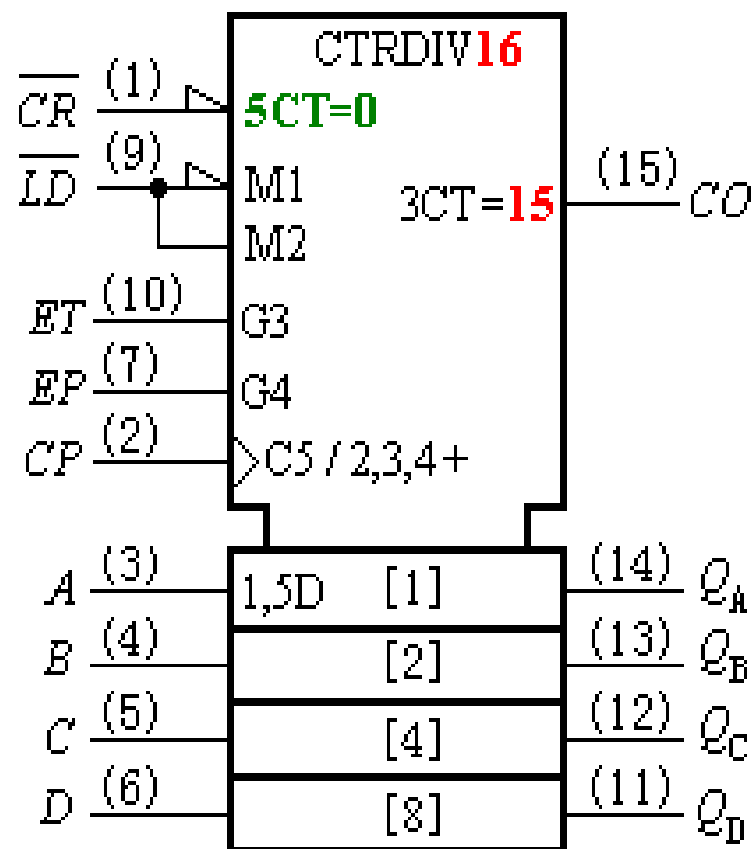
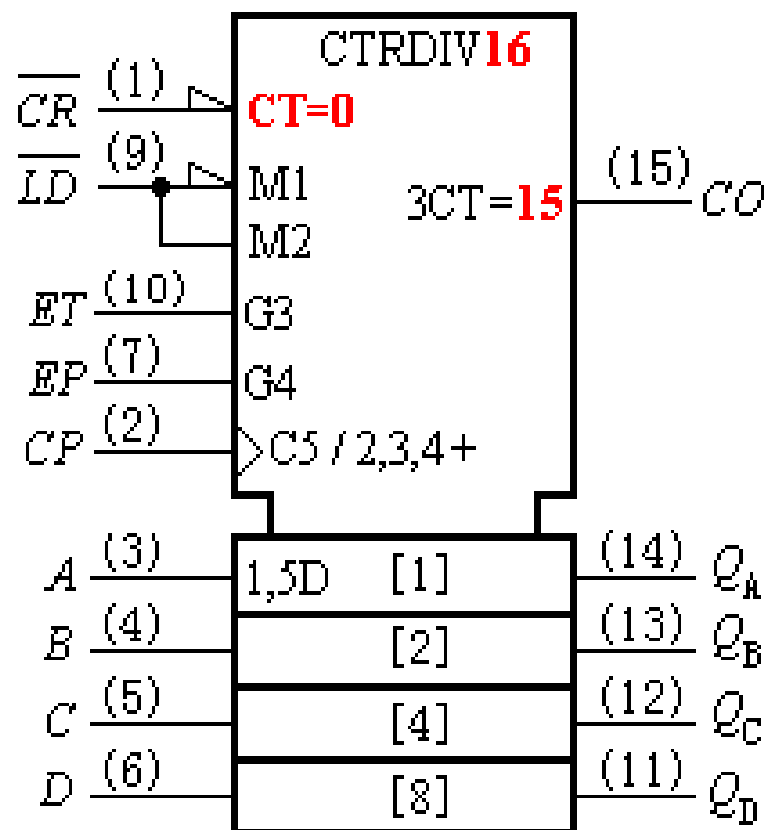
计数器有时称为分频器

计数的CP脉冲可以不是周期性信号。

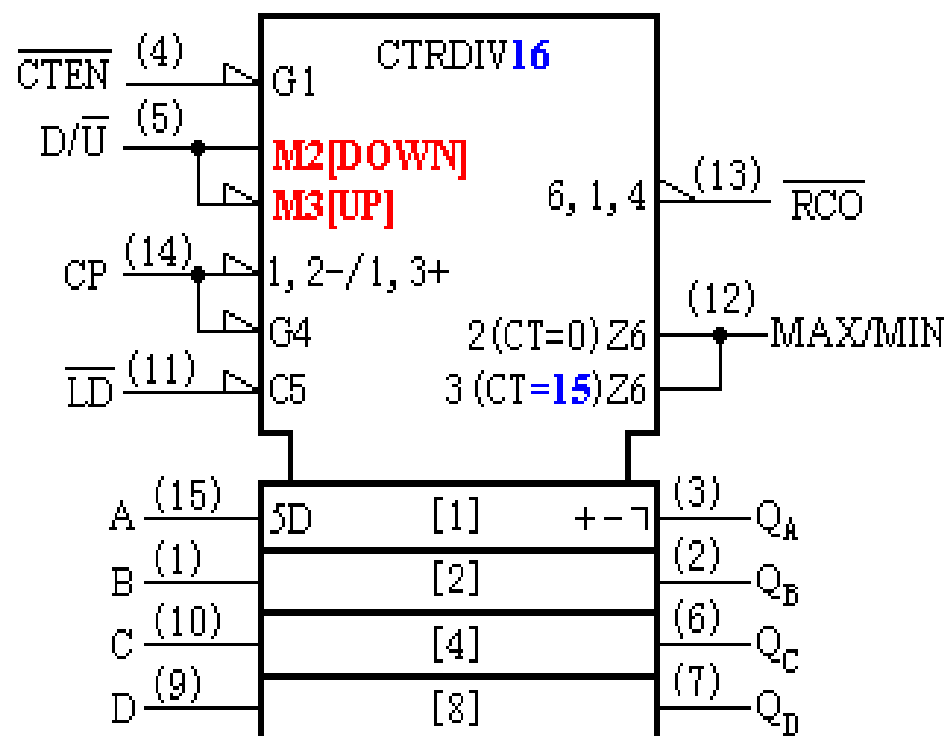
自启动与非自启动

同步、异步

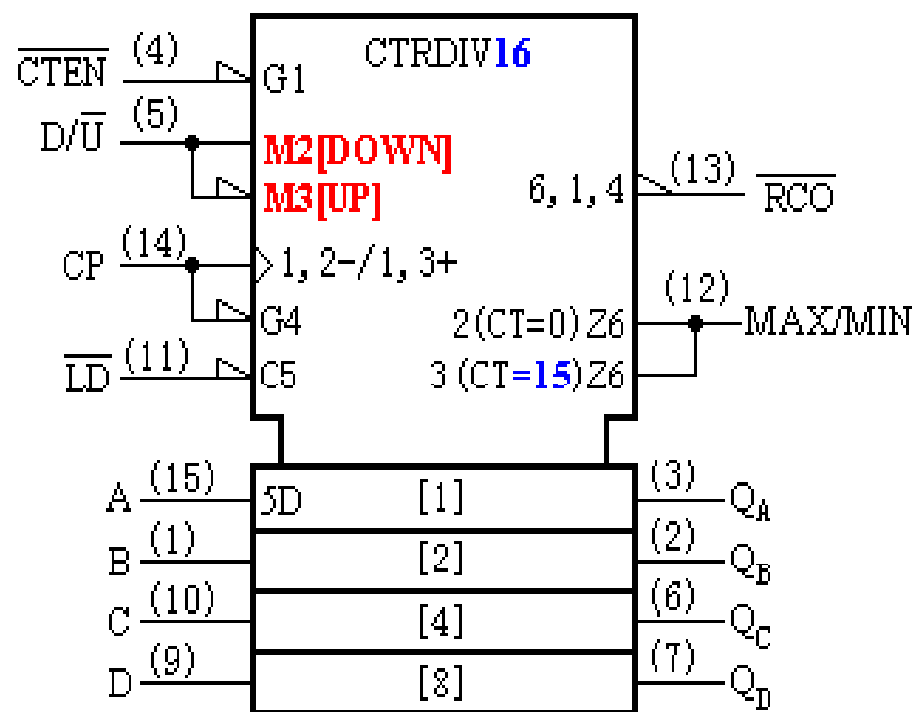
1、同步二进制计数器



1、同步二进制计数器

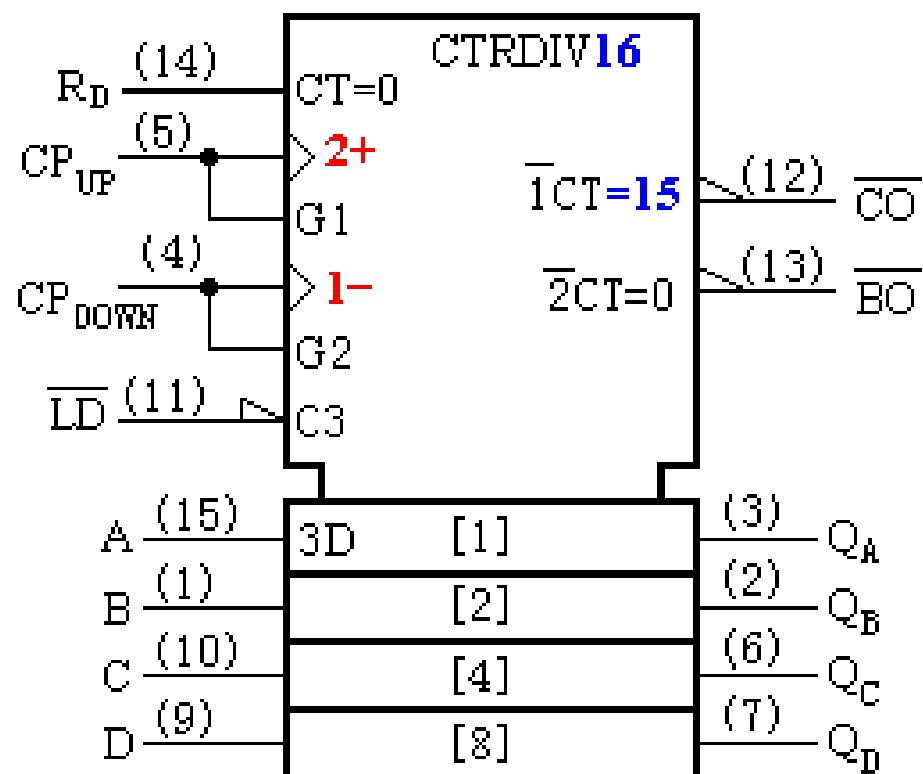


CP脉冲触发、延时输出
异步置数



CP上升沿触发
异步置数

1、同步二进制计数器

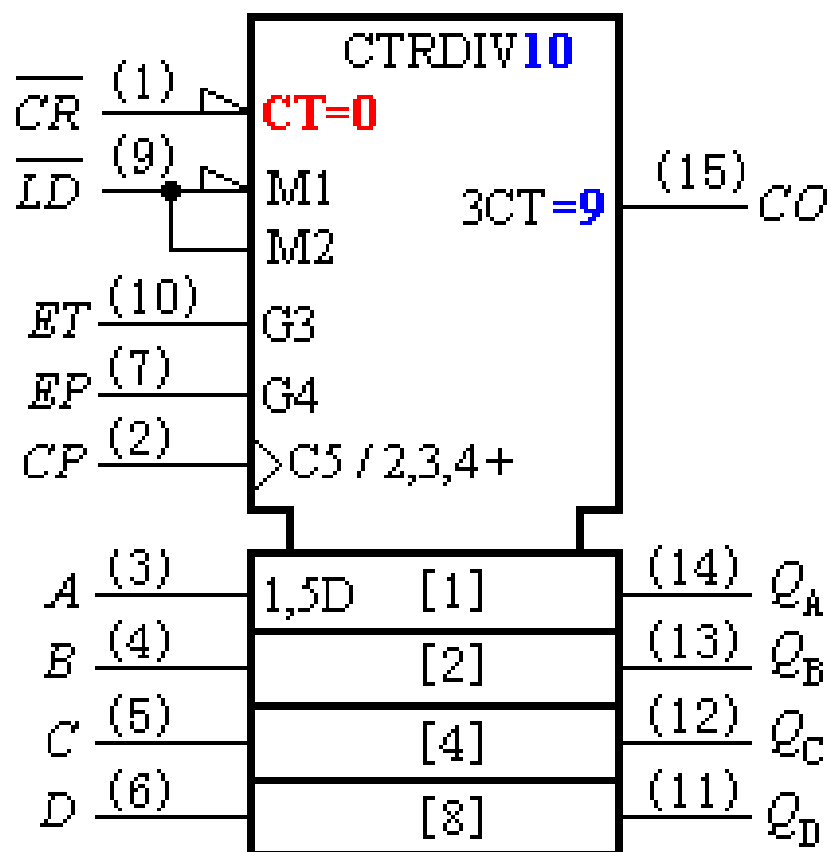


CT74LS193的符号

双时钟，上跳触发，异步置数

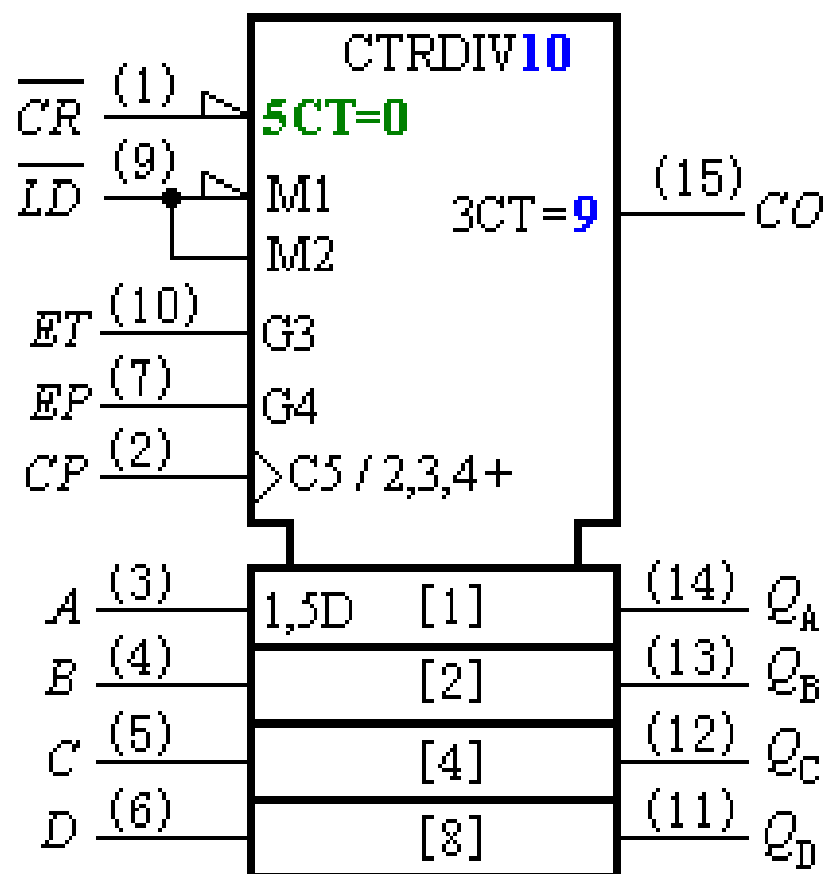
5.4.1 同步计数器

2、同步十进制计数器



CT74LS160的符号

同步置数，异步复位

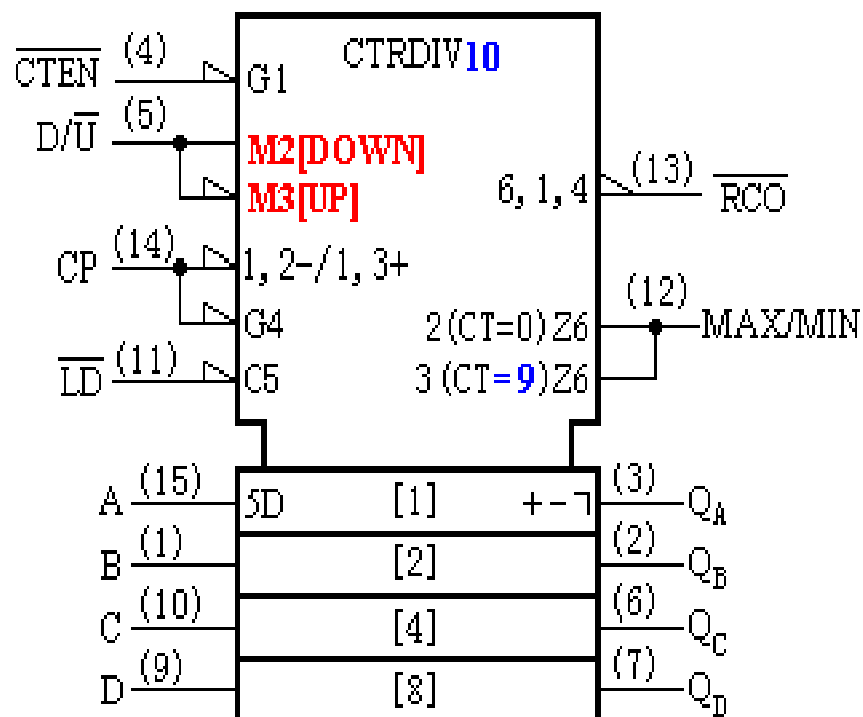


CT74LS162的符号

同步置数，同步复位

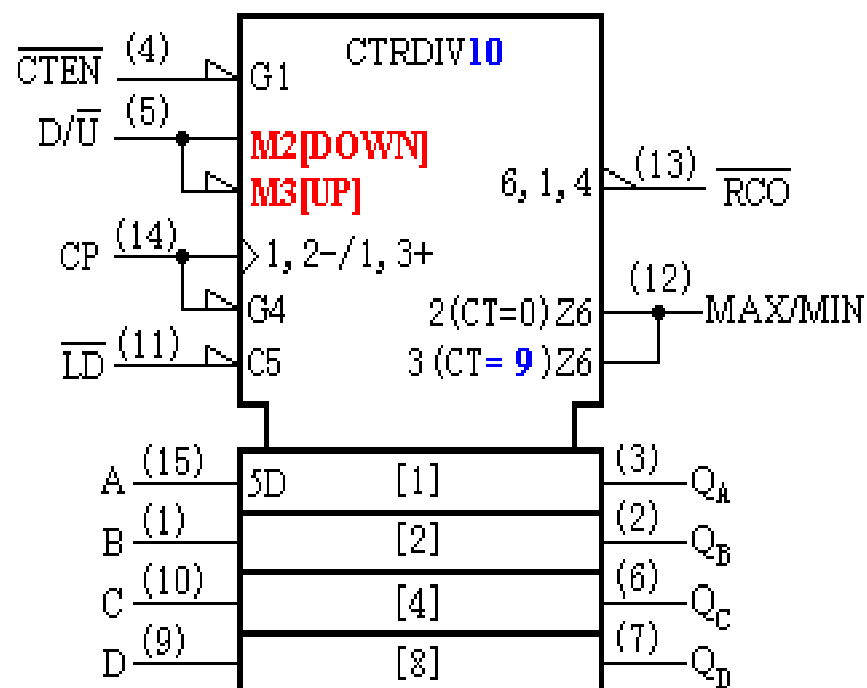
5.4.1 同步计数器

2、同步十进制计数器



190, LS190的符号

CP脉冲触发、延时输出
异步置数

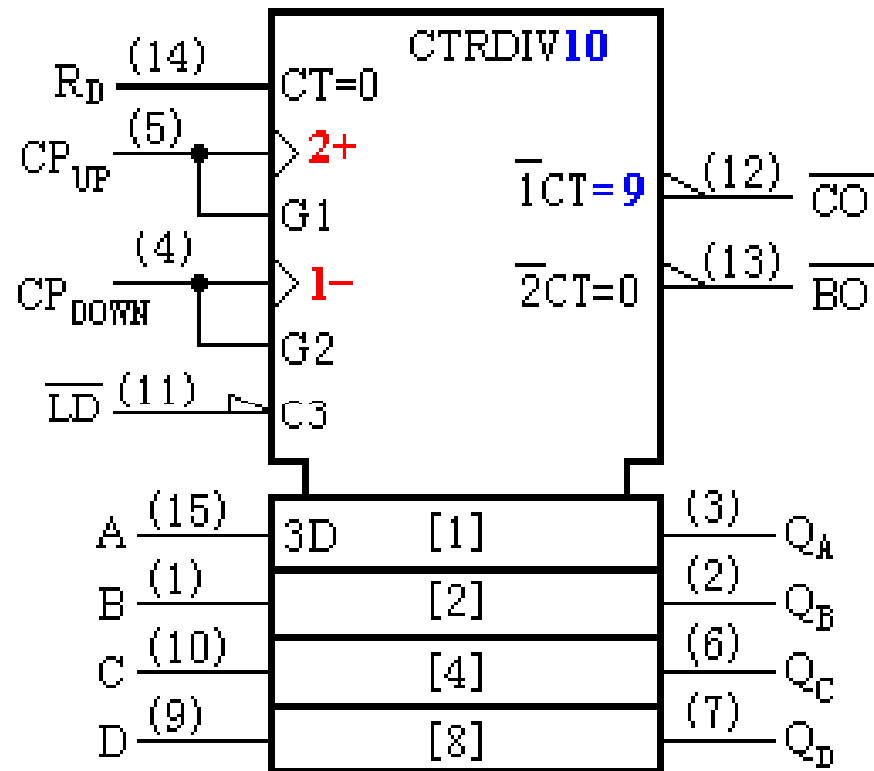


F190, ALS190, HC190符号

CP上升沿触发
异步置数

5.4.1 同步计数器

2、同步十进制计数器

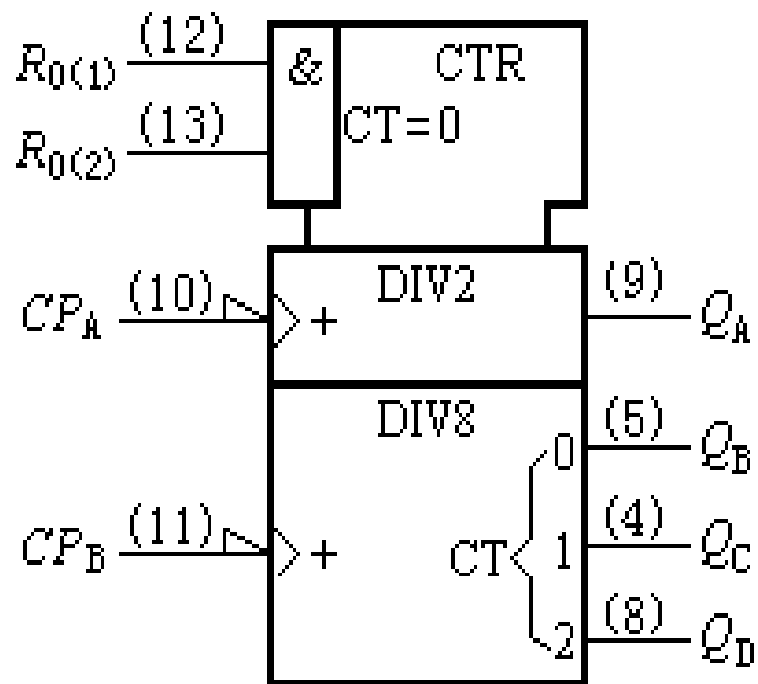


CT74LS192的符号

双时钟，上跳沿触发，异步置数

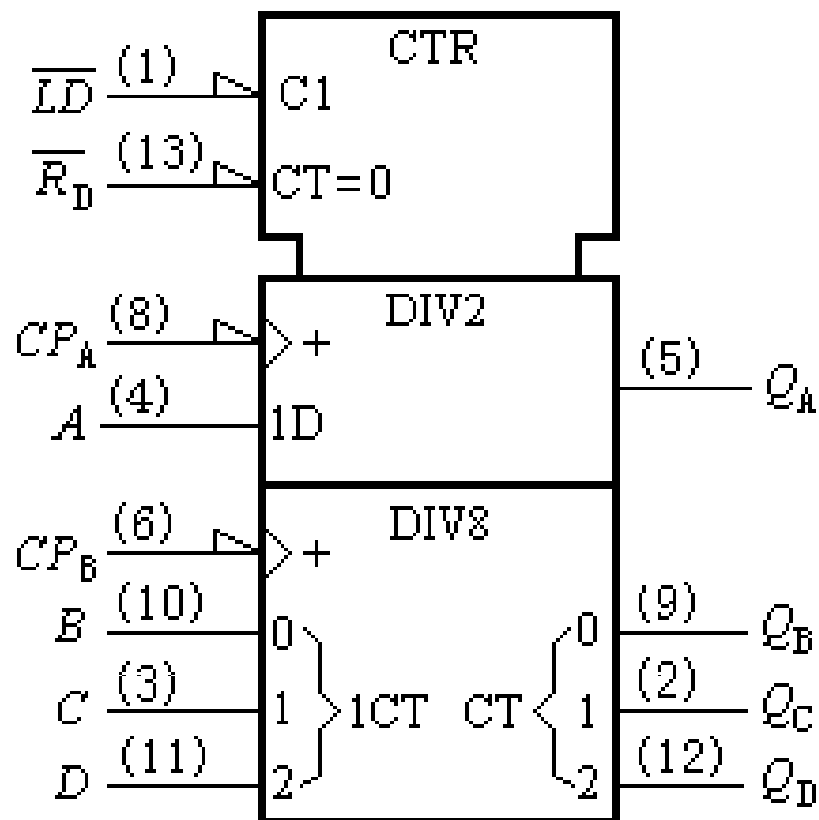
5.4.2 异步计数器

1、异步二进制计数器



CT74LS293的符号

下跳触发，延迟输出

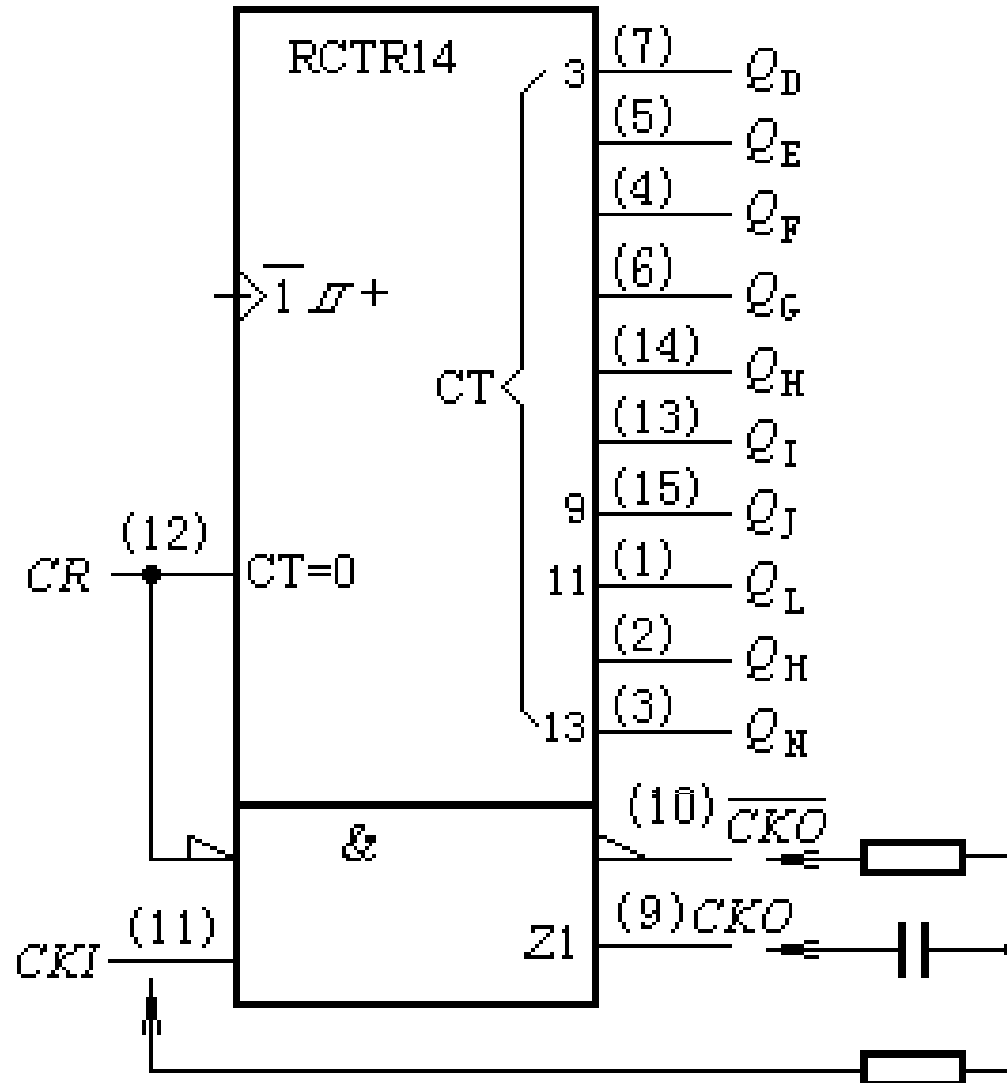


CT74LS197的符号

下跳触发，异步置数

5.4.2 异步计数器

1、异步二进制计数器



14位二进制计数器/振荡器 CC4060的符号

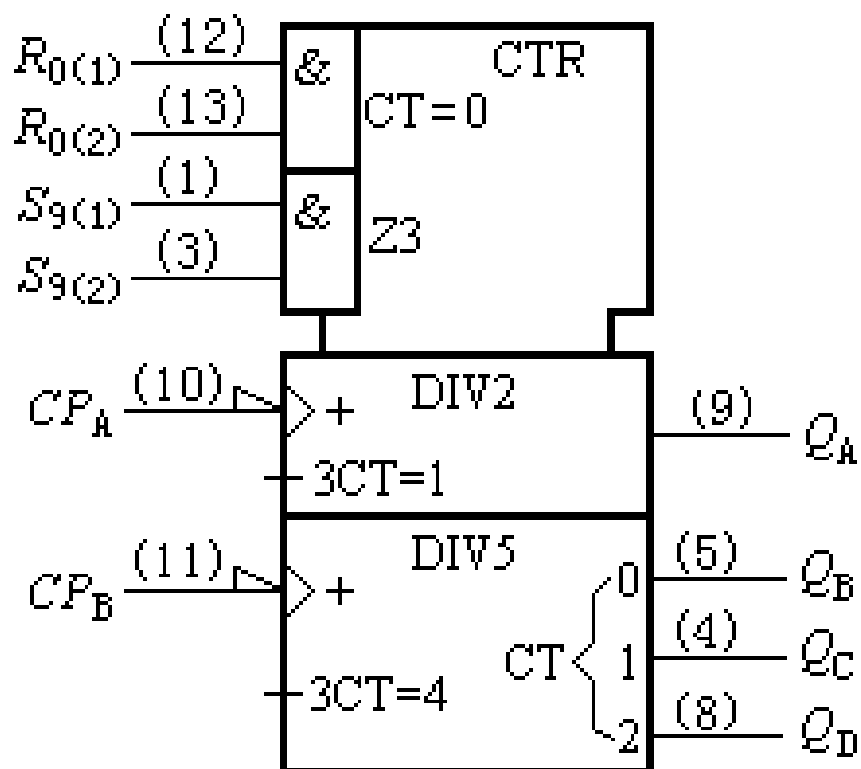
下跳触发，高电平复位

振荡器频率由外加定时阻容值决定

内部接计数器，
有施密特触发特性

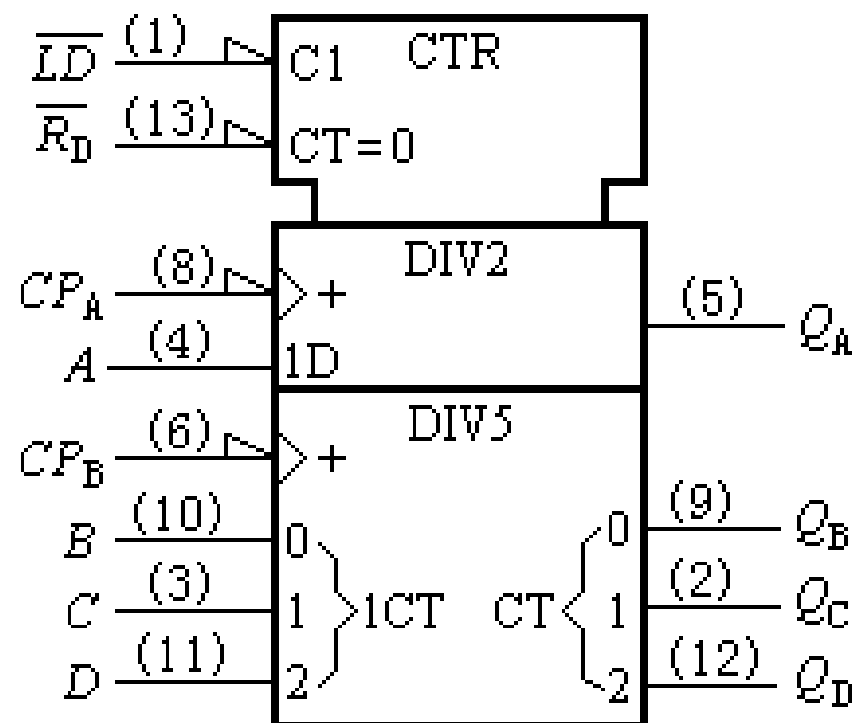
5.4.2 异步计数器

2、异步十进制计数器



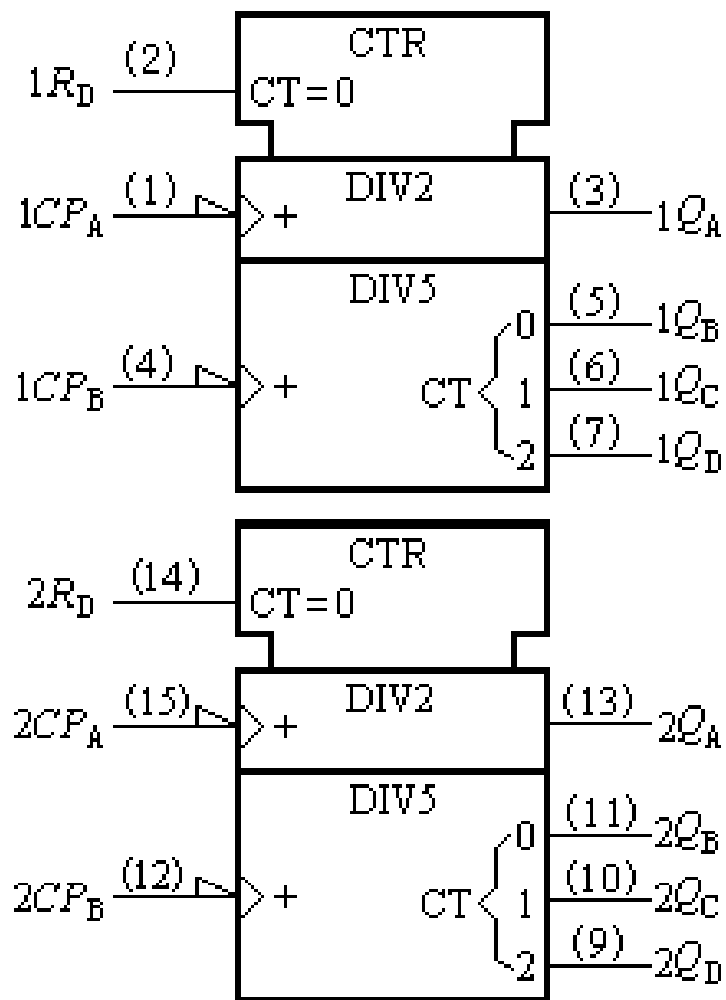
CT74LS290的符号

下跳触发，置0，置9



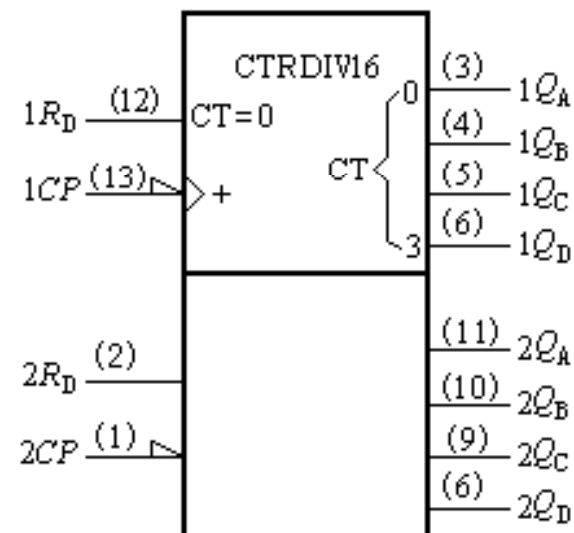
CT74LS196的符号

下跳触发，异步置数

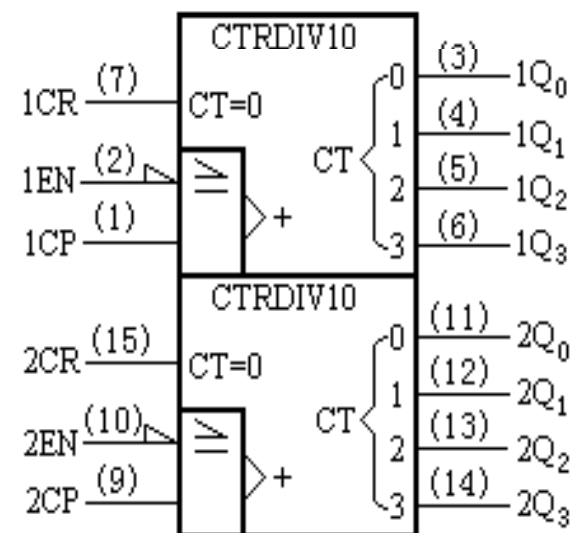


双二-五-十进制计数器CT74LS390的符号

下跳触发，高电平异步复位



双4位二进制计数器CT74LS393的符号



双十进制计数器CC4518的符号

5.5 时序电路的设计

1 触发器转移特性W:

在设计中首先解决的是触发器的状态转移问题，即触发器的状态怎样转移才符合设计要求，这种对于触发器状态转移的描述是通用的，是任何一种类型的触发器均要满足的，这种描述的方法我们称之为触发器的转移特性。以W表示。

2 触发器转移特性W的规定:

Q^n	Q^{n+1}	W
0	0	0
0	1	U
1	0	D
1	1	1

5.5 时序电路的设计

(3). 触发器激励与转移特性W的关系

$$Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n$$

若J=1, 有可能产生的转移特性

$$Q^{n+1} = 1\overline{Q}^n + \overline{K}Q^n$$

$Q^n=1, Q^{n+1}=1$ 时 $1 = 1\overline{1} + \overline{K}1$ 要求K=0就可以实现

$Q^n=0, Q^{n+1}=1$ 时 $1 = 1\overline{0} + \overline{K}0$ 对K无要求

$Q^n=1, Q^{n+1}=0$ 时 $0 = 1\overline{1} + \overline{K}1$ 要求K=1就可以实现

$Q^n=0, Q^{n+1}=0$ 时 $0 = 1\overline{0} + \overline{K}0$ 不可能实现

由该表可以总结出, 当JK触发器的J=1时, 其对应的转移特性为U, 有可能产生的转移特性为D、1。不可能的转移特性为0。

5.5 时序电路的设计

(3). 触发器激励与转移特性W的关系

触发器激励信号为1时的转移特性。

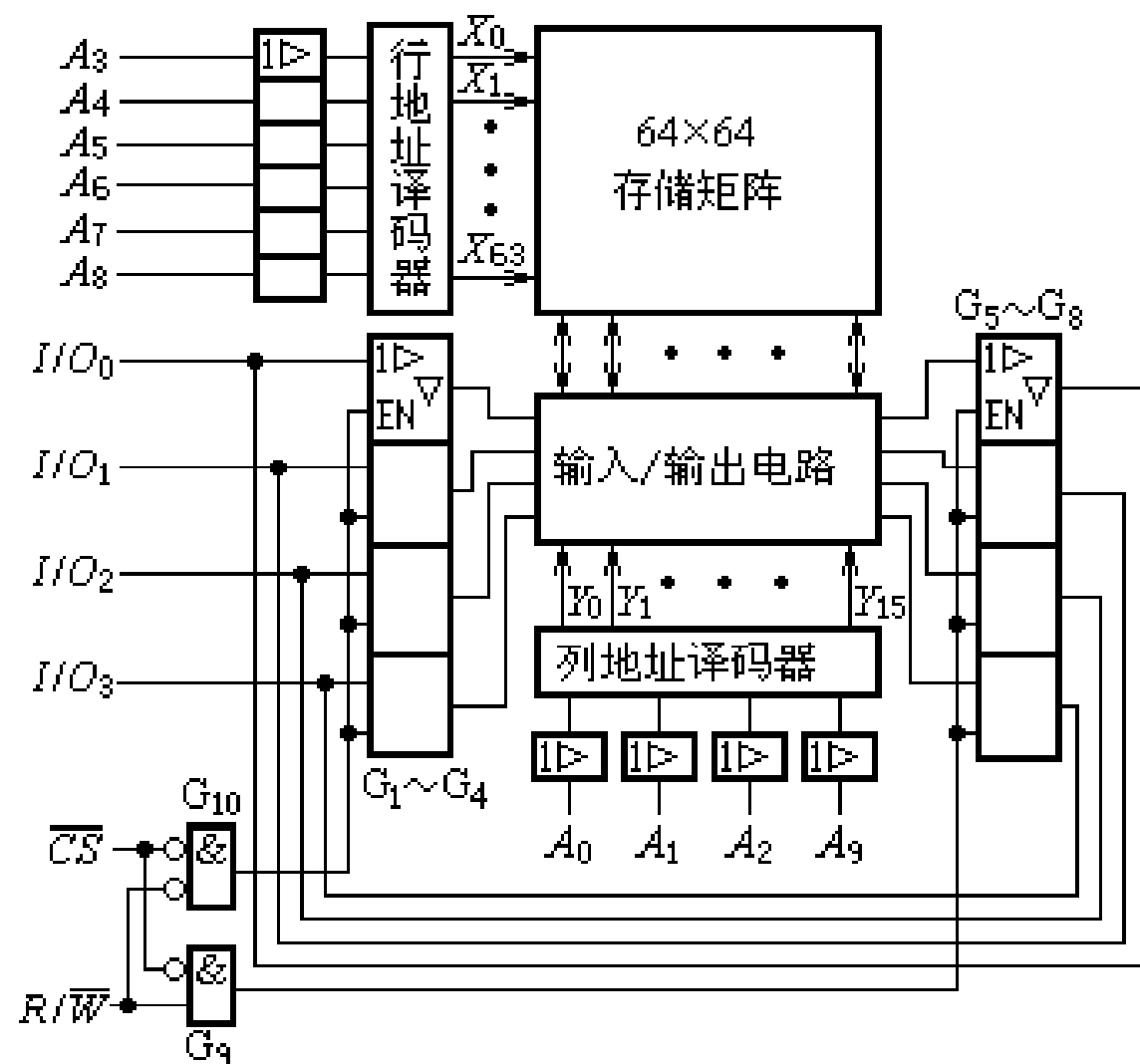
触发器激励	对应的转移特性	可能的转移特性	不可能的转移特性
R	D	0	U, 1
S	U	1	D, 0
J	U	D, 1	0
K	D	U, 0	1
D	1, U		0, D
T	U, D		0, 1

5.6 序列信号发生器

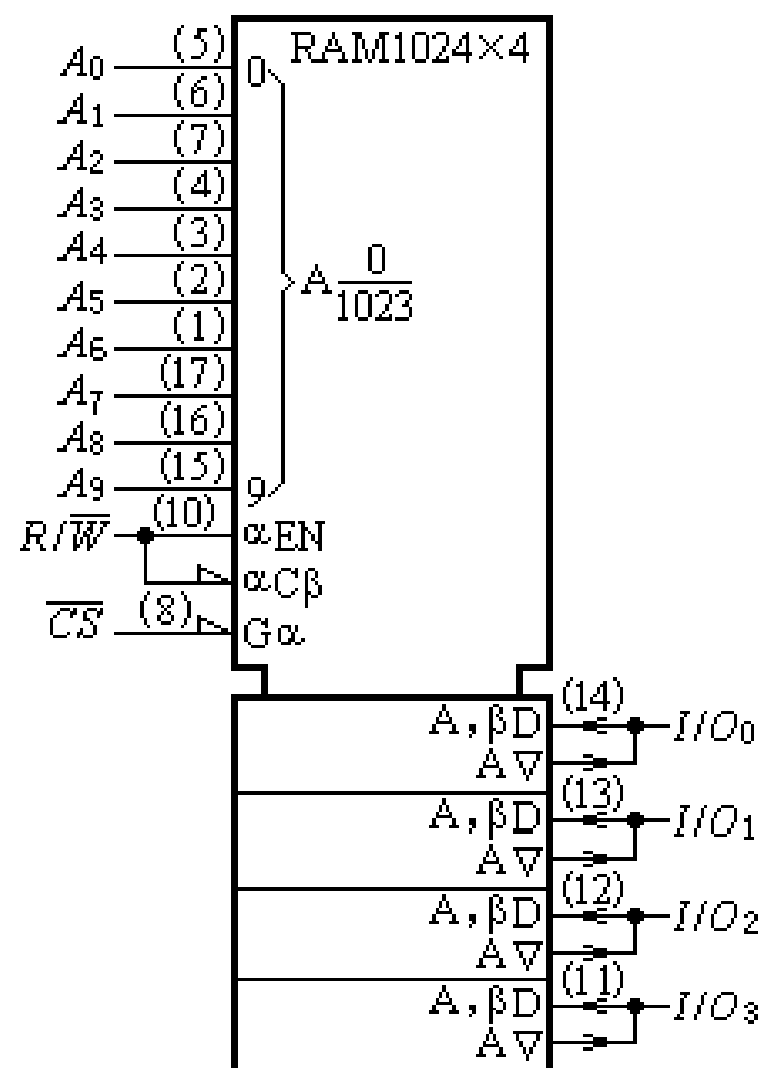
1、移存型序列信号发生器

2、计数器型序列信号发生器

第6章 存储器与可编程逻辑器件

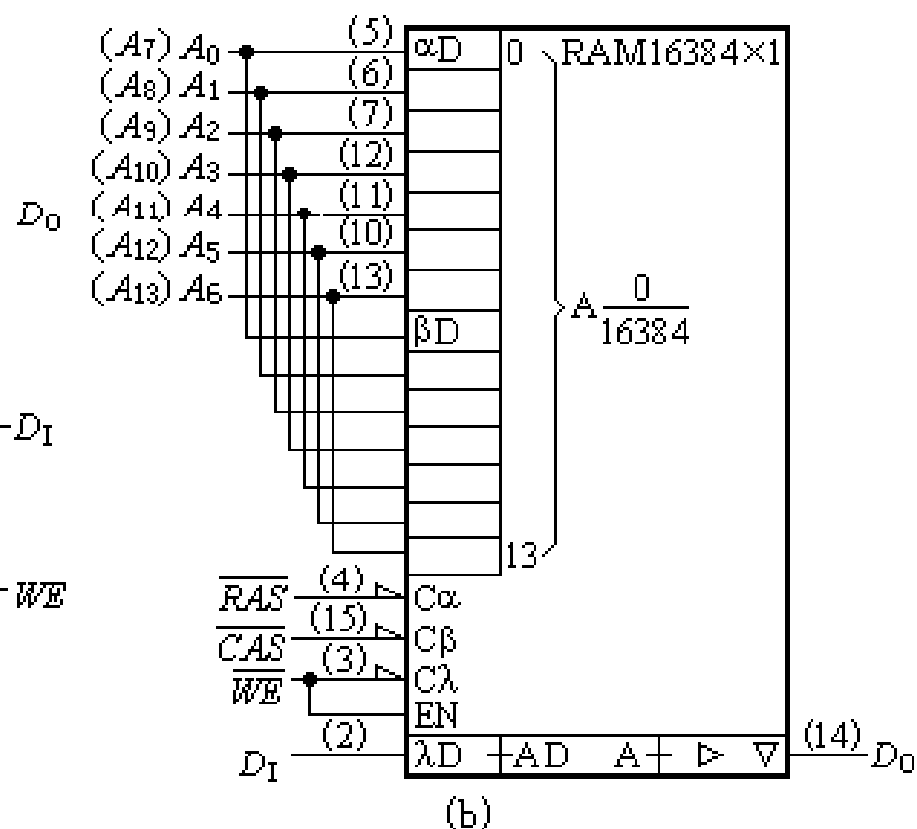
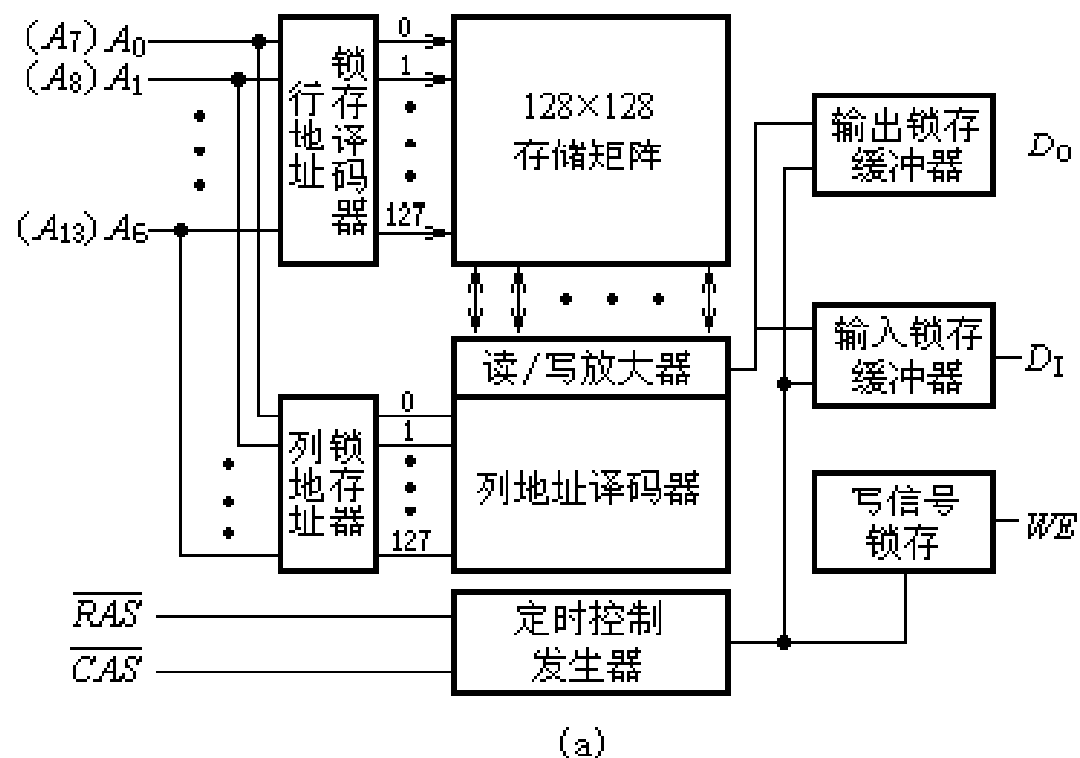


(a)



(b)

第6章 存储器与可编程逻辑器件



4、RAM的扩展

在数字系统或计算机中，单个存储器芯片往往不能满足存储容量的要求。

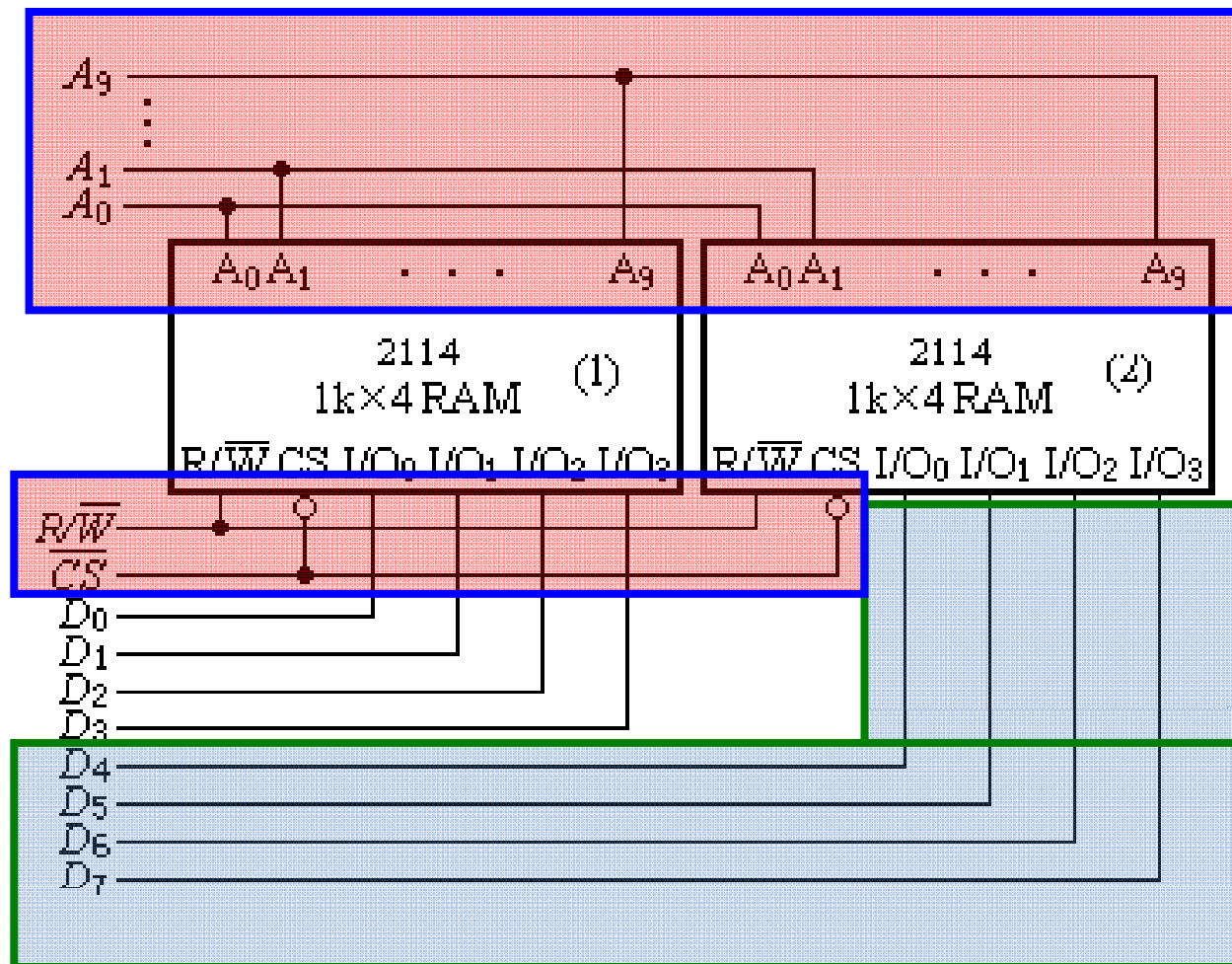
存储容量

位容量：1-2-4-8-16-32Bit、数据宽度、
以数据线的多少表示、 $D_0 D_1 \dots D_n$ （或
 $I/O_0 I/O_1 \dots$ ）

字容量：1-2-4-8-16-32KB、地址宽度，
以地址线的多少表示、 $A_1 A_2 \dots A_n$

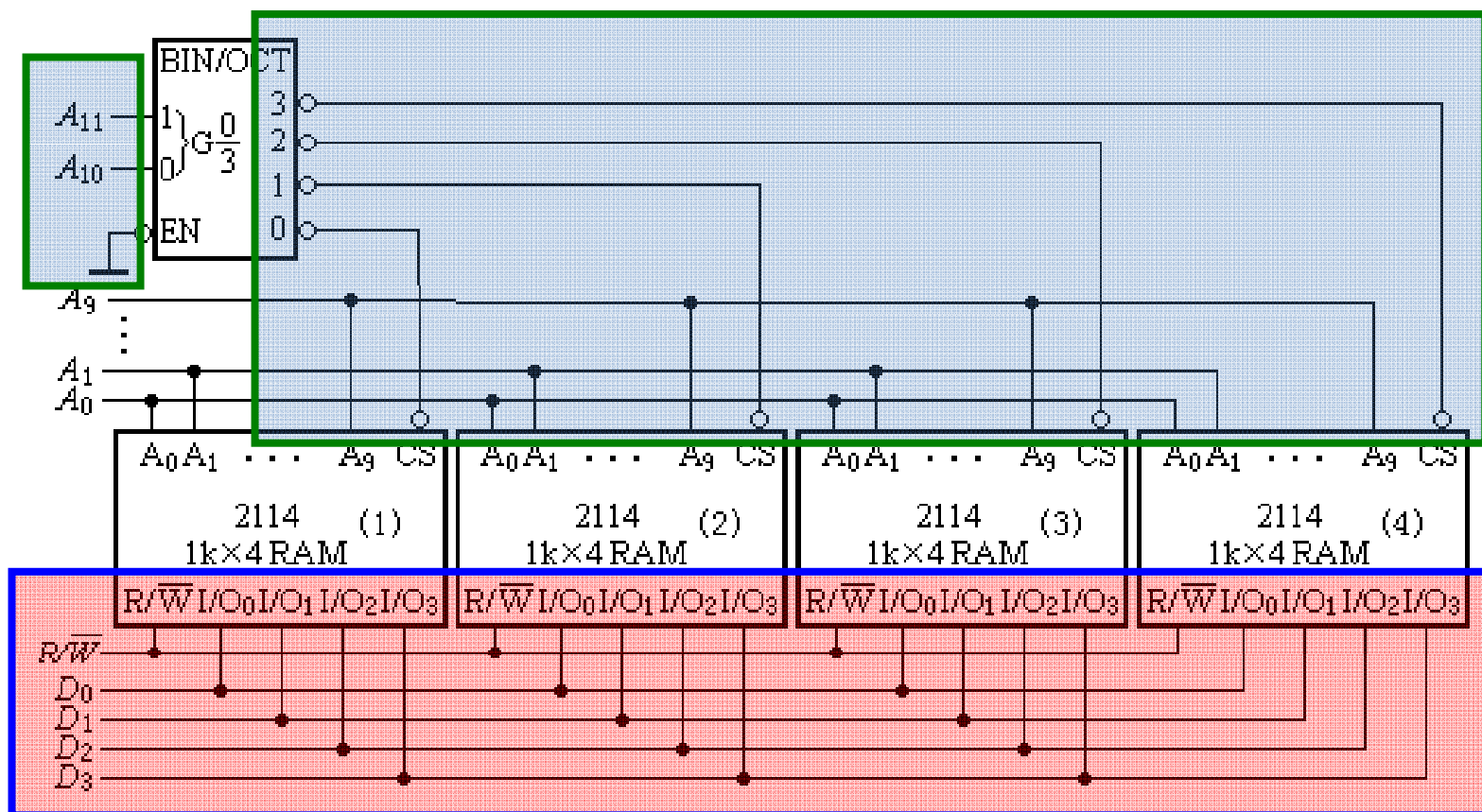
4、RAM的扩展

(1) RAM的位扩展



4、RAM的扩展

(2) RAM的字扩展



4、RAM的扩展

(2) RAM地址范围的确定

格式: **XXXX A₁₁A₁₀XX XXXX XXXX**

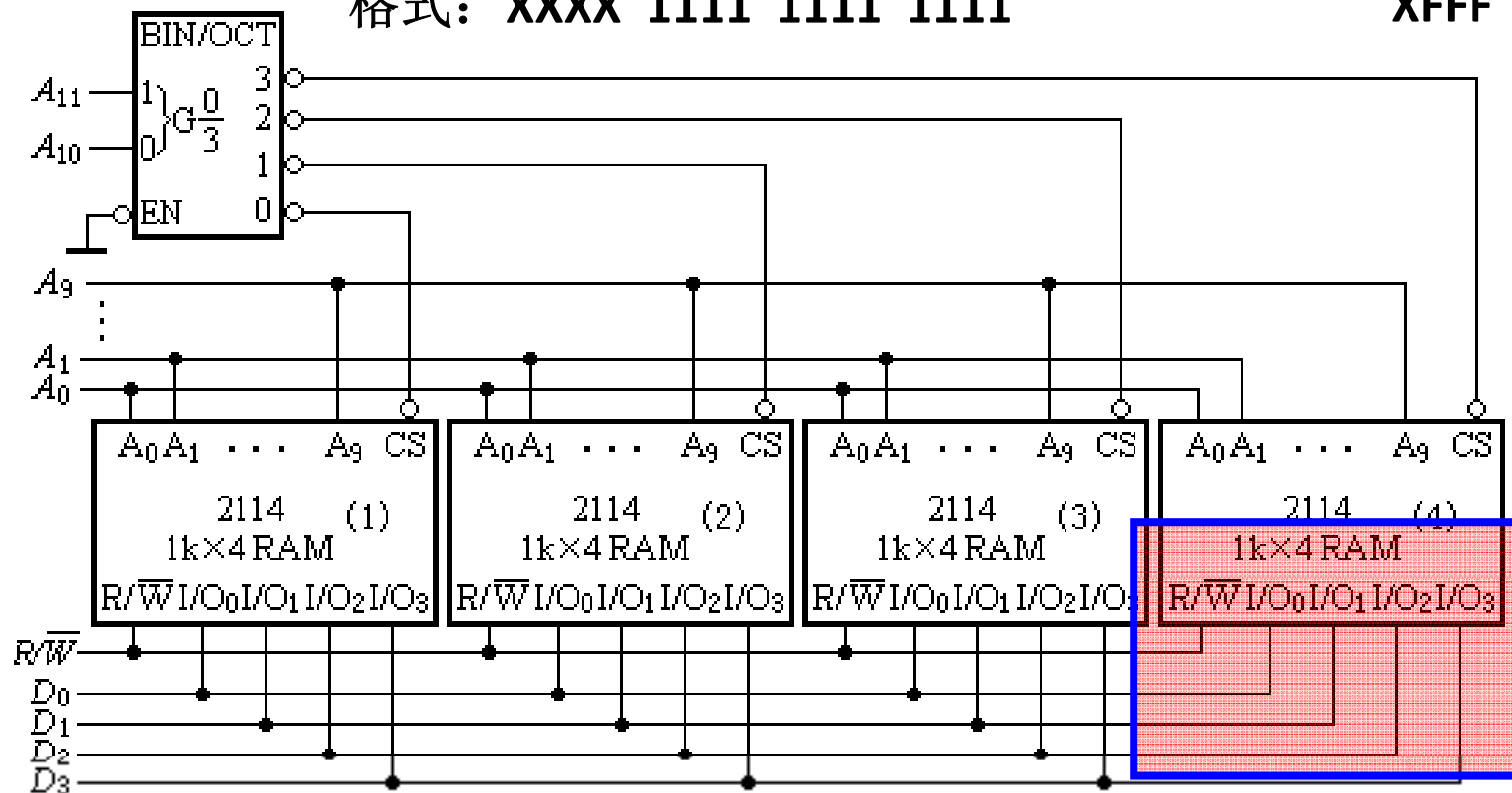
格式: **XXXX 11XX XXXX XXXX**

格式: **XXXX 1100 0000 0000**

XC00

格式: **XXXX 1111 1111 1111**

XFFF



4、RAM的扩展

(2) RAM地址范围的确定

格式: **XXXX A₁₁A₁₀XX XXXX XXXX**

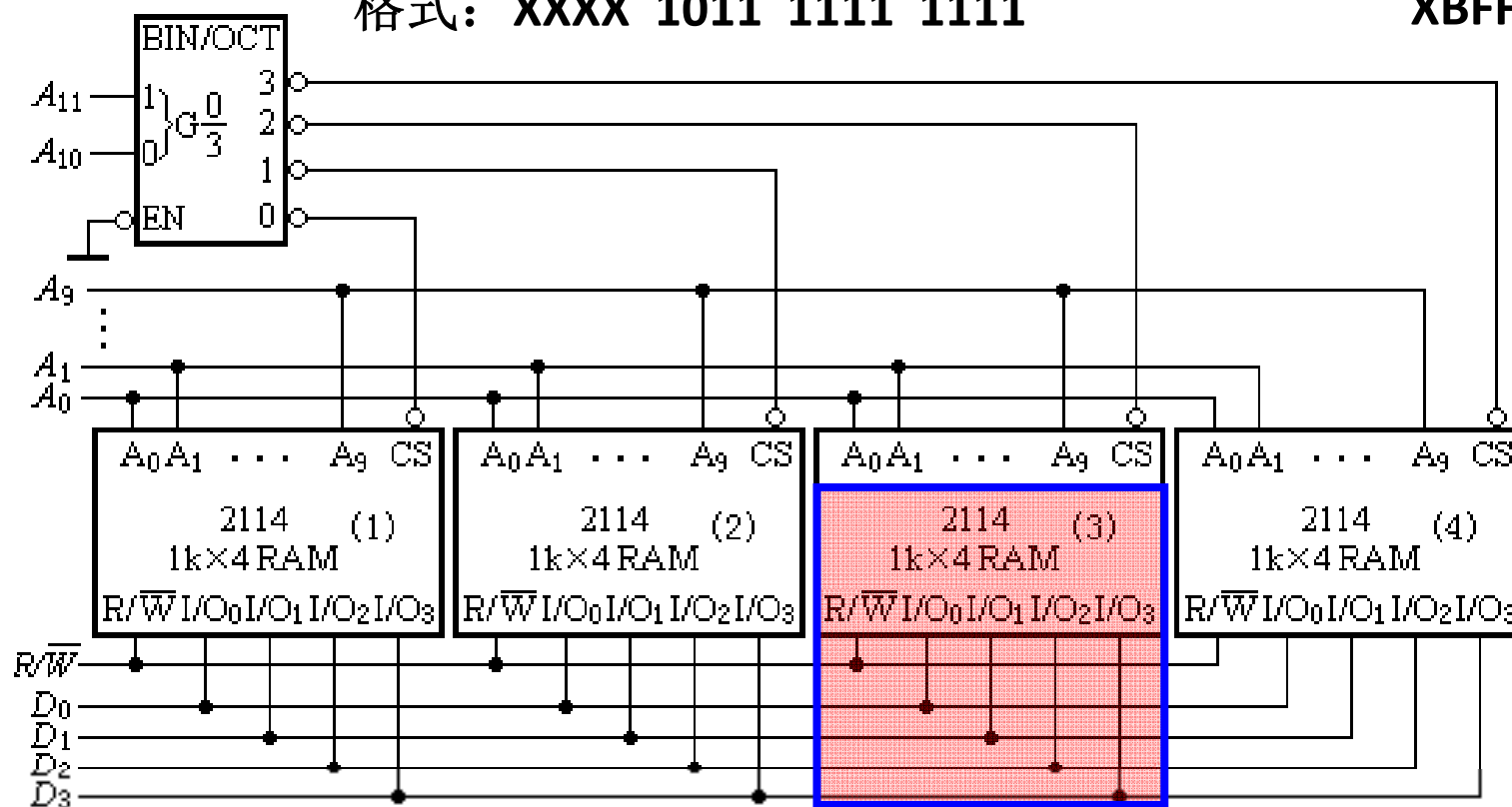
格式: **XXXX 10XX XXXX XXXX**

格式: **XXXX 1000 0000 0000**

X800

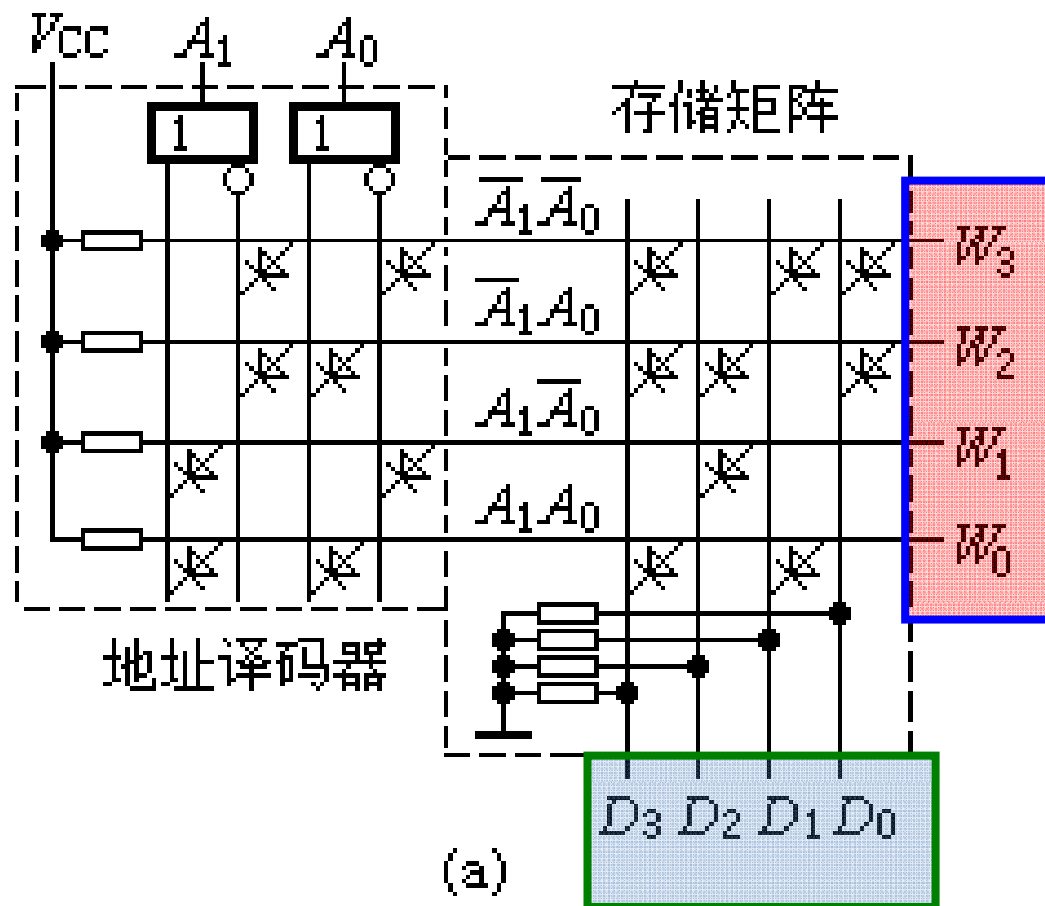
格式: **XXXX 1011 1111 1111**

XBFF



6.1.3 只读存储器（ROM）

1、ROM的结构及工作原理



二极管ROM

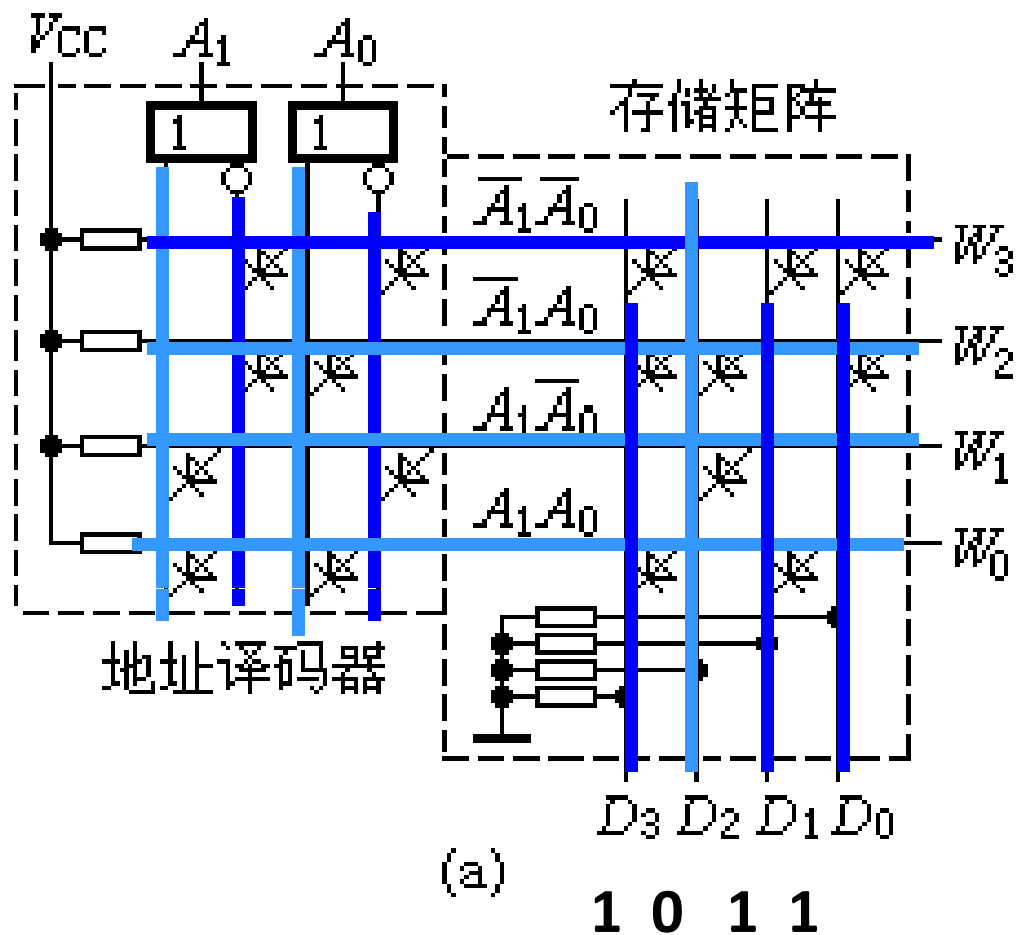
字线

位线

6.1.3 只读存储器（ROM）

1、ROM的结构及工作原理

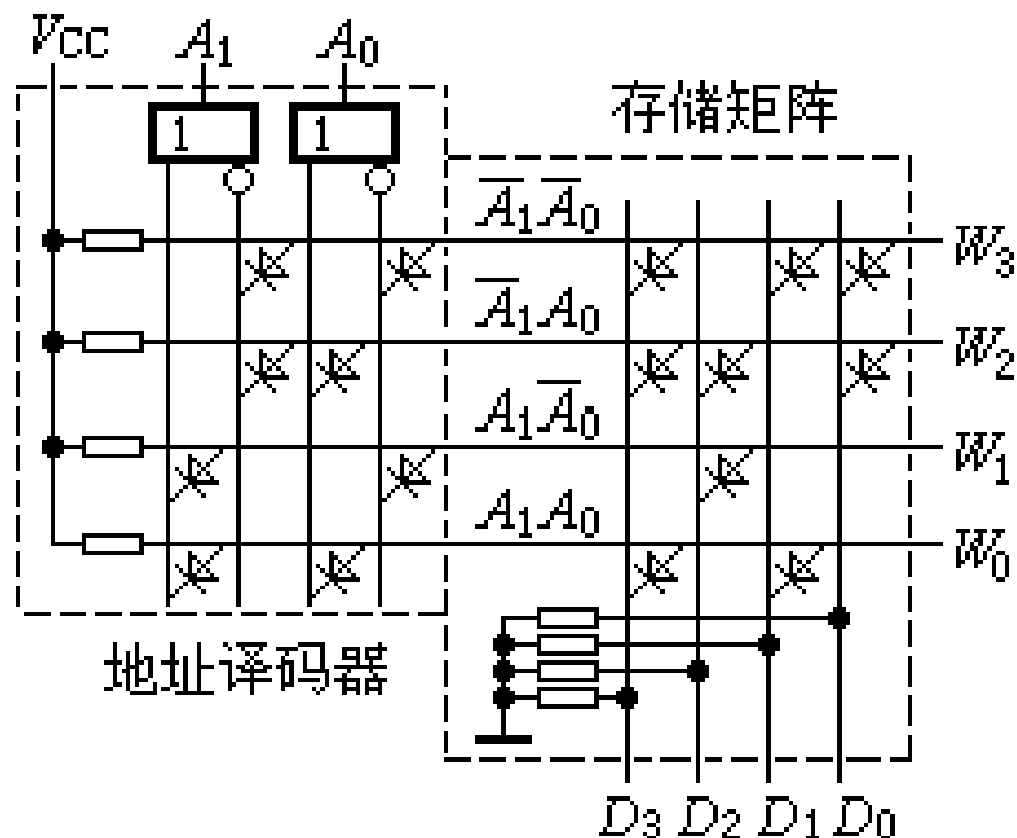
当 $A_1A_0=00$ 时



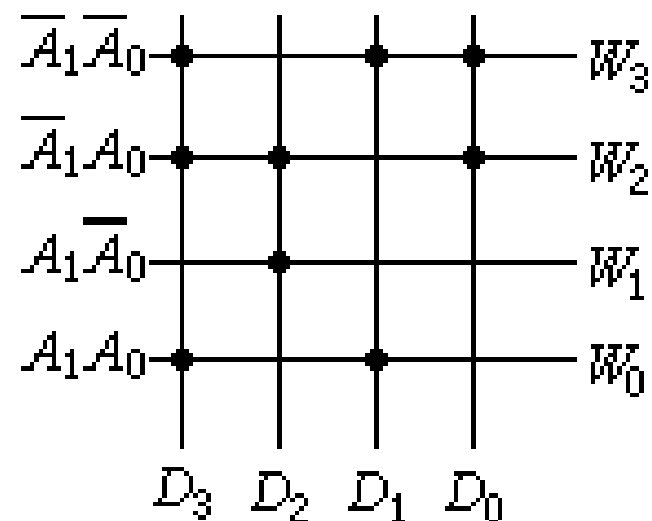
地址	内容
A_1A_0	$D_3D_2D_1D_0$
0 0	1 0 1 1
0 1	1 1 0 1
1 0	0 1 0 0
1 1	1 0 1 0

6.1.3 只读存储器 (ROM)

1、ROM的结构及工作原理



(a)



(b)

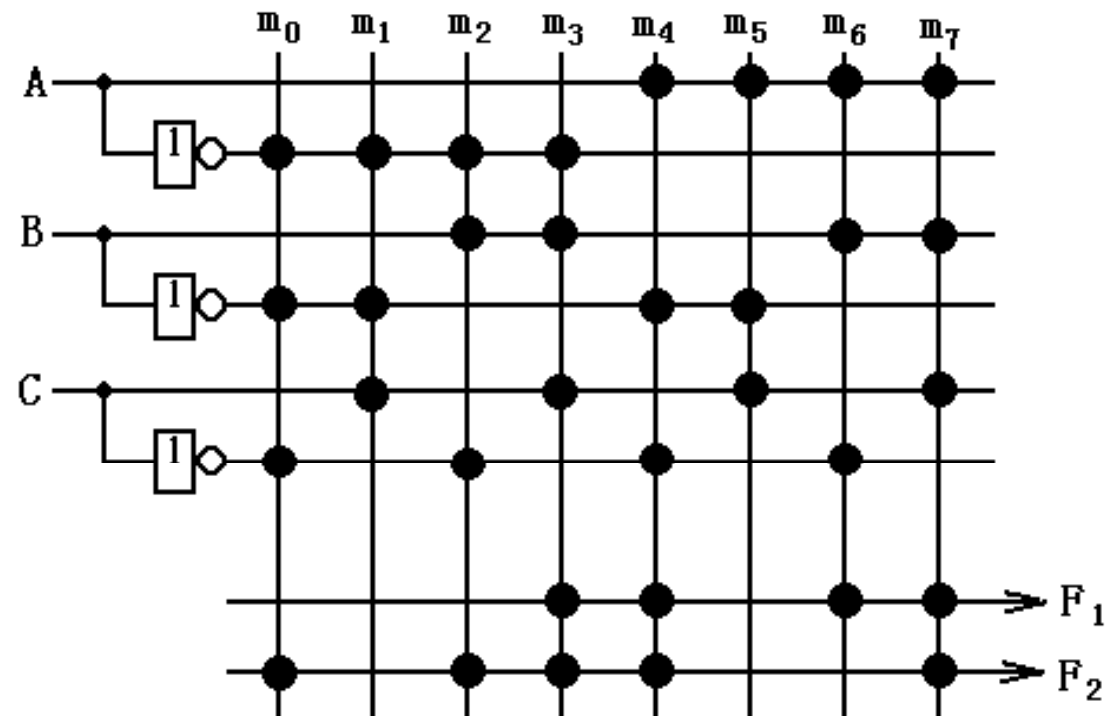
(b) MOS型ROM结构

6.2.1 ROM实现逻辑函数

1、用ROM实现组合逻辑函数：

$$F_1 = \sum_m (3,4,6,7)$$

$$F_2 = \sum_m (0,2,3,4,7)$$



实现组合逻辑的ROM矩阵举例