



DD 98回忆卷 (till 2021)

布尔代数，逻辑电路分析与设计（主要包括组合逻辑和同步时序逻辑电路），加一点二进制编码，可编程逻辑电路。布尔代数和时序逻辑电路是难点。考试会考verilog编程。

2018 - 2019 回忆卷

填空题：

1道十进制小数转化2，8，16进制数据

_____是触发器中在下一时钟周期前需要让数据保持稳定的时间

选择题：

有点忘了

倒数第二部分（小分值的大题？）：

1. 给了一个verilog的程序要求画出logic diagram
2. 给了一个电路图要求分析函数（真值表+卡诺图+函数用SOP写就行）

大题：

1. 大题第一题：

四个寄存器相互之间有转化，然后有K1K0两个输入控制，每个寄存器有load和IOCTRL两个引脚来控制（IOCTRL为0，读取数据，否则为写入数据）

要求写出各个寄存器的load和IOctrl的函数内容

1. 大题倒数第二题：

就是设计一个一位全减器（输入是减数和被减数还有借位，输出是当前位数的数字和向前的借位）

2.大题最后一题：

用两个D触发器制作一个运行状态为00, 01, 10, 11的计数器（应该是计数器），用一个输入控制， x_{in} 为1时正常计数，否则保持，然后要求写出状态表，电路图，下一状态的函数、Input equation、状态图

题量比较大

19-20

- 2020.8125 (10) 的2、8、16、BCD进制转换
- 112的signed-magnitude及其反码、补码
- binary code 到7-segment 要用_____, 如果“7”的LED要亮那么？记不清了
- 还是七段数码管，给了一个八位二进制数，问RAM引脚G(非) G2A (非) G2B的码和输入A2A1A0的码
- 给了一个multiplexer求F的output equation
- 求一个布尔函数的dual expression和complement expression以及SOM形式

- verilog里什么数据类型是connection，什么数据类型可以存储

二、选择

- 根据真值表选择逻辑门
- 求GN
- PLA的AND和OR是fixed还是programmable
- 处于CLEAR状态的负边沿JK触发器怎么才能改变状态
- 最后一题是给个时序电路图求maximum frequency

三、verilog and 卡诺图

- 根据逻辑图对verilog程序填空
- 用布尔代数的运算定律化简布尔函数
- 根据SOM画卡诺图，label the prime implicants and essential prime implicants and the corresponding AND forms
- 写出最后得到的F的SOP和POS形式

四、analyse circuits

- 根据逻辑电路图求F（标准形式）
- 根据control signal的不同值求寄存器R1的LOAD值和相应的功能

五、circuit design

- 设计一个乘法器，乘数和被乘数都是2bits，画出真值表、布尔函数和电路图

- 根据波形图用D触发器设计一个时序电路，要分频，画出状态表、状态图、次态方程、输出方程和电路图
- 如果这个电路要用于commercial airliner，要用哪种方式改进unused states；justify it。

2020-2021

一、填空题

- 1.进制转化；
- 2.反码、补码；

二、选择题

- 计算延迟；
- 计算频率；
- 计算Gate cost；
- K-map的essential prime implicant；
- BCD计算；
- PAL的AND和OR分别是否可编程（还是固定的）；

三、veirlog&K-map

- 给了电路图，写出对应的verilog语句（填空式，例如 AND2()，填括号里面的变量就行）；
- 写assign语句；
- 画K-map并得到最终化简结果；

四、寄存器

根据电路图写出不同控制信号下会发生什么，比如控制信号是00的时候，是 $R1 \leftarrow R1$ ，specification是No change

五、组合电路与时序电路

- 1.组合电路，用8to1的MUX和一个反相器实现一个表达式（四个变量，需要化简）；
- 2.ROM给定表达式（七段数码管）画叉叉
- 3.时序电路，实现一个检测101和110两种字符串的时序电路，包含state diagram, state table, next state function, output equation和circuit