

# Équipe Wizards of the Core : Cahier des charges

**Membres :** Oleg Paillot, Elliot Burns et Guilhem Chevallier  
**Superviseurs :** Thomas Carle, Christine Rochange et Pascal Sainrat

Mardi 7 Janvier 2025

## 1 Introduction

### 1.1 Contexte

Le projet prend place dans le cadre d'un concours organisé par l'entreprise Thalès, le groupement de recherche SOC2 du CNRS (Centre national de la recherche scientifique) et la CNFM (Coordination nationale de la formation en microélectronique et en nanotechnologies). Le concours porte sur la modification/l'optimisation d'un aspect spécifique du processeur RISC-V "CVA6".

### 1.2 Objectifs

L'objectif de l'édition 2025 de ce concours est d'augmenter la fréquence maximale de fonctionnement du processeur CV32A6 ( la version 32 bits du processeur CVA6 ).

## 2 Analyse de l'existant et des risques

### 2.1 Contraintes organisationnelles

Les différents groupes participants au concours se doivent de respecter les contraintes suivantes :

- L'équipe doit être composée d'un à quatre étudiants en Master 2 ( ou équivalent ).
- Tous les membres du groupes doivent être inscrit dans une université ou une école d'ingénieur française.
- L'équipe doit être coaché par un ou plusieurs superviseurs ( professeurs, assistants professeurs ).
- Toutes coopérations ou partages de solutions entre les différentes équipes est interdit.
- Le projet développé par chaque équipe devra être déposé avant le 5 Mai 2025.

### 2.2 Contraintes techniques

Comme mentionné précédemment, l'équipe devra travaillé sur le processeur CV32A6. Un kit est fournit par les organisateurs comprenant:

- Un banc d'essai pour simuler le CV32A6 dans sa forme RTL
- Les paramètres du cœur CV32A6 à prendre en compte
- Des scripts pour la synthèse du cœur de base
- Un Board Support Package ( BSP )
- Un design de référence pour exécuter le cœur CV32A6 sur une carte de développement FPGA
- L'application CoreMark fonctionnant en mode bare metal sur le cœur du processeur
- L'application MNIST2 fonctionnant en mode bare metal sur le cœur du processeur (générée par l'outil N2D2 de CEA List)

Le processeur étant majoritairement écrit en SystemVerilog, ce langage devra être utilisé pour modifier le CV32A6. Certains matériels et logiciels sont également imposés pour tester et réaliser la solution. Une carte Zybo Z7-20, un PMOD USBUART et le câble associé, ainsi qu'un JTAG-HS2 devront être utilisés, de même que les logiciels Xilinx Vivado version 2024.2 et Questa pour la synthèse et les tests de la solution.

En ce qui concerne la solution elle-même, certaines contraintes doivent également être respectées. La solution devra conserver la compatibilité avec le set d'instruction RV32IM utilisé par le CV32A6 et permettre de faire tourner les applications CoreMark et MNIST sans les recompiler. De plus, il est interdit d'altérer le code source de ces applications.

La solution ne doit pas être trop large, sous peine de ne pas pouvoir fonctionner sur le FPGA. Le cœur CV32A6 ne peut pas être remplacé par un autre et les caches qu'il contient ne peuvent pas être supprimés. De plus, les modifications sur la partie software de l'environnement sont interdites.

Enfin au niveau de la performance de la solution développée, ses performances ne devront pas être inférieures à 90% de celles de la version originale.

La version actuelle du kit est sous licence Apache. L'utilisation de codes open-source est donc autorisée si les licences sont compatibles.

Le rendu attendu devra comporter un rapport de 6 pages rédigées à la manière d'un article scientifique, une vidéo de 10 minutes présentant les modifications apportées, le code source ainsi que les résultats obtenus avec les différentes applications (CoreMark, MNIST2 etc.).

## 2.3 Contraintes humaines

L'un des membres de l'équipe étant en alternance, sa disponibilité est limitée à trois jours par semaine pour travailler sur le projet. Cette contrainte impacte directement la répartition des tâches et la planification globale du projet. Afin de pallier cette limitation, les autres membres assureront une répartition flexible des responsabilités, permettant une continuité dans l'avancement des différentes phases du projet.

Par ailleurs, les superviseurs ayant également des emplois du temps chargés, la planification des réunions nécessitera une coordination préalable pour trouver des créneaux adaptés.

# 3 Analyse des nouveaux besoins

## 3.1 Besoins fonctionnels

L'objectif principal du projet est d'améliorer la fréquence de fonctionnement du processeur CV32A6 tout en assurant sa stabilité. Pour atteindre cet objectif, plusieurs besoins fonctionnels doivent être pris en compte :

- **Optimisation de la fréquence** : Identifier et modifier les chemins critiques dans l'architecture du CV32A6 afin de maximiser la fréquence sans compromettre la compatibilité avec le jeu d'instructions RV32IM.
- **Maintien des performances** : Assurer que les performances du processeur après optimisation ne chutent pas de plus de 10 % par rapport à la version de base, conformément aux contraintes du concours.
- **Adaptabilité FPGA** : Veiller à ce que la solution optimisée s'adapte aux ressources disponibles du FPGA Zybo Z7-20 sans dépasser ses capacités en LUT et flip-flops.

## 3.2 Besoins Non-fonctionnels

Les besoins non-fonctionnels sont essentiels pour garantir la qualité, la maintenabilité et l'efficacité du projet à long terme. Ils visent à encadrer les aspects liés à la documentation, à la performance et à la gestion du projet.

- **Documentation détaillée** : Chaque étape de la modification du processeur devra être documentée avec précision. Cela inclut les choix de conception, les modifications apportées au code SystemVerilog et les résultats des tests. Cette documentation facilitera la maintenance et l'évolution du projet, en permettant une compréhension claire par d'autres membres ou futurs développeurs.
- **Traçabilité des modifications** : Mettre en place un suivi rigoureux des modifications à travers des outils de gestion de version (Git). Chaque commit devra être clairement annoté avec une description de la modification et la raison de son implémentation.
- **Reproductibilité des résultats** : Tous les scripts de synthèse et de simulation devront être versionnés et accompagnés d'instructions détaillées permettant de reproduire les résultats à tout moment.

## 4 Description de la solution

Le projet s'inscrit dans une démarche proche de la recherche expérimentale, où les solutions ne peuvent pas être entièrement prédéfinies à l'avance. L'optimisation du CV32A6 nécessite une exploration progressive, basée sur des tests et des ajustements successifs. Cette approche implique des phases d'expérimentation, d'analyse et de correction afin de maximiser la fréquence tout en respectant les contraintes imposées par le concours. L'équipe avancera de manière itérative, s'adaptant aux résultats obtenus pour affiner la solution étape par étape.

### 4.1 Identification des risques

Plusieurs événements peuvent entraver la progression de l'équipe durant le projet.

Une mauvaise gestion du flux de travail Git pourrait sérieusement freiner cette progression. Cela entraînerait potentiellement de la confusion, des conflits de fusion et une perte de temps importante.

Un autre risque réside dans la compatibilité des logiciels utilisés avec nos machines personnelles (ou celles de l'université). Le kit de développement a été conçu pour fonctionner sur la version 20.04 d'Ubuntu. Il n'y a donc aucune garantie qu'il fonctionne sur d'autres systèmes d'exploitation, et une mise à jour d'une bibliothèque ou d'un pilote pourrait rendre le kit non fonctionnel.

### 4.2 Modalités de déploiement

Chaque solution conçue, qu'elle soit fonctionnelle ou non, sera systématiquement poussée sur le dépôt Git du projet. Ce dépôt servira de référentiel centralisé, permettant de suivre l'évolution des différentes étapes du développement et d'assurer une traçabilité complète des modifications.

- **Gestion du dépôt Git** : Une branche principale (**main**) sera réservée aux versions stables et validées du projet. Des branches secondaires seront créées pour chaque nouvelle fonctionnalité ou optimisation, afin de tester les modifications sans compromettre la stabilité du projet.
- **Rendus annexes** : Les livrables du concours, incluant la vidéo de présentation, l'article scientifique de 6 pages et les rapports de tests, seront également ajoutés au dépôt Git pour assurer une centralisation des éléments nécessaires à l'évaluation finale.
- **Scripts de déploiement** : Des scripts automatisés de synthèse et de simulation seront inclus dans le dépôt afin de faciliter la reproductibilité du projet sur n'importe quelle machine compatible. Ces scripts permettront de valider rapidement l'intégration des nouvelles modifications.
- **Documentation et instructions** : Chaque mise à jour majeure du projet sera accompagnée d'une documentation succincte expliquant les changements apportés, les problèmes rencontrés et les résultats observés. Cela garantira une meilleure compréhension et maintenabilité du projet à long terme.

L'objectif est de garantir que chaque membre du projet puisse accéder aux dernières versions du code, tester les nouvelles fonctionnalités et contribuer efficacement, tout en maintenant un historique clair des étapes de développement.

## 5 Modalités d'organisation

### 5.1 Rôles des intervenants

Les différents membres du groupe assumeront chacun un rôle spécifique tout au long du projet. Oleg Paillot sera le chef de projet. Il se chargera de dialoguer avec les superviseurs et les organisateurs du concours, et supervisera la gestion du projet. Guilhem Chevallier supervisera la recherche et l'implémentation de la solution au sein du CV32A6. Elliot Burns sera chargé de vérifier le déploiement de la solution sur Git et supervisera les différents tests de celle-ci.

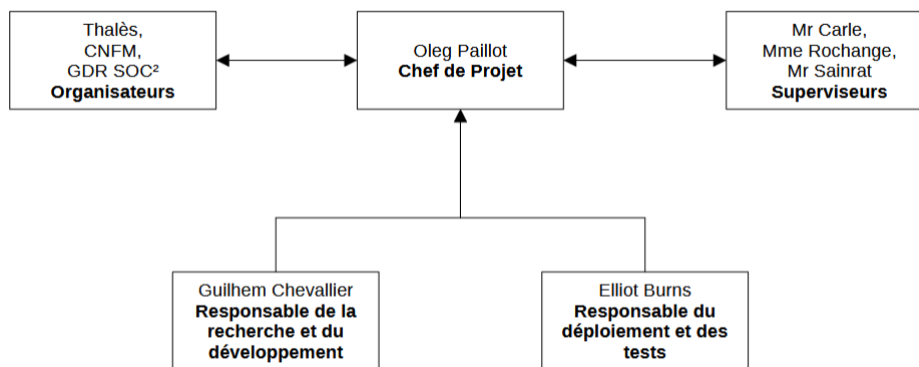


Figure 1: Rôles des différents membres de l'équipe

Cependant, les différents membre du groupe travailleront sur les différentes parties du projet de manière très flexible et à parts égales, permettant ainsi de se répartir les tâches plus efficacement et d'accélérer le développement de la solution.

## 5.2 Planification des tâches

La première tâche en cours de réalisation depuis début décembre consiste à explorer et à comprendre le fonctionnement du processeur CV32A6. Par la suite, il est prévu de réaliser les tâches suivantes ( voir Gantt ) :

- Détecter les potentiels éléments et composants du CV32A6 qui impactent négativement sa fréquence de fonctionnement.
- Rechercher et concevoir des optimisations pour maximiser la fréquence en se basant sur les observations réalisés de la tâche précédente et en respectant les contraintes imposées.
- Implémenter et tester individuellement chaque optimisation pour évaluer les performances. Faire de même en les combinant. Choisir les meilleures optimisations.
- Ecriture de l'article et tournage de la vidéo

Les réunions sont également visibles sur le diagramme. Les dates seront potentiellement modifiés selon la disponibilités des superviseurs.

## 5.3 Communication avec le client/superviseur

La communication avec les superviseurs de notre équipe se fait de manière régulière à compté d'une réunion par semaine ou toute les deux semaines. Lors de ces réunions, nous présentons les progrès réalisés ainsi que les problèmes rencontrés. Cela nous permet d'être aiguillé par nos superviseurs tout le long du projet et d'assurer que notre solution soit viable et fonctionnelle. Les réunions auront majoritairement lieu en présentiel dans les locaux de l'IRIT.

## 5.4 Communication et collaboration au sein du groupe

La communication au sein du groupe se fera majoritairement via des plateformes comme Discord. Les différents membres de l'équipe pourront également se retrouver quotidiennement en salle U3-305 pour travailler et échanger sur le projet.

## 5.5 Procédure de gestion des risques

Chaque modification importante devra être poussée sur une branche spécifique dans Git. Chaque branche devra être correctement nommée et commentée en indiquant l'auteur, la date ainsi que des détails sur la modification effectuée, afin d'éviter toute ambiguïté. Un membre du groupe sera chargé de vérifier la conformité des commits poussés sur les différentes branches. La même politique s'applique aux fusions (merges) des branches. La branche principale correspondra à la version finale qui sera remise aux jurys

## 5.6 Procédure d'évaluation des travaux / Tableau de bord

Un suivi rigoureux sera mis en place pour garantir l'avancement et la qualité du projet.

- **Revue de code** : Des sessions de validation croisée seront organisées pour vérifier et améliorer le code avant chaque fusion.
- **Tableau de bord** : Trello ou Notion sera utilisé pour suivre les tâches, fixer des échéances et gérer les priorités.
- **Tests réguliers** : Les scripts de tests (CoreMark, MNIST) seront exécutés après chaque modification majeure pour valider les performances.
- **Rapports d'avancement** : Des synthèses périodiques seront partagées avec les superviseurs pour assurer la transparence du projet.