

# Schematics for Q10 Platform

## Main Functions Introduction

- 1) CPU: RK3588J
- 2) PMIC: RK806-1+DiscretePower
- 3) RAM: 2 x LPDDR4x 32bit(Option 2 x LPDDR4x 32bit)
- 4) ROM: 64G/128G eMMC5.1
- 5) Support: 1 x TypeC(With DP TX)
- 6) Support: 3 x USB2.0 HOST
- 7) Support: 2 x 10/100/1000 Ethernet(PCIE2.0 to Ethernet)
- 8) Support: 1 x 10/100 Ethernet(RGMII to Ethernet)
- 9) Support: 4 x FDCAN,1 x RS485, 1 x UART,1 x I2C,1 x SPI
- 10) Support: 1 x 4Lanes PCIe Connector(KEY M M.2)
- 11) Support: 1 x 6-Axis Gyroscope+G-sensor + 1 x 3-Axis Magnetic Sensor
- 12) Support: 1 x Power LED,1 x CPU LED,1 x MCU LED,1 x Ethernet LED,1 x SSD LED
- 13) Support: 1 x Recovery Key,1x Reset Key,1x Maskrom Key
- 14) Support: Debug UART(GH1.25),JTAG(GH1.25), LAN(GH1.25),USB(TYPE C)

### Note:

The RK806 LDO power distribution of the reference schematics is only suitable for the interface used in the reference schematics.

If other interface functions are to be added to the reference schematics, the RK806 LDO distribution needs to be re evaluated, otherwise the added functions may exceed the maximum current provided by the LDO.

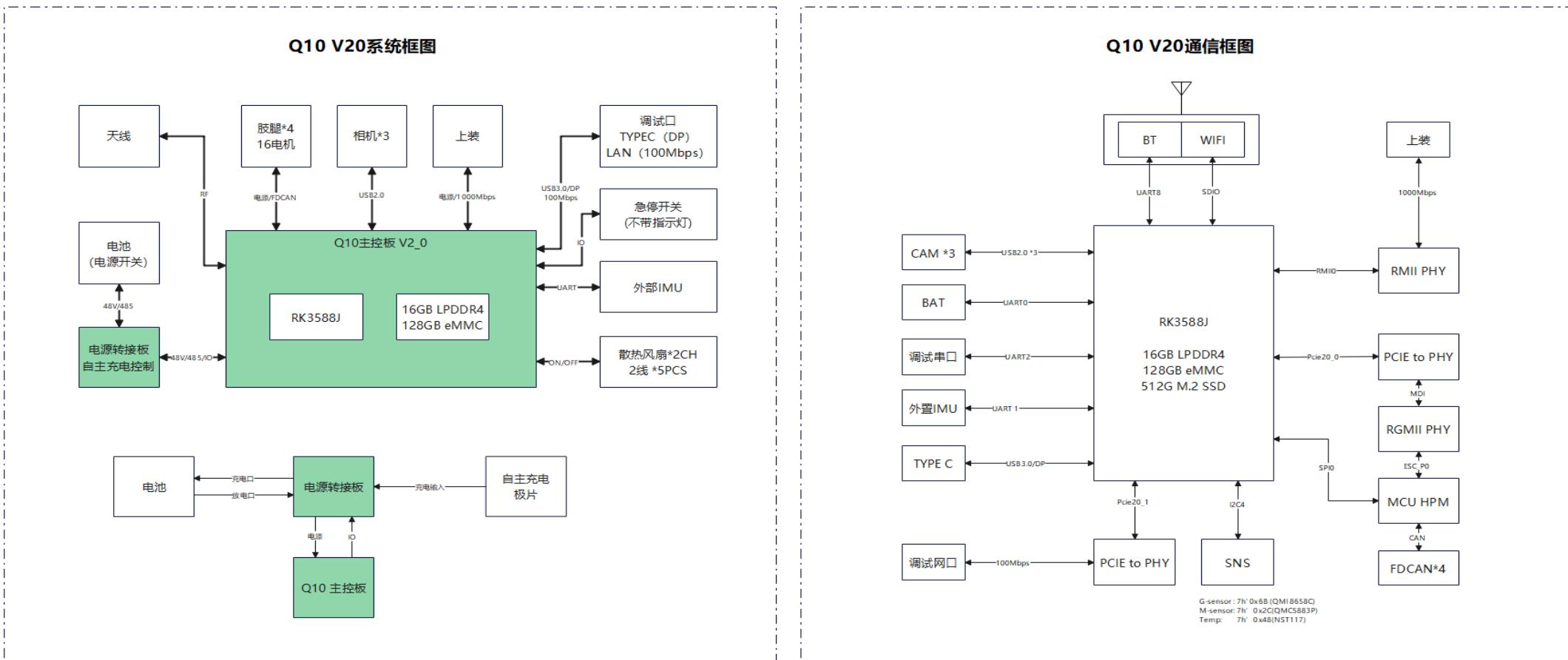
0.1				研发图纸	<Doc>		
版本	更改描述	签 字	日期	01.Cover Page	所 属 装 配 号		
					阶段标记	重 量	比 例
标记	处数	更改文件号	签 字		(Y)	S	L
设 计							A3
校 对							
审 核							
工 艺 审 查					共 48 张	第 1 张	
标 审					五八智能科技 (杭州)有限公司		
审 定							
批 准							

## Revision History

Version	Date	By	Change Description	Approved
V0.1	2025-05-14	Chenfuyun	1:Revision preliminary version	

0.1				研发图纸	<Doc>					
版本	更改描述	签 字	日期	02.Revision History						
标记	处数	更改文件号	签 字							
设 计										
校 对										
审 核										
工艺审查										
标 审										
审 定										
批 准				Q10_RK3588J_V0.1						
				五八智能科技 (杭州)有限公司						

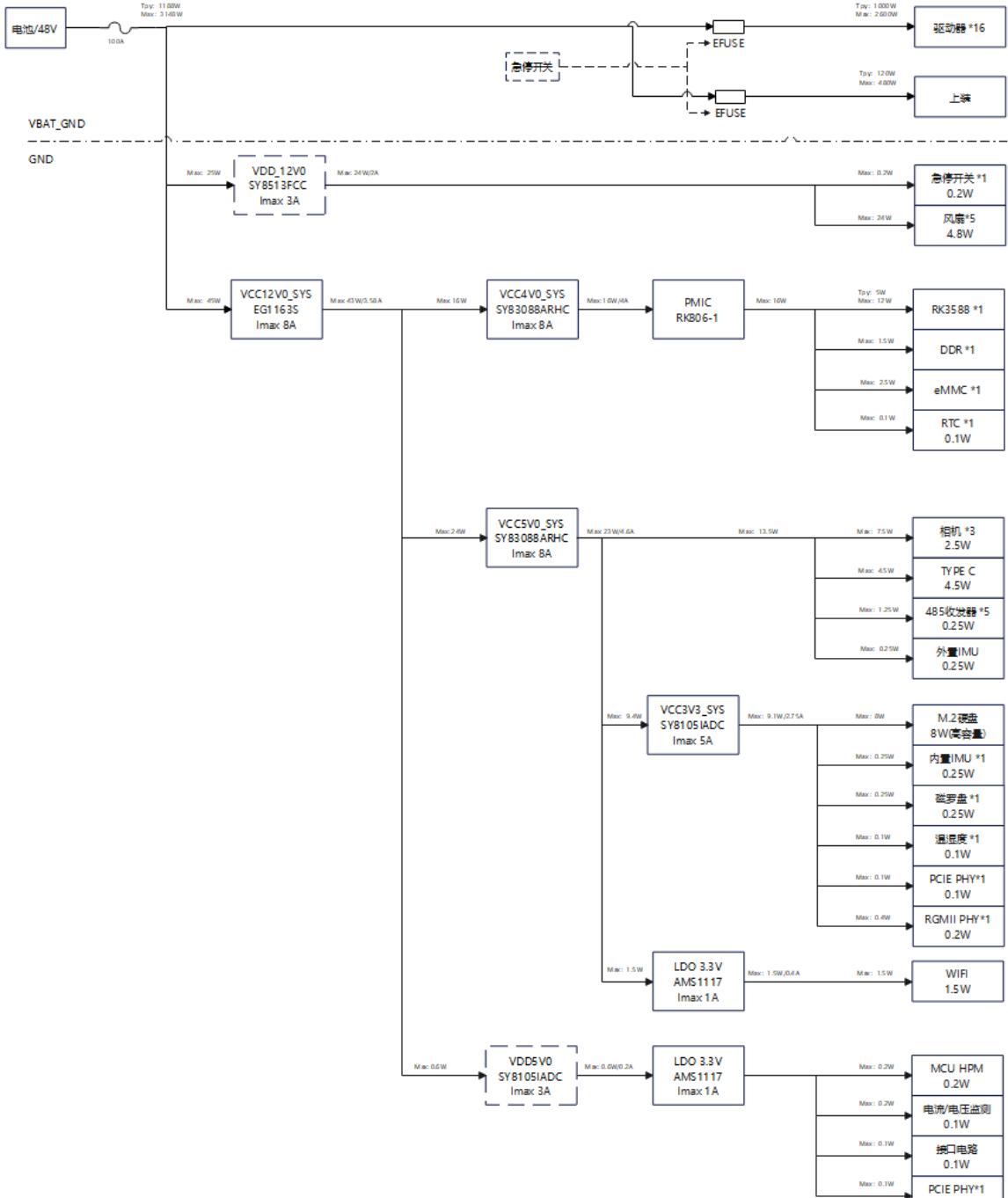
# Block



研发图纸				<Doc>			
				所属装配号			
				阶段标记	重量	比例	
0.1				(Y)	S	L	
版本	更改描述	签 字	日期	03.Block Diagram			
				Q10_RK3588J_V0.1			
标记	处数	更改文件号	签 字	共 48 张 第 3 张			
设计				五八智能科技 (杭州)有限公司			
校对							
审核							
工艺审查							
标 审							
审 定							
批 准							

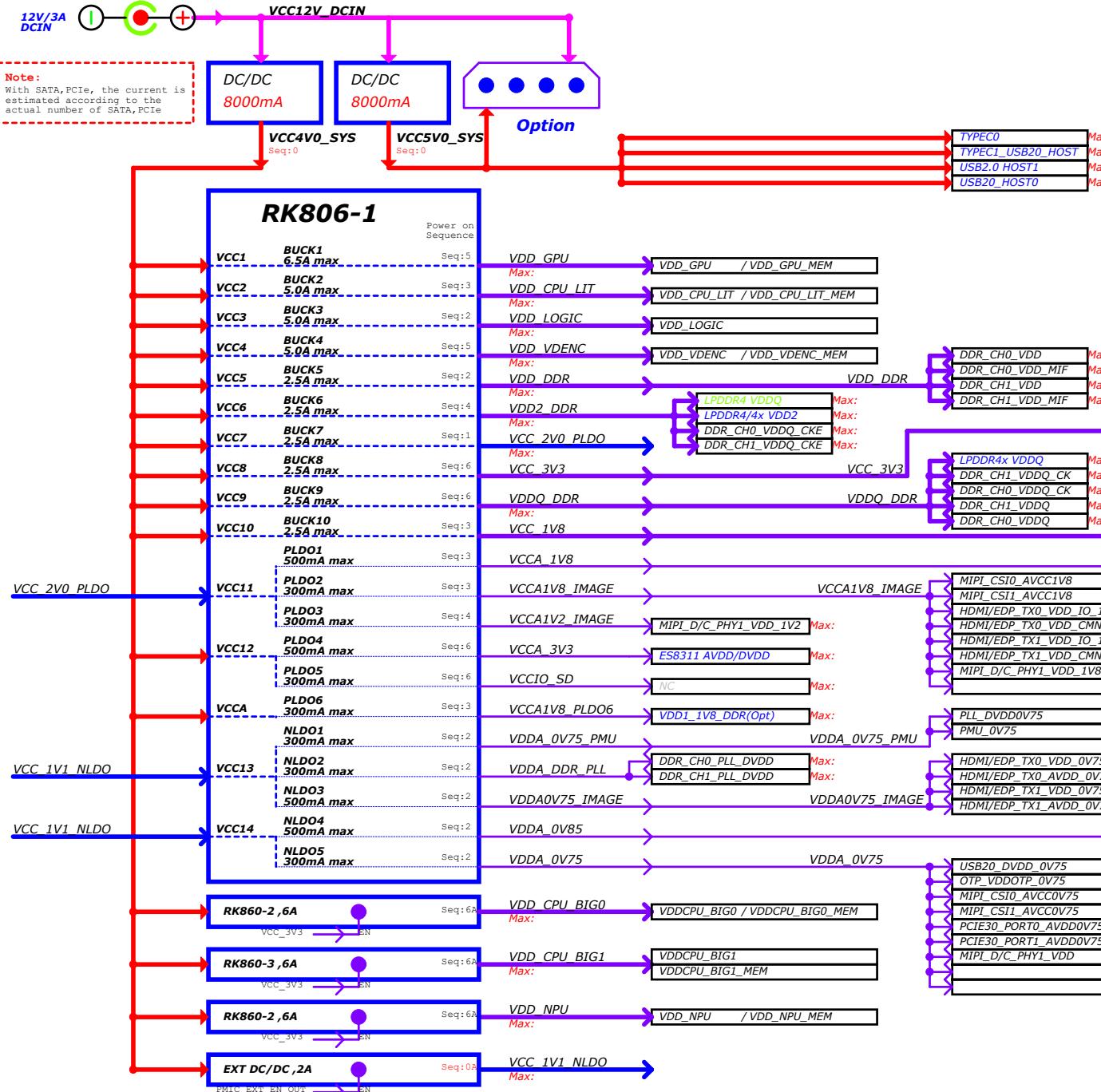
# ***Power Tree***

Q10 V20电源拓扑图



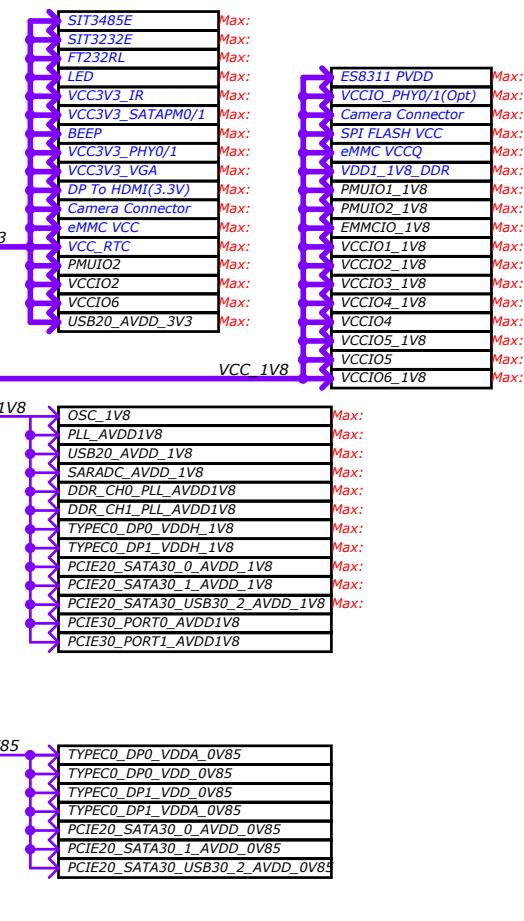
0.1				研发图纸 04.Power Tree_1 Q10_RK3588J_V0.1	<Doc>	
版本	更改描述	签 字	日期		所 属	
					装 配	号
标记	处数	更改文件号	签 字		阶段标记	重 量
设 计					S	比 例
校 对					L	
审 核					(Y)	A3
工艺审查					共 48 张	第 4 张
标 审					五八智能科技	
审 定					(杭州)有限公司	
批 准						

**Power Tree**



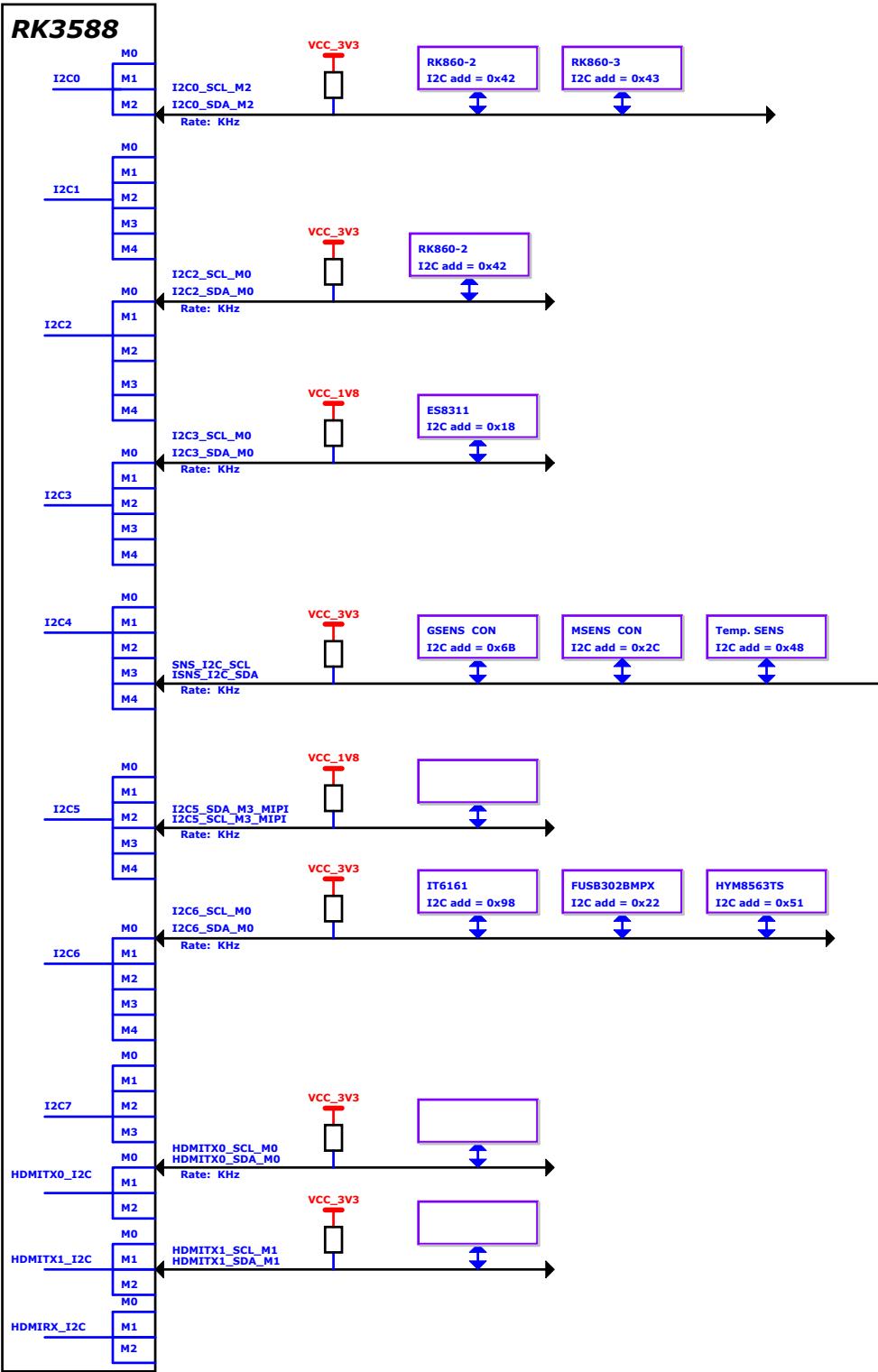
**Note**

The RK806 LDO power distribution of the reference schematics is only suitable for the interface used in the reference schematics. If other interface functions are to be added to the reference schematics, the RK806 LDO distribution needs to be re evaluated, otherwise the added functions may exceed the maximum current provided by the LDO.

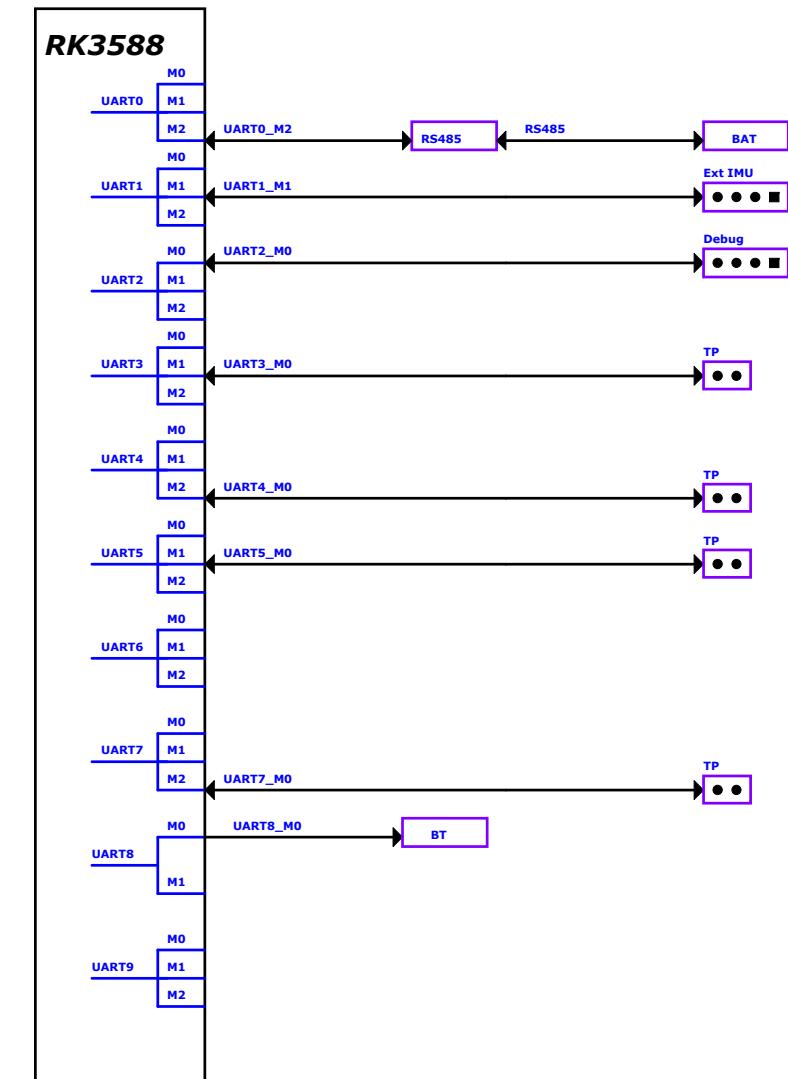


0.1				研发图纸	<Doc>			A
版本	更改描述	签 字	日期				所 属 装 配 号	
标记	处数	更改文件号	签 字	日 期				
设 计				05.Power Tree_2			阶 段 标 记	重 量
校 对							(Y)	S L
审 核								A2
工艺审查							共 48 张	第 5 张
标 审				Q10_RK3588J_V0.1			五八智能科技 (杭州)有限公司	
审 定								
批 准								

I2C MAP



UART MAP

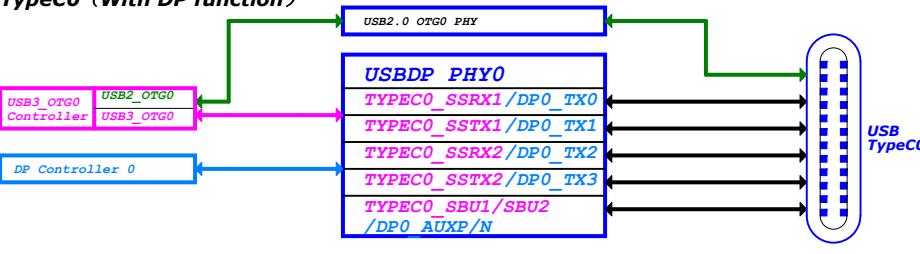


0.1				研发图纸	<Doc>		
版本	更改描述	签 字	日 期				
标记	处数	更改文件号	签 字	日期	所属 装配 号		
设 计				06.LSpeed Bus Map	阶段标记	重 量	比 例
校 对					(Y)	S L	A2
审 核				Q10_RK3588J_V0.1	共 48 张	第 6 张	
工 艺 审 查					五八智能科技 (杭州)有限公司		
标 定							
审 定							
批 准							

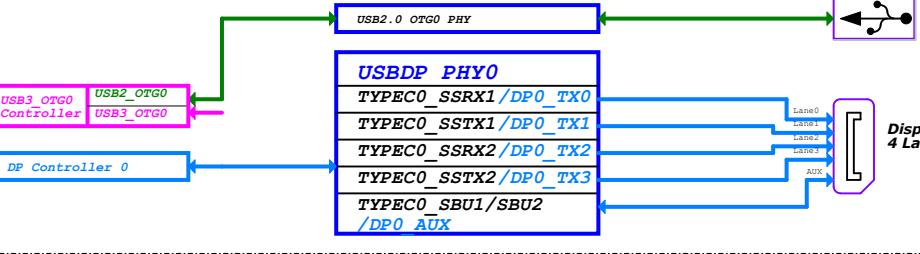
## USB Controller Configure Table

Controller Name	Pin Name	Type-C Function	DPx4Lane Function		USB3.0 OTG+DPx2Lane Function		USB2.0 OTG+DPx2Lane Function	
			OPTION1	OPTION2	OPTION1	OPTION2	OPTION1	OPTION2
USB3.0 OTG0 Device or Host	TYPEC_SBU1/DP0_ADXP	TYPEC_SBU1	DP1_ADXP	DP0_ADXP	DP0_ADXP	DP0_ADXN	DP0_ADXP	DP0_ADXP
	TYPEC_SBU2/DP0_ADXN	TYPEC_SBU2	DP0_ADXN	DP1_ADXN	DP0_ADXP	DP0_ADXN	DP0_ADXP	DP0_ADXN
	TYPEC_SSX1/DP0_TX0P	TYPEC_SSX1	DP0_TX0P	DP0_TX0N	TYPEC_SSX1P	DP0_TX0P	DP0_TX0N	DP0_TX0P
	TYPEC_SSX1/DP0_TX0N	TYPEC_SSX1	DP0_TX0N	DP0_TX0P	TYPEC_SSX1P	DP0_TX0N	DP0_TX0P	DP0_TX0N
	TYPEC_SSX2/DP0_TX1P	TYPEC_SSX2	DP0_TX1P	DP0_TX1N	TYPEC_SSX2P	DP0_TX1P	DP0_TX1N	DP0_TX1P
	TYPEC_SSX2/DP0_TX1N	TYPEC_SSX2	DP0_TX1N	DP0_TX1P	TYPEC_SSX2P	DP0_TX1N	DP0_TX1P	DP0_TX1N
	TYPEC_SSX3/DP0_TX2P	TYPEC_SSX3	DP0_TX2P	DP0_TX2N	TYPEC_SSX3P	DP0_TX2P	DP0_TX2N	DP0_TX2P
	TYPEC_SSX3/DP0_TX2N	TYPEC_SSX3	DP0_TX2N	DP0_TX2P	TYPEC_SSX3P	DP0_TX2N	DP0_TX2P	DP0_TX2N
	TYPEC_SSX4/DP0_TX3P	TYPEC_SSX4	DP0_TX3P	DP0_TX3N	TYPEC_SSX4P	DP0_TX3P	DP0_TX3N	DP0_TX3P
	TYPEC_SSX4/DP0_TX3N	TYPEC_SSX4	DP0_TX3N	DP0_TX3P	TYPEC_SSX4P	DP0_TX3N	DP0_TX3P	DP0_TX3N
USB2.0 OTG0 Device or Host	TYPEC_USB2_0_OCTP_D0P	TYPEC_USB2_0_OCTP	TYPEC_USB2_0_OCTP_D0P	TYPEC_USB2_0_OCTP_D0N	TYPEC_USB2_0_OCTP_D0P	TYPEC_USB2_0_OCTP_D0N	TYPEC_USB2_0_OCTP_D0P	TYPEC_USB2_0_OCTP_D0N
	TYPEC_USB2_0_OCTN_D0P	TYPEC_USB2_0_OCTN	TYPEC_USB2_0_OCTN_D0P	TYPEC_USB2_0_OCTN_D0N	TYPEC_USB2_0_OCTN_D0P	TYPEC_USB2_0_OCTN_D0N	TYPEC_USB2_0_OCTN_D0P	TYPEC_USB2_0_OCTN_D0N
	TYPEC_SBU1/DP1_ADXP	TYPEC_SBU1	DP1_ADXP	DP1_ADXN	DP1_ADXP	DP1_ADXN	DP1_ADXP	DP1_ADXN
	TYPEC_SBU2/DP1_ADXN	TYPEC_SBU2	DP1_ADXN	DP1_ADXP	DP1_ADXP	DP1_ADXN	DP1_ADXP	DP1_ADXN
	TYPEC_SSX1/DP1_TX0P	TYPEC_SSX1	DP1_TX0P	DP1_TX0N	TYPEC_SSX1P	DP1_TX0P	DP1_TX0N	DP1_TX0P
	TYPEC_SSX1/DP1_TX0N	TYPEC_SSX1	DP1_TX0N	DP1_TX0P	TYPEC_SSX1P	DP1_TX0N	DP1_TX0P	DP1_TX0N
	TYPEC_SSX2/DP1_TX1P	TYPEC_SSX2	DP1_TX1P	DP1_TX1N	TYPEC_SSX2P	DP1_TX1P	DP1_TX1N	DP1_TX1P
	TYPEC_SSX2/DP1_TX1N	TYPEC_SSX2	DP1_TX1N	DP1_TX1P	TYPEC_SSX2P	DP1_TX1N	DP1_TX1P	DP1_TX1N
	TYPEC_SSX3/DP1_TX2P	TYPEC_SSX3	DP1_TX2P	DP1_TX2N	TYPEC_SSX3P	DP1_TX2P	DP1_TX2N	DP1_TX2P
	TYPEC_SSX3/DP1_TX2N	TYPEC_SSX3	DP1_TX2N	DP1_TX2P	TYPEC_SSX3P	DP1_TX2N	DP1_TX2P	DP1_TX2N
USB3.0 OTG1 Device or Host	TYPEC_USB2_0_OCTP_D1P	TYPEC_USB2_0_OCTP	TYPEC_USB2_0_OCTP_D1P	TYPEC_USB2_0_OCTP_D1N	TYPEC_USB2_0_OCTP_D1P	TYPEC_USB2_0_OCTP_D1N	TYPEC_USB2_0_OCTP_D1P	TYPEC_USB2_0_OCTP_D1N
	TYPEC_USB2_0_OCTN_D1P	TYPEC_USB2_0_OCTN	TYPEC_USB2_0_OCTN_D1P	TYPEC_USB2_0_OCTN_D1N	TYPEC_USB2_0_OCTN_D1P	TYPEC_USB2_0_OCTN_D1N	TYPEC_USB2_0_OCTN_D1P	TYPEC_USB2_0_OCTN_D1N
	TYPEC_SBU1/DP1_ADXP	TYPEC_SBU1	DP1_ADXP	DP1_ADXN	DP1_ADXP	DP1_ADXN	DP1_ADXP	DP1_ADXN
	TYPEC_SBU2/DP1_ADXN	TYPEC_SBU2	DP1_ADXN	DP1_ADXP	DP1_ADXP	DP1_ADXN	DP1_ADXP	DP1_ADXN
	TYPEC_SSX1/DP1_TX0P	TYPEC_SSX1	DP1_TX0P	DP1_TX0N	TYPEC_SSX1P	DP1_TX0P	DP1_TX0N	DP1_TX0P
	TYPEC_SSX1/DP1_TX0N	TYPEC_SSX1	DP1_TX0N	DP1_TX0P	TYPEC_SSX1P	DP1_TX0N	DP1_TX0P	DP1_TX0N
	TYPEC_SSX2/DP1_TX1P	TYPEC_SSX2	DP1_TX1P	DP1_TX1N	TYPEC_SSX2P	DP1_TX1P	DP1_TX1N	DP1_TX1P
	TYPEC_SSX2/DP1_TX1N	TYPEC_SSX2	DP1_TX1N	DP1_TX1P	TYPEC_SSX2P	DP1_TX1N	DP1_TX1P	DP1_TX1N
	TYPEC_SSX3/DP1_TX2P	TYPEC_SSX3	DP1_TX2P	DP1_TX2N	TYPEC_SSX3P	DP1_TX2P	DP1_TX2N	DP1_TX2P
	TYPEC_SSX3/DP1_TX2N	TYPEC_SSX3	DP1_TX2N	DP1_TX2P	TYPEC_SSX3P	DP1_TX2N	DP1_TX2P	DP1_TX2N
USB3.0 HOST2	TYPEC_2_RXD/SATA10_1...				USB3.0_2_SSTXP	USB3.0_2_SSTXN	USB3.0_2_SSTXP	USB3.0_2_SSTXN
	TYPEC_2_RXD/SATA10_2...				USB3.0_2_SSTXP	USB3.0_2_SSTXN	USB3.0_2_SSTXP	USB3.0_2_SSTXN
	TYPEC_2_RXD/SATA10_3...				USB3.0_2_SSTXP	USB3.0_2_SSTXN	USB3.0_2_SSTXP	USB3.0_2_SSTXN
	TYPEC_2_RXD/SATA10_4...				USB3.0_2_SSTXP	USB3.0_2_SSTXN	USB3.0_2_SSTXP	USB3.0_2_SSTXN
USB2.0 HOST0	USB2_0_HOST1_DP				USB2_0_HOST1_DP	USB2_0_HOST1_DM		
	USB2_0_HOST1_DM				USB2_0_HOST1_DP	USB2_0_HOST1_DM		
USB2.0 HOST1	USB2_0_HOST1_DP				USB2_0_HOST1_DP	USB2_0_HOST1_DM		
	USB2_0_HOST1_DM				USB2_0_HOST1_DP	USB2_0_HOST1_DM		

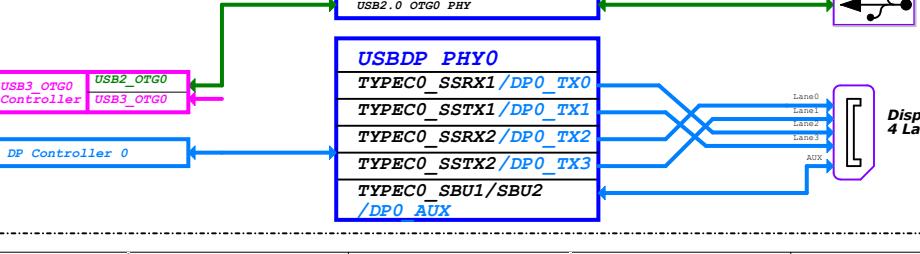
**Config0:**  
USB3.0 OTG0 + DPO 4Lane(Swap OFF)



**Config3:**  
USB3.0 OTG0 + DPO 2Lane(Swap ON)

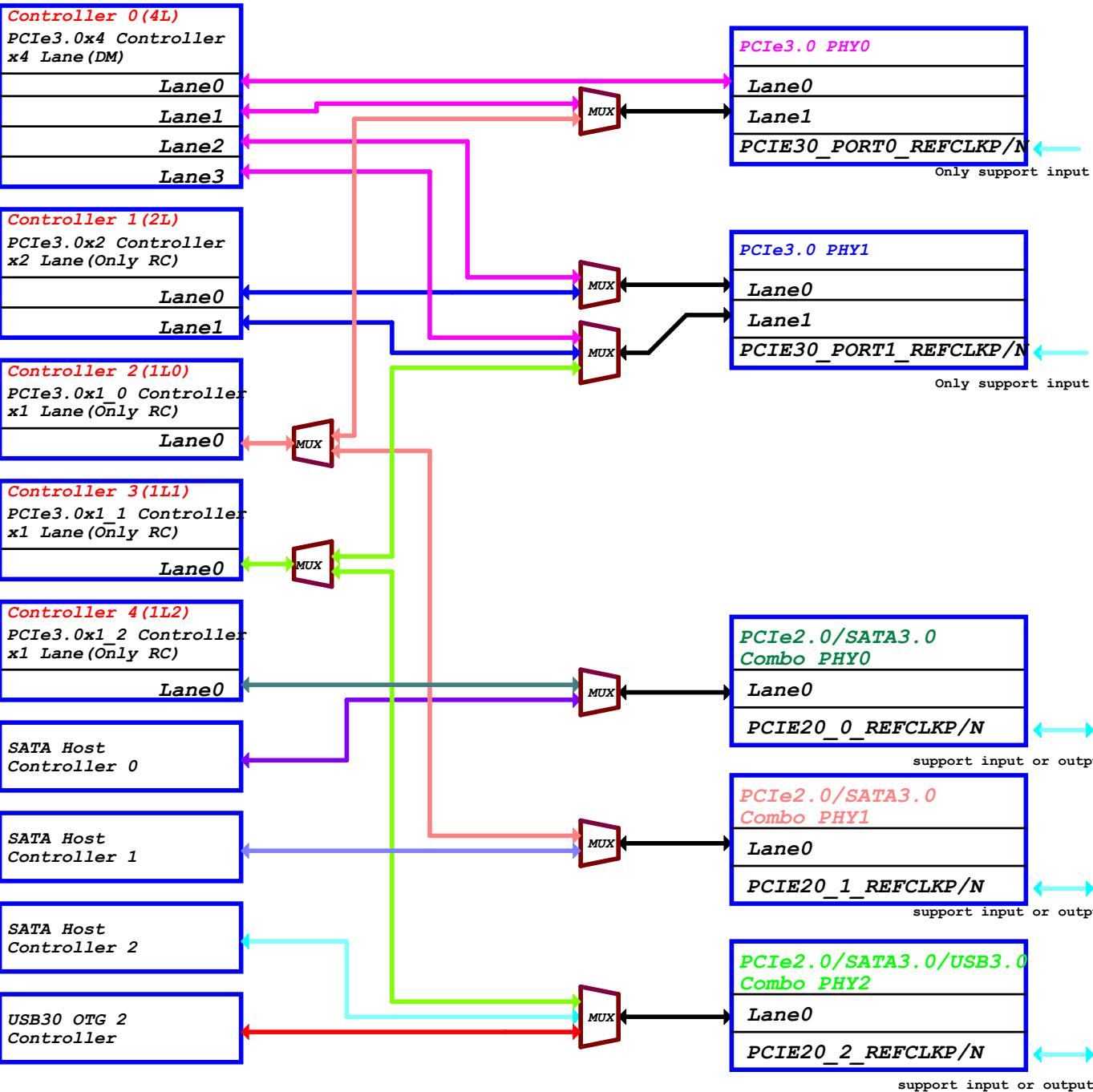


**Config4:**  
USB3.0 OTG0 + DPO 2Lane(Swap OFF)



版本	更改描述	签字	日期	研发图纸	<Doc>
标记		设计图改版文件号		所属部门	图号
设计	校对	审核	批准	图名	比例
S	L	A1			
07.USB/DP Con Map					
Q10_RK3588J_V0.1					
八爪智能科技 (杭州)有限公司					

## PCIe/SATA Connector Diagram



## PCIe Controller Configure Table

Controller Name	Data & Clk Lane Configure		Control GPIO & Power Pin	
	OPTION	CLK LANE	DATA LANE	
PCIE30X4 RC & EP	OPTION1	PCIE30_PORT0_REF_CLK0 PCIE30_PORT0_REF_CLKN	PCIE30_PORT0_RX0 PCIE30_PORT0_RXN	PCIE30X4_CLKREQ_M* PCIE30X4_WAKEN_M* PCIE30X4_PERSYN_M* PCIE30X4_BUTTON_RSTN
	OPTION2	PCIE30_PORT0_REF_CLKP PCIE30_PORT0_REF_CLKN	PCIE30_PORT0_TX0 PCIE30_PORT0_RX1 PCIE30_PORT0_TX1 PCIE30_PORT0_RX1	
	OPTION3	PCIE30_PORT0_REF_CLKS PCIE30_PORT0_REF_CLKN PCIE30_PORT1_REF_CLKP PCIE30_PORT1_REF_CLKN	PCIE30_PORT1_RX0 PCIE30_PORT1_RXN PCIE30_PORT1_TX1 PCIE30_PORT1_RX1	
PCIE30X2 RC	OPTION1	PCIE30_PORT1_REF_CLKP PCIE30_PORT1_REF_CLKN	PCIE30_PORT1_RX0 PCIE30_PORT1_RXN	PCIE30X2_CLKREQ_M* PCIE30X2_WAKEN_M* PCIE30X2_PERSYN_M* PCIE30X2_BUTTON_RSTN
	OPTION2	PCIE30_PORT1_REF_CLKP PCIE30_PORT1_REF_CLKN	PCIE30_PORT1_RX0 PCIE30_PORT1_RXN	
PCIE30X1_0 RC	OPTION1	PCIE30_PORT0_REF_CLKP PCIE30_PORT0_REF_CLKN	PCIE30_PORT1_RX1	PCIE30X1_0_CLKREQ_M* PCIE30X1_0_WAKEN_M* PCIE30X1_0_PERSYN_M* PCIE30X1_0_BUTTON_RSTN
	OPTION2	PCIE30_1_REFCLKP PCIE30_1_REFCLKN	PCIE30_1_RXP PCIE30_1_RXN	
PCIE30X1_1 RC	OPTION1	PCIE30_1_REFCLKP PCIE30_1_REFCLKN	PCIE30_1_TX1	PCIE30X1_1_CLKREQ_M* PCIE30X1_1_WAKEN_M* PCIE30X1_1_PERSYN_M* PCIE30X1_1_BUTTON_RSTN
	OPTION2	PCIE30_2_REFCLKP PCIE30_2_REFCLKN	PCIE30_2_RXP PCIE30_2_RXN	
PCIE20X1_2 RC	OPTION1	PCIE20_0_REFCLKP PCIE20_0_REFCLKN	PCIE20_0_RXP PCIE20_0_RXN	PCIE20X1_2_CLKREQ_M* PCIE20X1_2_WAKEN_M* PCIE20X1_2_PERSYN_M* PCIE20X1_2_BUTTON_RSTN

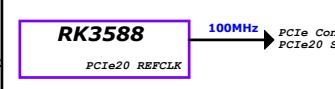
Note:  
PCIE30\_PORT\*\_REF\_CLKP/N is input gpio  
PCIE20\_\*\_REFCLKP/N is output or input gpio

Note:  
M\*=Mean to M0 or M1, It's the same source, Just multiplex to M0 or M1.  
So, Only use one at the same time.

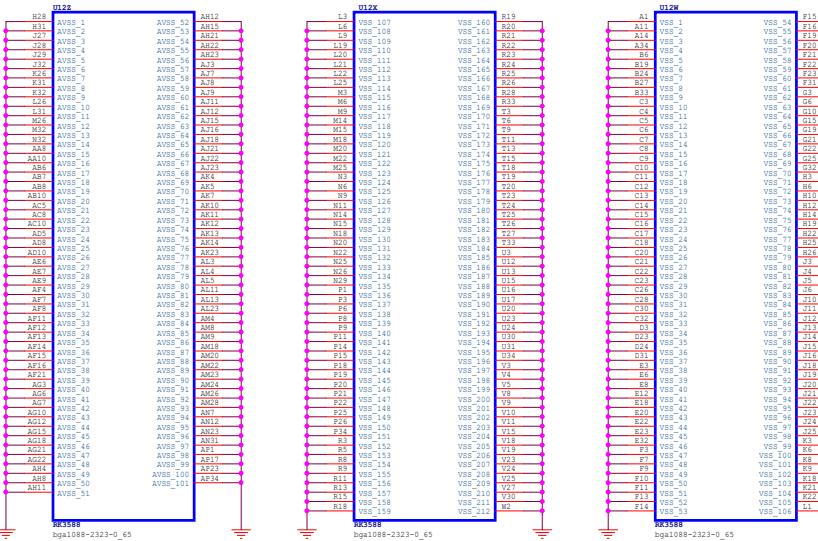
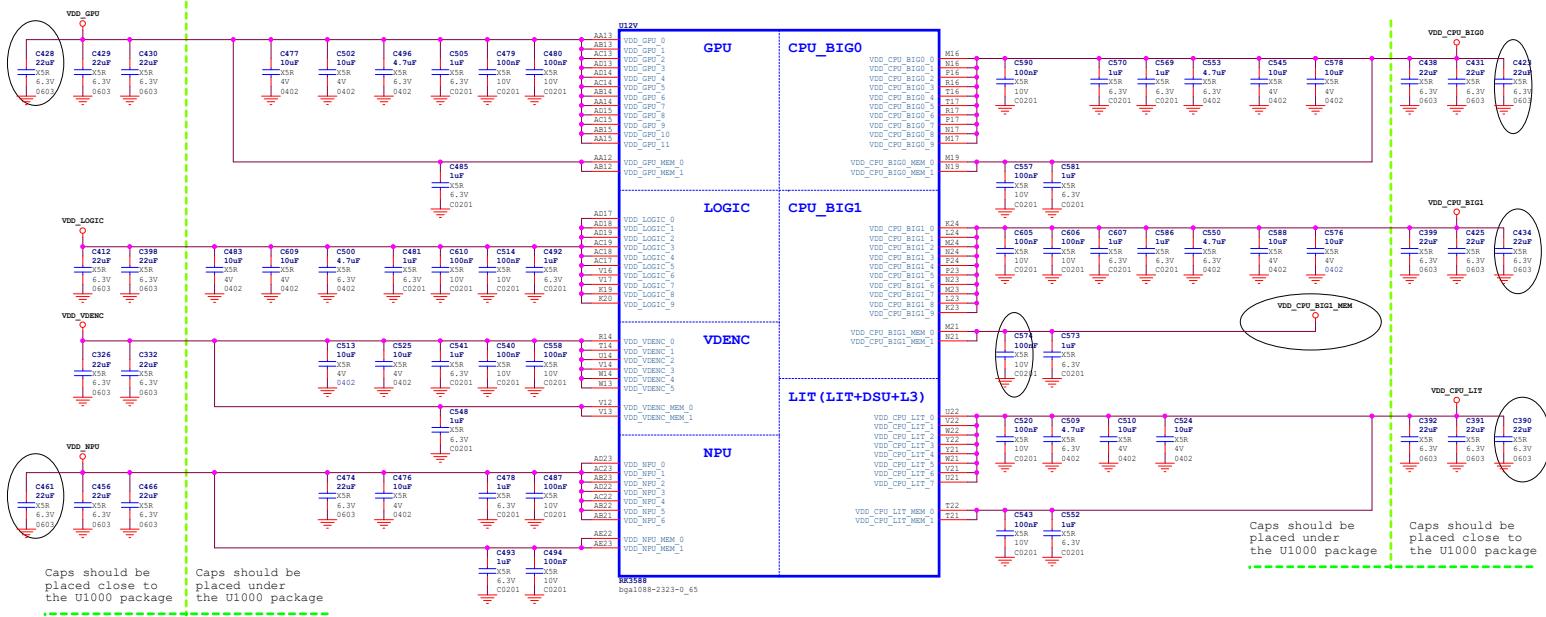
## PCIe/SATA Function Combination

Function Combination				
Function Item	PCIEX4	PCIEX2	PCIEX1	SATA
Option1	1(DM)	0	3(RC)	0
Option2	1(DM)	0	2(RC)	1
Option3	1(DM)	0	1(RC)	2
Option4	1(DM)	0	0	3
Option5	0	1(DM)+1(RC)	3(RC)	0
Option6	0	1(DM)+1(RC)	2(RC)	1
Option7	0	1(DM)+1(RC)	1(RC)	2
Option8	0	1(DM)+1(RC)	0	3
Option9	0	1(DM)	4(RC)	1
Option10	0	1(DM)	3(RC)	2
Option11	0	1(DM)	2(RC)	3
Option12	0	0	1(DM)+4(RC)	2
Option13	0	0	1(DM)+3(RC)	3

## PCIe3.0 REFCLK



研发展图				<Doc>		
版本		更改描述	签字	日期	所属装配号	
标记处		数据更改文件号	签字	日期	阶段标记	
设计					阶段	重量
校对					①	比例
审核					S	L
工艺审查					A2	
标审					共 48 张	第 8 张
审定					Q10_RK3588J_V0.1	
批准					五八智能科技(杭州)有限公司	



研发图纸 <Doc>			
版本	更改描述	签字	日期
标记	处数	更改文件号	签字 日期
设计			
校对			
审核			
工艺审查			
标审			
审定			
批准			

10.RK3588\_Power/GND

10\_RK3588J\_V0.1

共 48 张 第 10 张

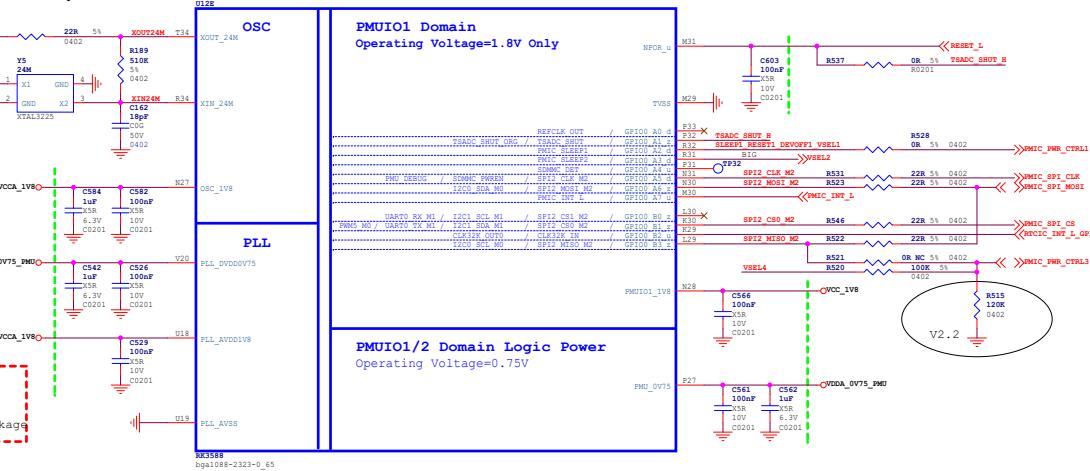
五八智能科技(杭州)有限公司

RK3588\_E(OSC/PLL/PMUIO1)

**Note:**  
Adjusted the load capacitance according to the crystal specification.

The CL is the load capacitance of the crystal that is recommended by the crystal vendors to obtain target clock frequency.

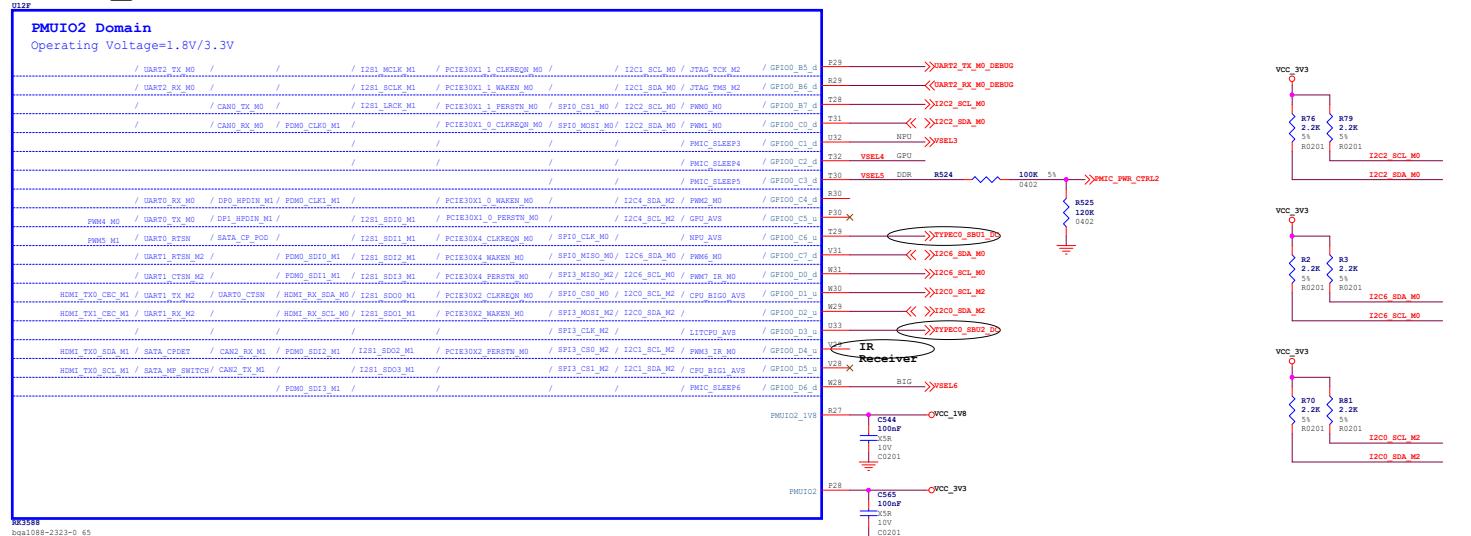
$CL = (CL1 * CL2 / (CL1 + CL2)) + PCB \text{ strays}$   
Total CL < 12 pF



RK3588\_F (PMUIO2)

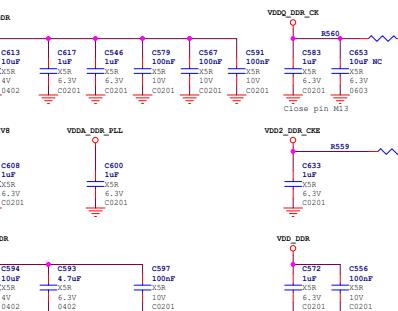
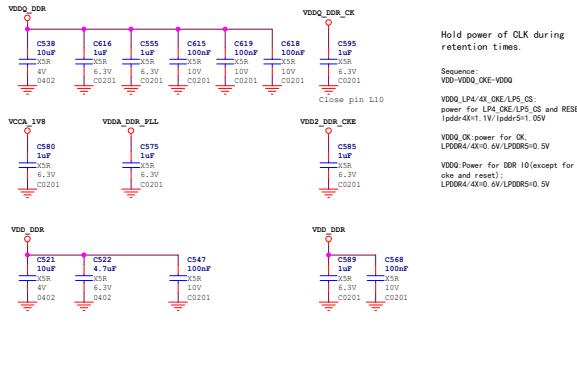
## PMUIO2 Domain

Operating Voltage=1.8V/3.3V



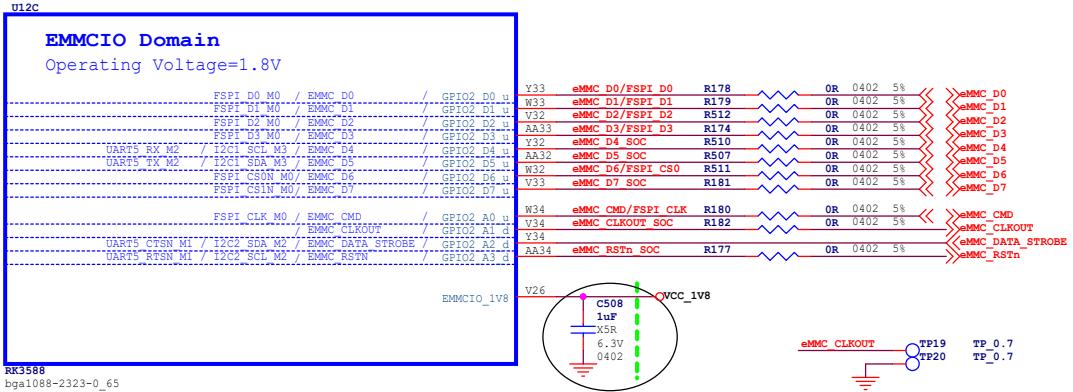
**Rockchip Confidential**

0.1				研发图纸	<Doc>			
版本	更改描述	签 字	日 期					
标记	处 球	更 改 文 件 号	签 字	日 期	所 属 装 配 号			
设 计				11.RK3588_OSC/PLL	阶段标记	重 量	比 例	
校 对					(Y)	S	L	A2
审 核					共 48 张			第 11 张
工艺审查				Q10_RK3588J_V0.1	五八智能科技 (杭州)有限公司			
标 审								
审 定								
批 准								



0.1				研发图纸	<Doc>			A
版本	更改描述	签 字	日期					
标记	处数更改文件号	签 字	日期				所 属 装 配 号	
设 计				12.RK3588 DDR Ctrl			阶 段 标 记	重 量
校 对							(Y)	S L
审 核								A2
工艺审查							共 48 张	第 12 张
标 审				Q10_RK3588J_V0.1			五八智能科技 (杭州)有限公司	
审 定								
批 准								

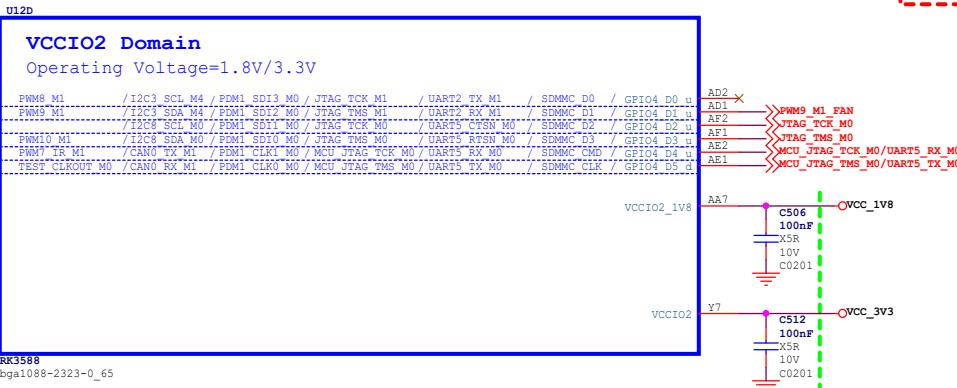
# RK3588\_C (EMMCIO Domain)



**Note:**

Caps of between dashed green lines and U1000 should be placed under the U1000 package.  
Other caps should be placed close to the U1000 package

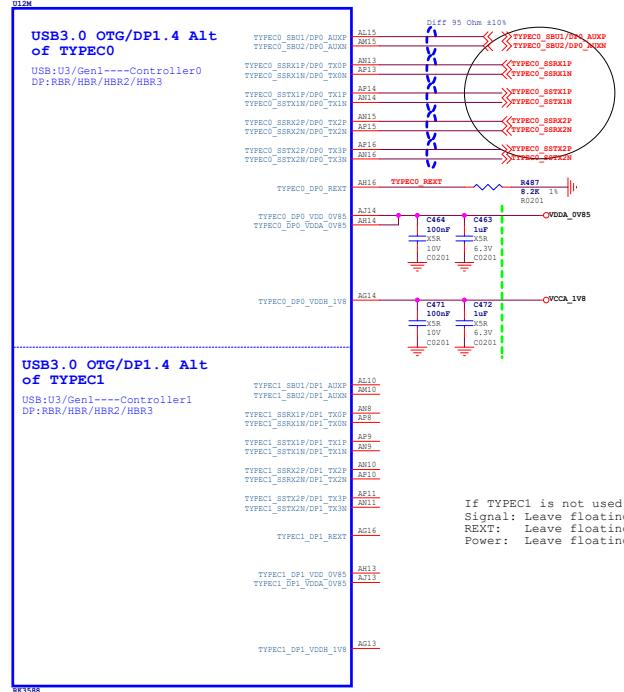
# RK3588\_D (VCCIO2 Domain)



研发图纸				<Doc>		
版本		更改描述		签 字	日 期	所 属 装 配 号
标记	处数	更改文件号		签 字	日 期	
设 计						
校 对						
审 核						
工 艺 审 查						
标 审						
审 定						
批 准						
13.RK3588_Flash/SD				阶 段 标 记	重 量	比 例
(Y)	S	L				A3
Q10_RK3588J_V0.1				共 48 张	第 13 张	五八智能科技(杭州)有限公司

RK3588\_M(TYPEC/DP)

If TYPEC0 is not used,  
Signal:leave floating  
REXT:8.2K ohm 1% resistor must be connected externally  
Power: Must supply power

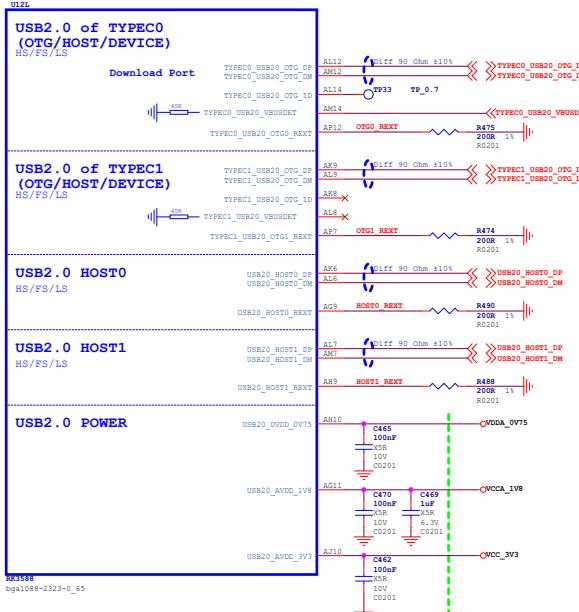


## USB30/DP1.4 Alt Mode Configuration

<b>Option1</b>	<b>DP x4Lane</b>	<b>DP_TX_Lane0-3</b>
<b>Option2</b>	<b>USB30 x4Lane</b>	<b>DP_TX_Lane0-3</b>
<b>Option3</b>	<b>USB30X2Lane+DPX2Lane</b>	<b>USB30:Lane0 Lane1 DP:Lane2 Lane3</b>
<b>Option4</b>	<b>USB30X2Lane+DPX2Lane</b>	<b>USB30:Lane2 Lane3 DP:Lane0 Lane1</b>

```
DP Lane
Swap Off:
Lane0/1/2/3_TXdata mapping to Lane0/1/2/3_RXDP/N
Swap On:
Lane0/1/2/3_RXdata mapping to Lane2/3/0/1_RXDP/N
```

## RK3588\_L (USB2.0 HOST/OTG)



**Note :**

**TYPECO\_USB20\_OTG:**  
OP/DM:Must used for download  
ID:According to demand,if not used,Leave floating  
/BUSDET:Must provide  
REXT:200hm 1% resistor must be connected externally.  
Power: Must supply power

If not used:

**Note:**  
The USB20\_VBUSDET pin internal has a pull-down resistance(40K ohm), to ground. The pin creates a voltage with the external series 30K ohm resistor. The VBUSDETpin voltage range <3.3V

**Note:**

**Note:**  
Caps of between dashed green lines and U1000  
should be placed under the U1000 package.  
Other caps should be placed close to the U1000 package.

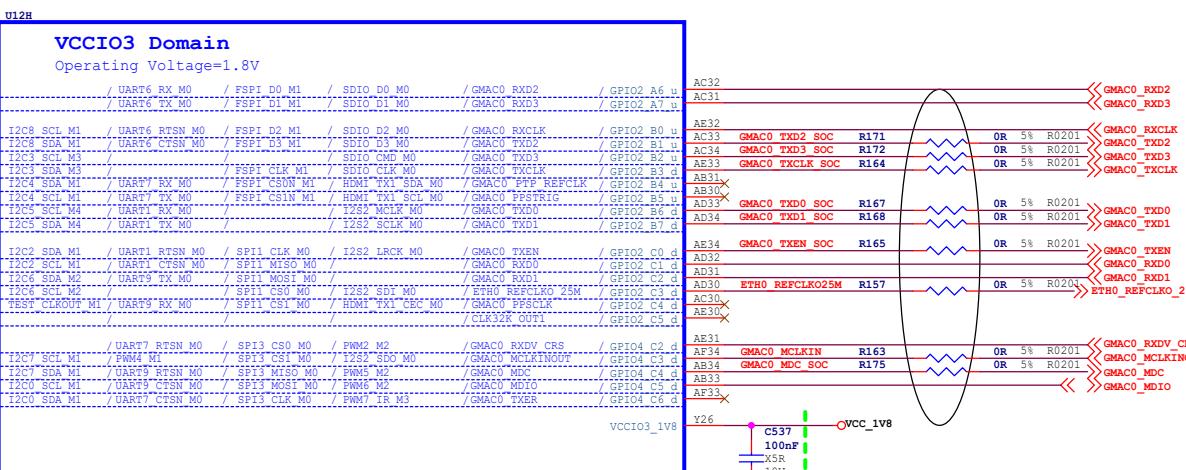
0.1				研发图纸	<Doc>			
版本	更改描述	签 字	日 期		所 属 装 配 号			
标记	处 置	更 改 文 件 号	签 字	日 期	14.RK3588_USB_Ctrl			阶段标记 重量 比例
设 计					(Y)	S	L	A2
校 对					共 48 张			第 14 张
审 核					Q10_RK3588J_V0.1			
工 艺 审 查					五八智能科技 (杭州)有限公司			
标 审								
审 定								
批 准								

## RK3588\_G (VCCIO1 Domain)



bga1088-2323-0\_65

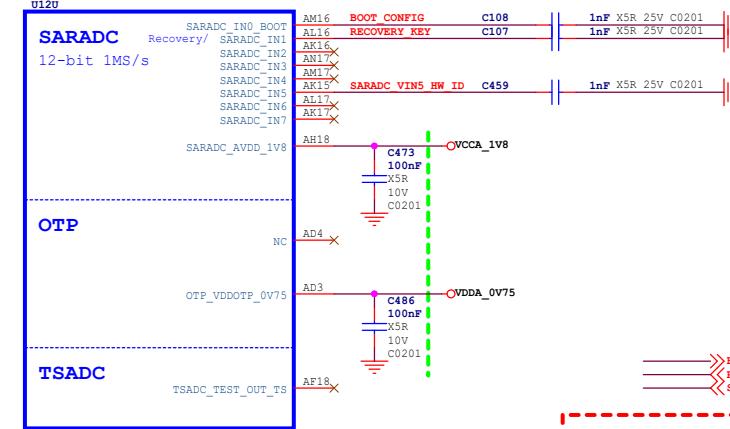
## RK3588 H (VCCIO3 Domain)



BK3588

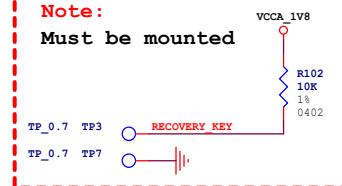
**Note:**  
Caps of between dashed green lines and U1000 should be placed under the U1000 package.  
Other caps should be placed close to the U1000 package.

RK3588\_U (SARADC/OTP)

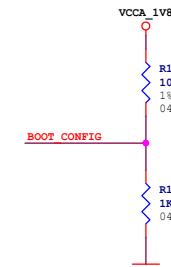


RK3588  
bga1088-2323-0

Note:  
Must be mounted



BOOT MODE CONFIG

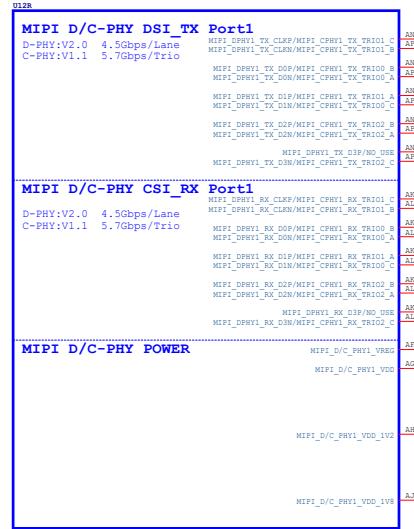


<b>Item</b>	<b>Rup</b>	<b>Rdown</b>	<b>ADC</b>	<b>VOL</b>	<b>Boot sequence</b>
<b>LEVEL1</b>	<b>DNP</b>	<b>100K</b>	<b>0</b>	<b>0V</b>	<b>USB</b>
<b>LEVEL2</b>	<b>100K</b>	<b>20K</b>	<b>682</b>	<b>0.3V</b>	<b>SD Card-USB</b>
<b>LEVEL3</b>	<b>360K</b>	<b>180K</b>	<b>1365</b>	<b>0.6V</b>	<b>EMMC-USB</b>
<b>LEVEL4</b>	<b>100K</b>	<b>100K</b>	<b>2047</b>	<b>0.9V</b>	<b>FSPI M0-USB</b>
<b>LEVEL5</b>	<b>180K</b>	<b>360K</b>	<b>2730</b>	<b>1.2V</b>	<b>FSPI M1-USB</b>
<b>LEVEL6</b>	<b>20K</b>	<b>100K</b>	<b>3412</b>	<b>1.5V</b>	<b>FSPI M2-USB</b>
<b>LEVEL7</b>	<b>100K</b>	<b>DNP</b>	<b>4095</b>	<b>1.8V</b>	<b>FSPI_M2-FSPI_M1-FSPI_M0 -EMMC-SD_Card-USB</b>

Note:  
If BOOT\_SARADC\_IN0=0V after power-on reset  
then system will enter into Maskrom mode.

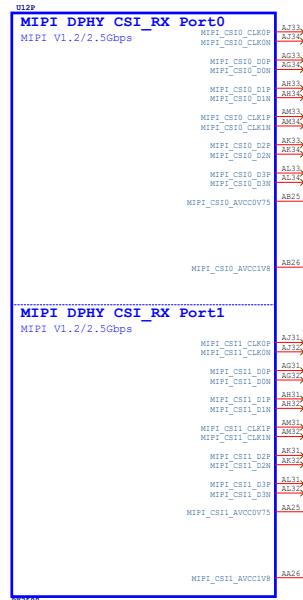


If not used,  
Signal: leave floating  
Power: leave floating



BK3588 P(MTPT CST BX PHY)

If not used,  
Signal: leave floating  
Power: leave floating or tie to yss



## MIPI\_CSI\_RX Configuration

Option1	<i>Sensor1 x4Lane</i>	<i>MIP1_CSI_RX_D0-3</i> <i>MIP1_CSI_RX_CLK0</i>
Option2	<i>Sensor1 x2Lane</i>	<i>MIP1_CSI_RX_D0-1</i> <i>MIP1_CSI_RX_CLK0</i>
	<i>Sensor2 x2Lane</i>	<i>MIP1_CSI_RX_D2-3</i> <i>MIP1_CSI_RX_CLK1</i>

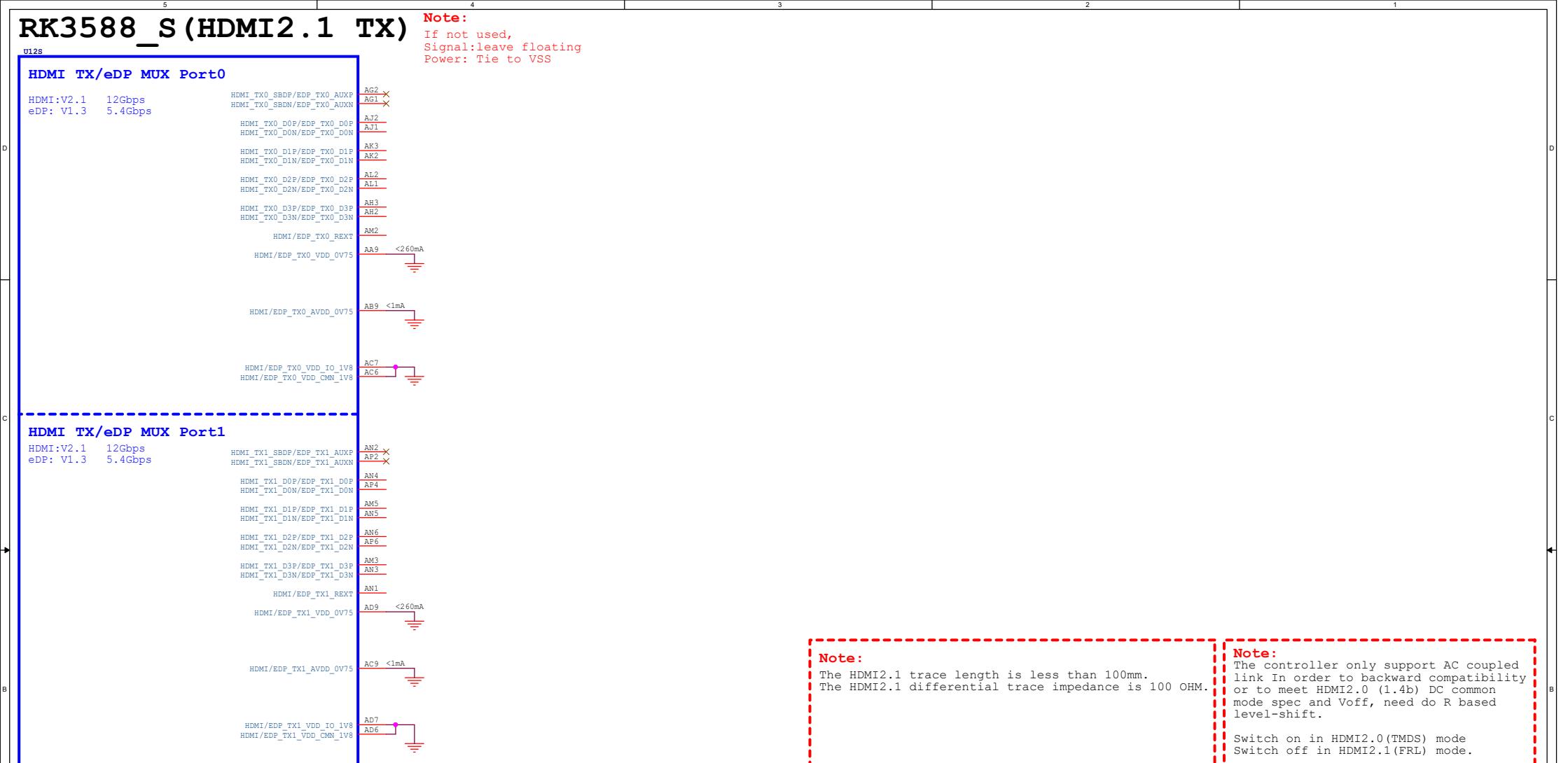
1 Note

When in single clock lane mode, CLK0P/ON is the clock lane from Data lane0 to Data lane3, but clock lane1 is invalid; In dual clock lanes mode, CLK0P/ON is the clock lane of Data lane1 and Data lane1, while CLK1P/IN is the clock lane of Data lane2 and Data lane3.

| Note

Caps of between dashed green lines and U1000 should be placed under the U1000 package.  
Other caps should be placed close to the U1000 package.

0.1				研发图纸	<Doc>		
版本	更改描述	签	日期		所属	装配号	
标记	处数	更改文件号	签	日期	阶段标记	重量	比例
设计					(Y)	S	A2
校对							
审核							
工艺审查					共 48 张 第 16 张		
标 审					五八智能科技 (杭州)有限公司		
审 定							
批 准							
				16.RK3588_MIPI	Q10_RK3588J_V0.1		

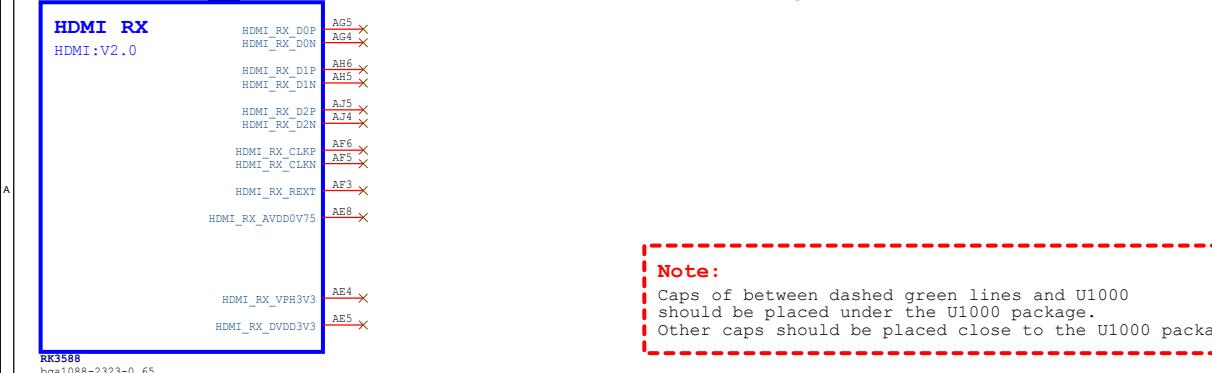


5 4 3 2 1

# RK3588\_T (HDMI20 RX)

U12T

If not used,  
Signal:leave floating  
Power: leave floating or tie to VSS



研发图纸				<Doc>			
版本		更改描述	签 字	日期	所属装配号		
标记	处数	更改文件号	签 字	日期	阶段标记	重 量	比 例
设 计					(Y)	S	L
校 对							
审 核							
工 艺 审 查							
标 审							
审 定							
批 准							

17.RK3588\_HDMI/eDP

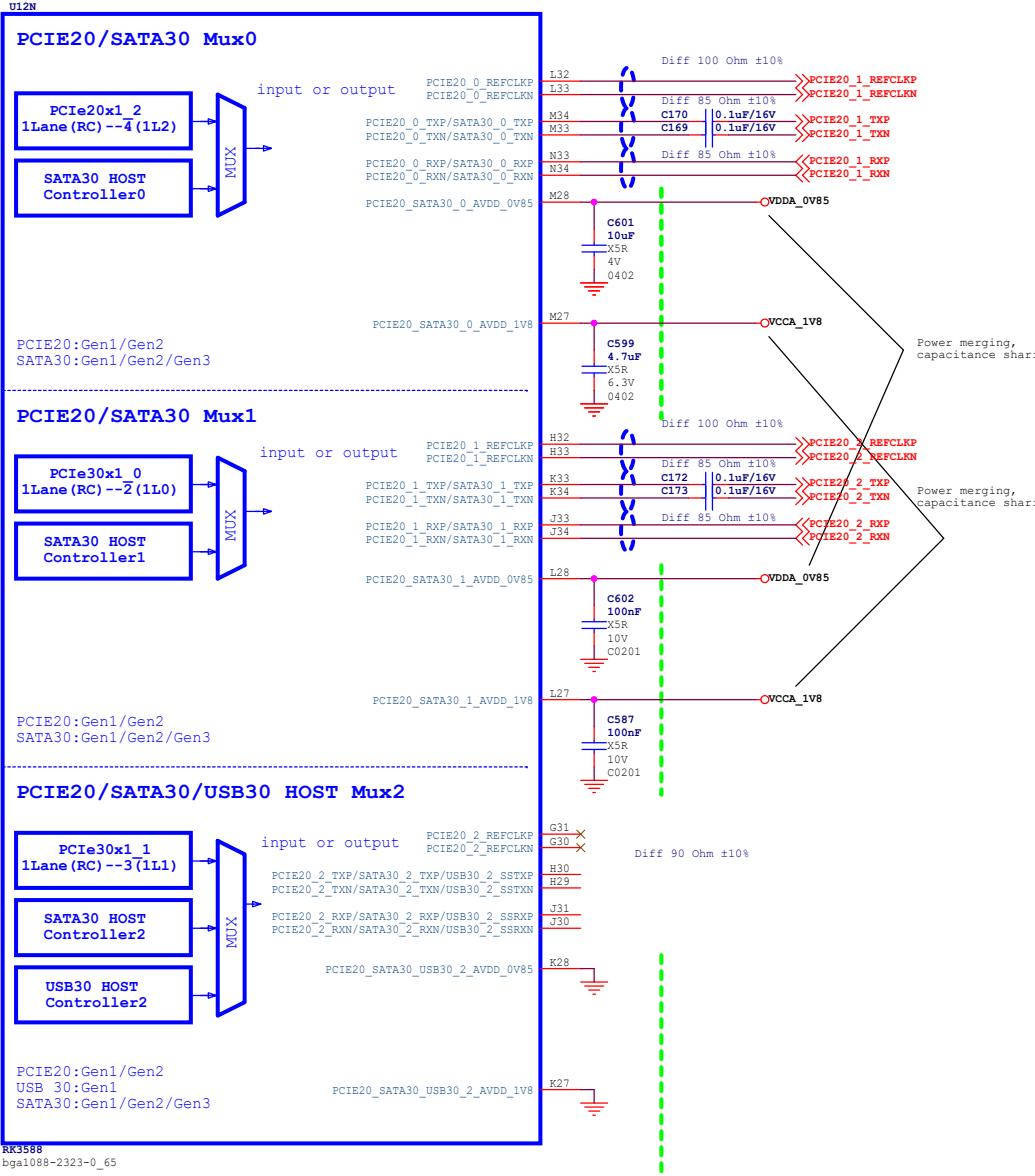
Q10\_RK3588J\_V0.1

共 48 张 第 17 张

五八智能科技(杭州)有限公司

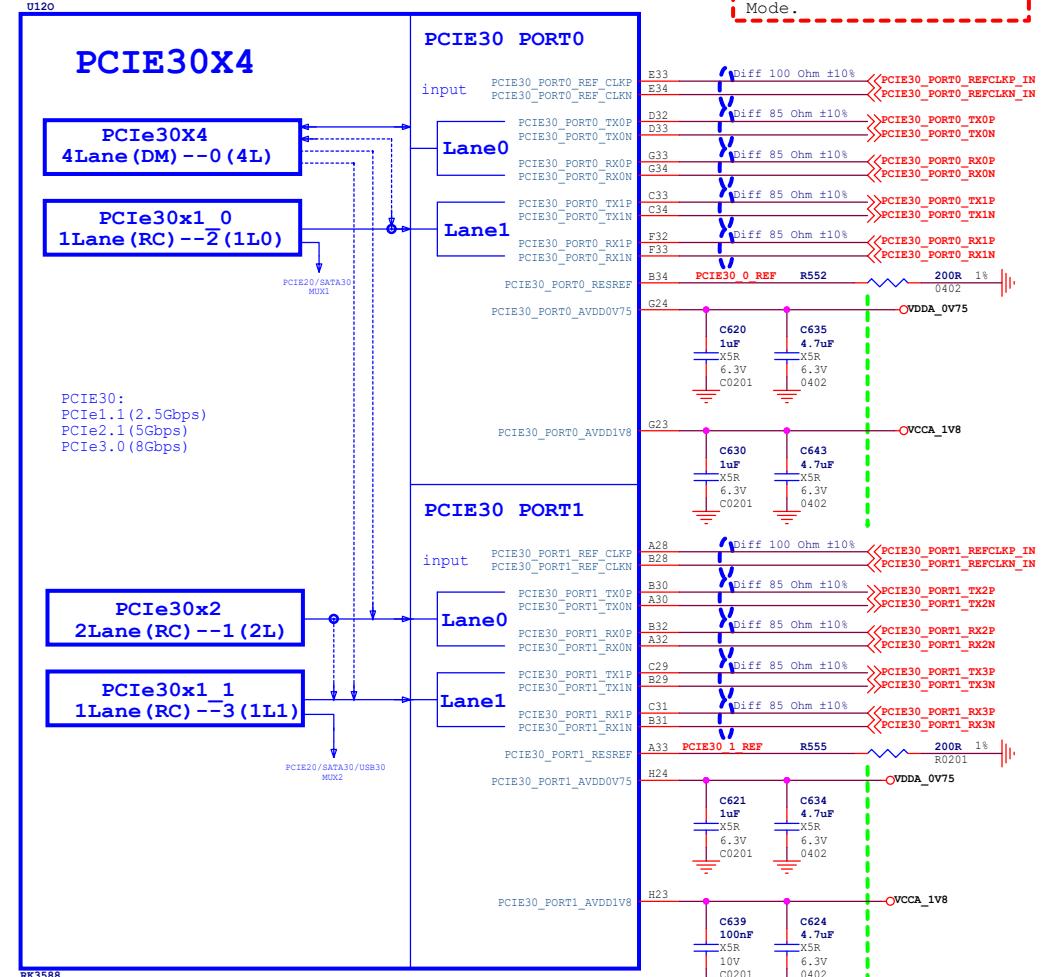
# RK3588\_N (PCIE20)

If not used,  
Signal: leave floating  
Power: Tie to VSS



# RK3588\_O (PCIE30)

**Note:**  
Only PCIE30 Controller 0 support RC and EP, Other controller only support RC Mode.



研发图纸				<Doc>			
版本		更改描述		签 字	日期	所属装配号	
标记	处数	更改文件号	签 字	日期	阶段标记	重 量	比 例
设 计					(Y)	S	L
校 对							
审 核							
工 艺 审 查							
标 审							
审 定							
批 准							

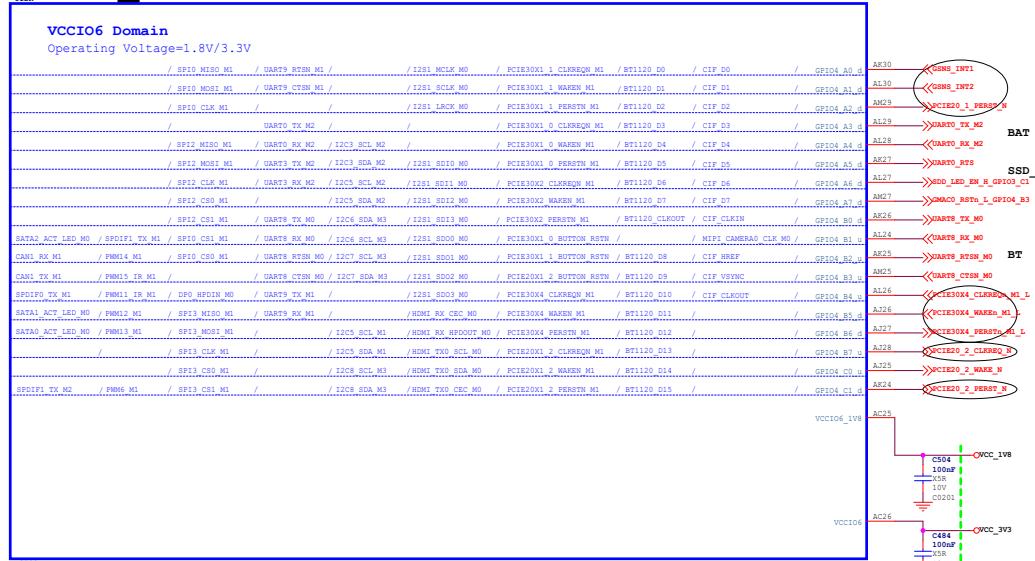
18.RK3588\_PCIE/SATA

Q10\_RK3588J\_V0.1

共 48 张 第 18 张

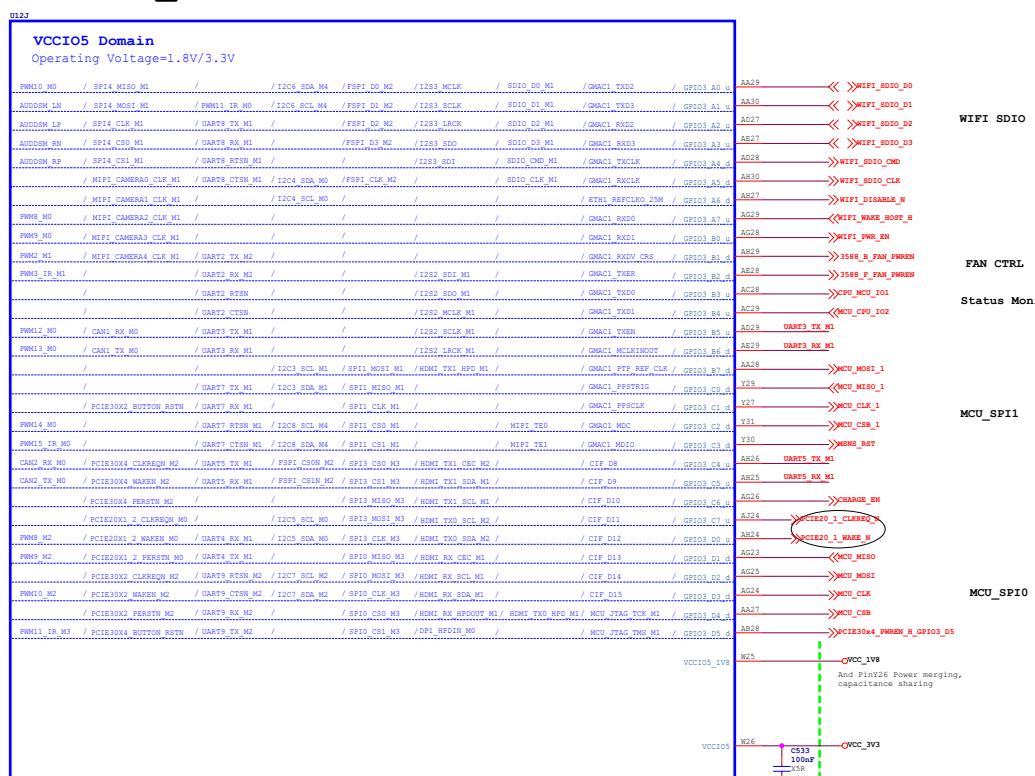
五八智能科技(杭州)有限公司

## RK3588\_K (VCCIO6 Domain)



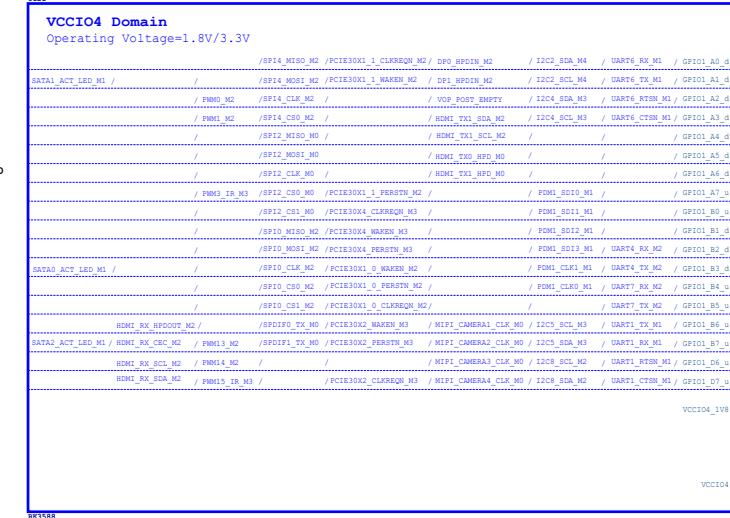
RK3588  
bga1088-2323-0\_

RK3588\_J(VCCIO5 Domain)



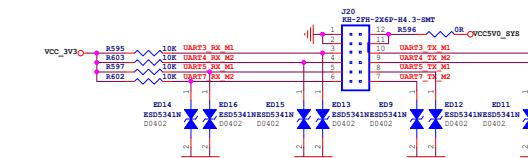
RRK3588

RK3588\_I (VCCIO4 Domain)

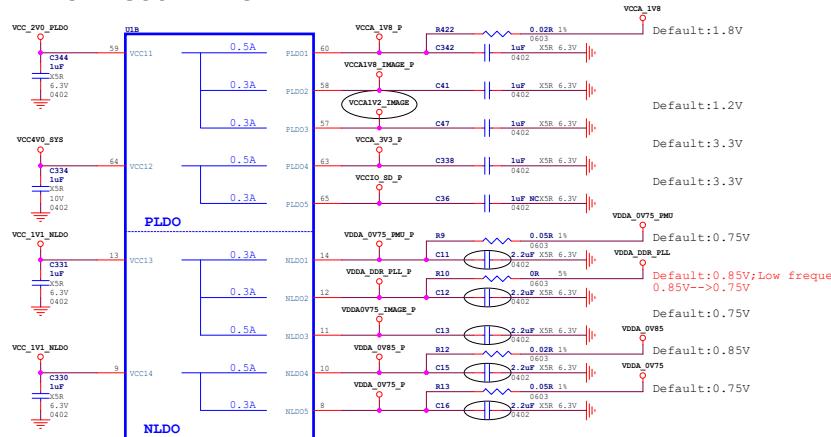
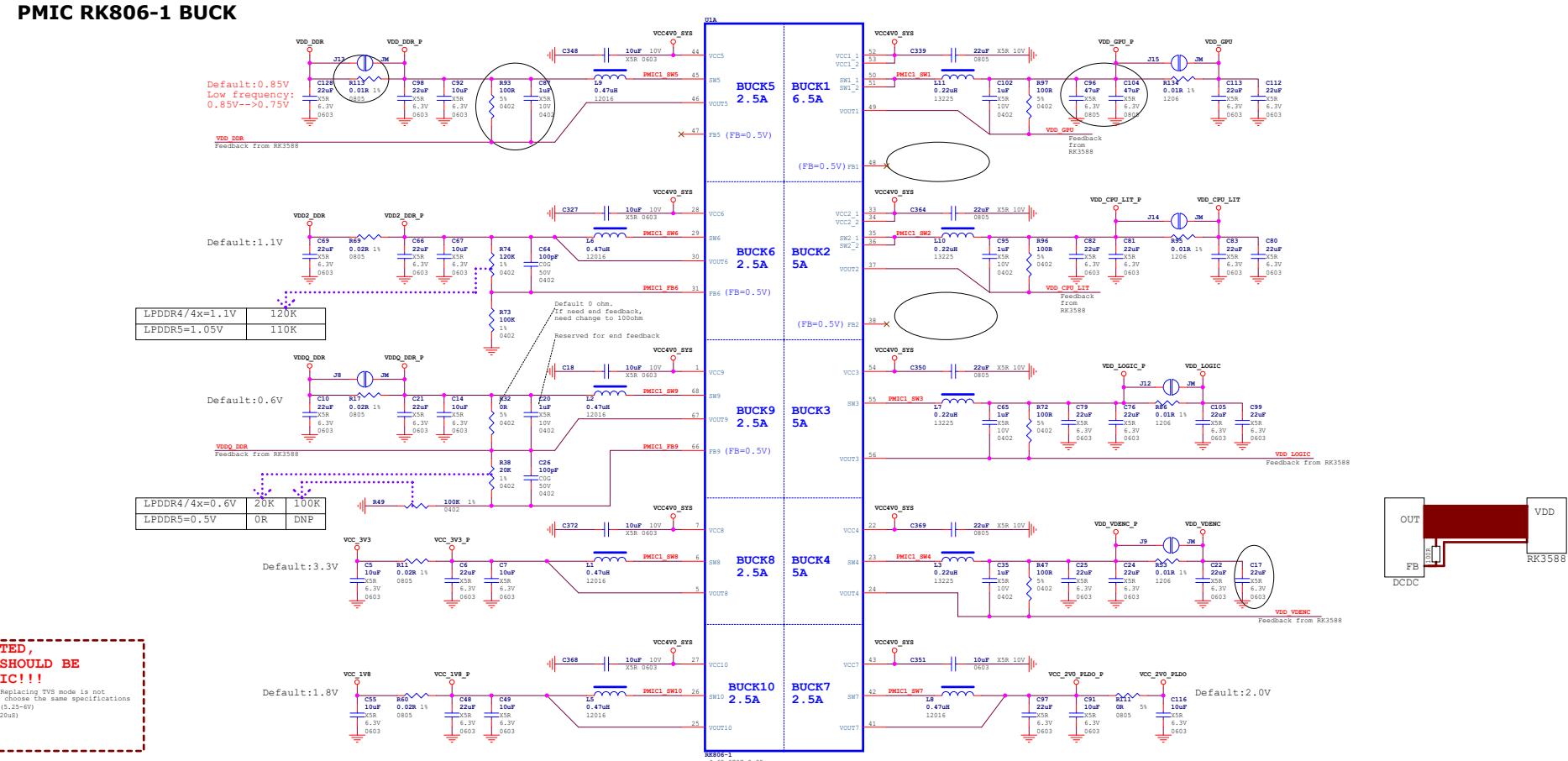


bga1088-

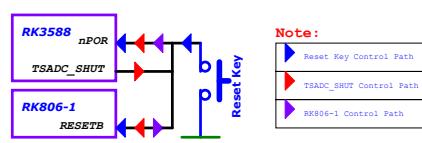
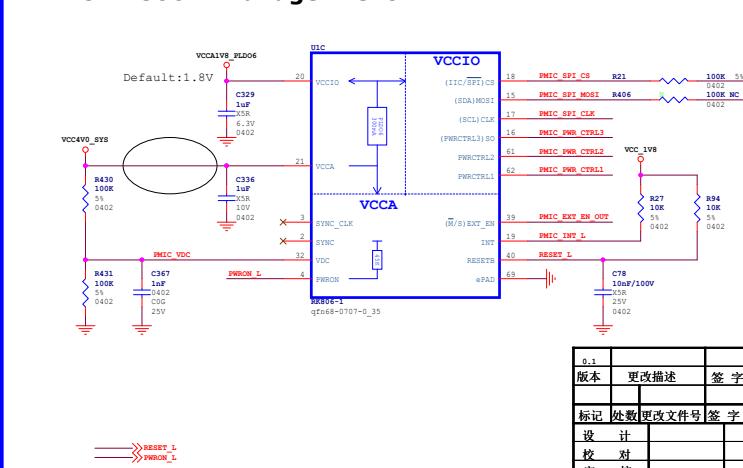
**Note:** Caps of between dashed green lines and U100 should be placed under the U1000 package. Other caps should be placed close to the U1



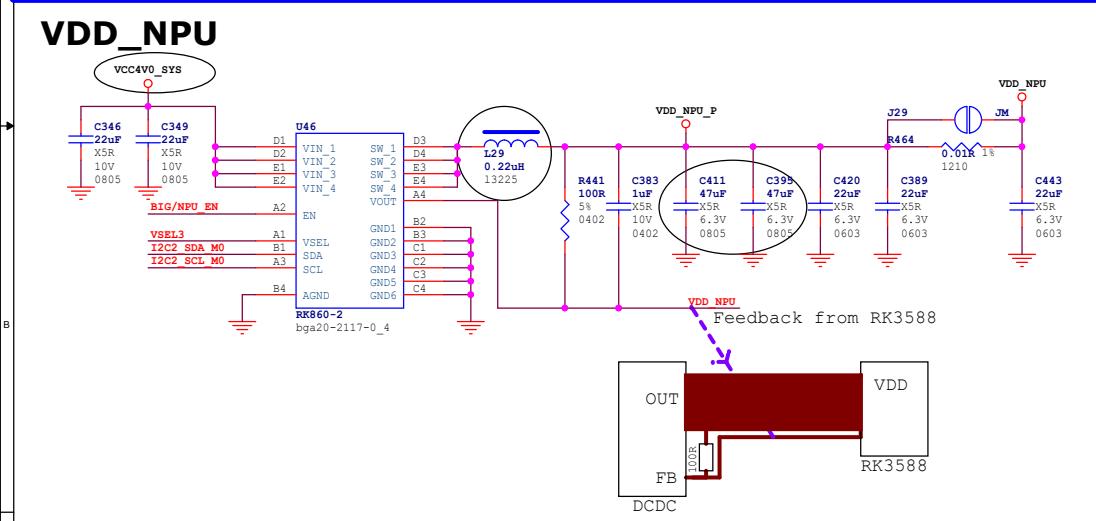
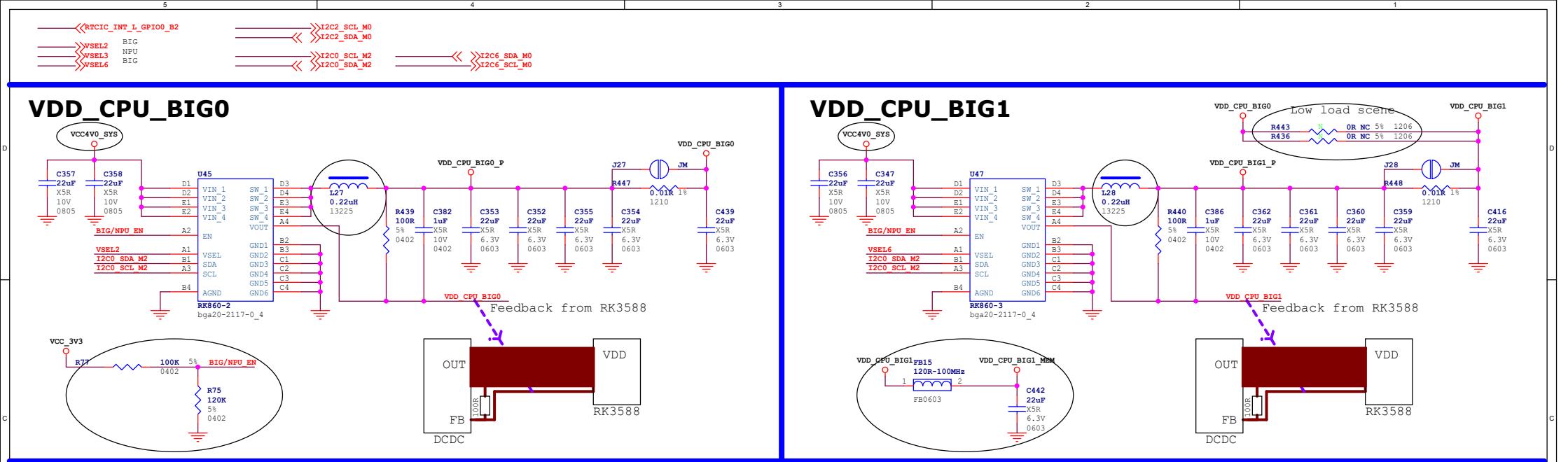
0-1				研发图纸	<Doc>			A
版本	更改描述	签 字	日期					
标记	处数	更改文件号	签 字	日期				
设 计				19.RK3588_GPIO	所 属 装 配 号			
校 对					阶段标记	重 量	比 例	
审 核					Y	S	L	A2
工 艺 审 查					共 48 张			第 19 张
标 审				Q10_RK3588J_V0.1	五八智能科技 (杭州)有限公司			
审 定								
批 准								



**Note:**  
The RR806 LDO power distribution in the reference schematics is only suitable for the interface function used in the reference schematics.  
If other interface functions are to be added to the reference schematics, the total current may have to be increased, otherwise the added functions may exceed the maximum current provided by the LDO.

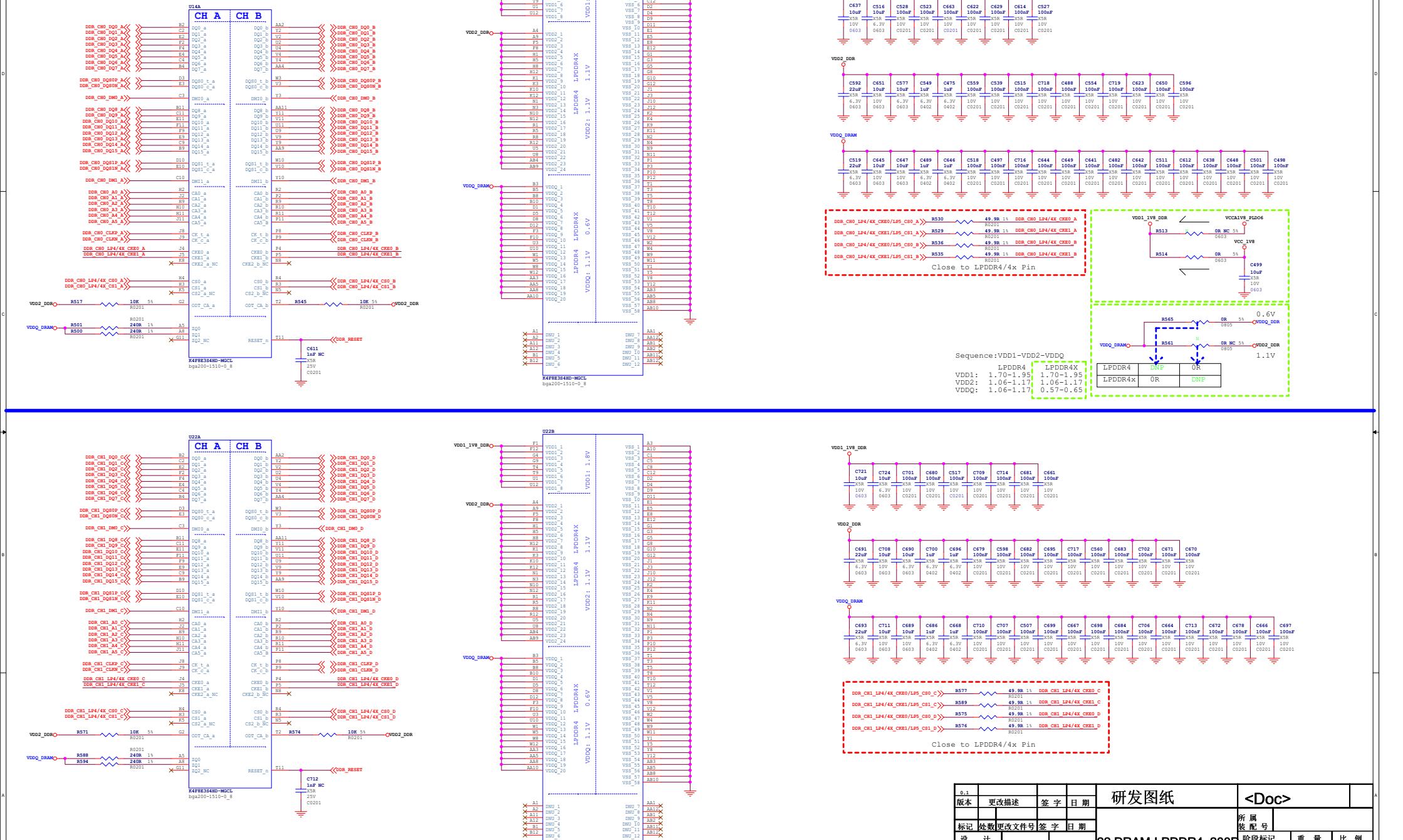


0.1				研发图纸	<Doc>			
版本	更改描述	签 字	日 期	20.Power-PMIC_RK806-1 Q10_RK3588J_V0.1	所 属			
					配 装 号			
标记	数 据	更 改 文 件 号	签 字		日 期	阶 段	标 记	重 量
设 计						(Y)	S	L
校 对						A2		
审 核						共 48 张 第 20 张		
工 艺 审 查						五八智能科技 (杭州)有限公司		
标 审								
审 定								
批 准								



0.1 版本 变更描述 签字 日期  
标记 处数 变更文件号 签字 日期

研发图纸				<Doc>		
				所属装配号		
				阶段标记		
设计	校对	审核	工艺审查	S	L	A3
21.Power_Discrete/RTC				共 48 张 第 21 张		
Q10_RK3588J_V0.1				五八智能科技(杭州)有限公司		
批 准						



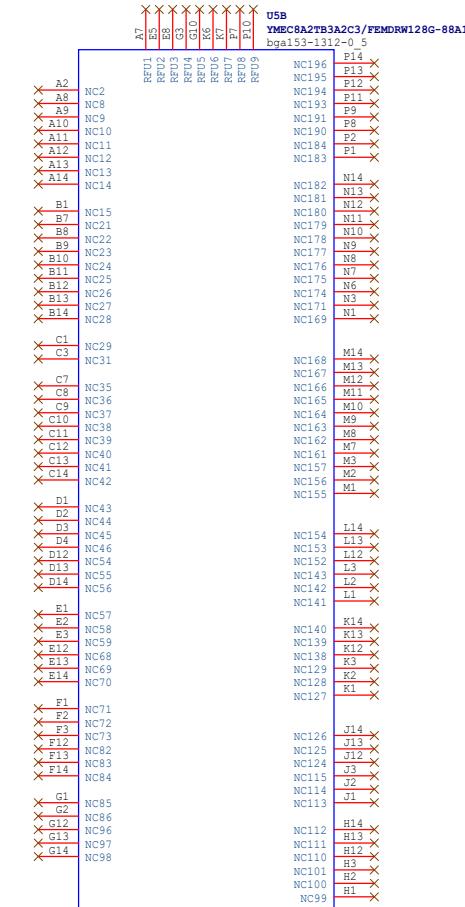
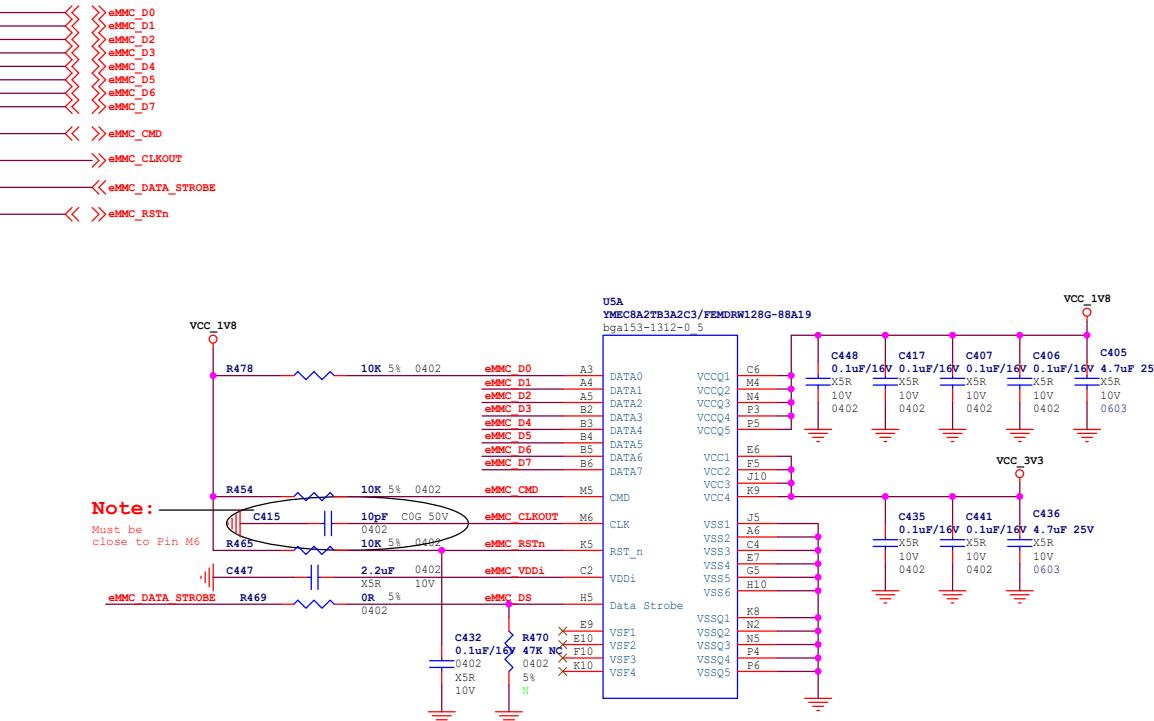
版本		更改描述		签 字		日期		研发图纸		<Doc>	
标记		处数		更改文件号		签		日期		所属	
设计										装配	
校对										阶段	
审核										标记	
工艺审查										重量	
标 审										比例	
审 定										Y	
批 准										S	
										L	

**22.DRAM-LPDDR4\_200P**

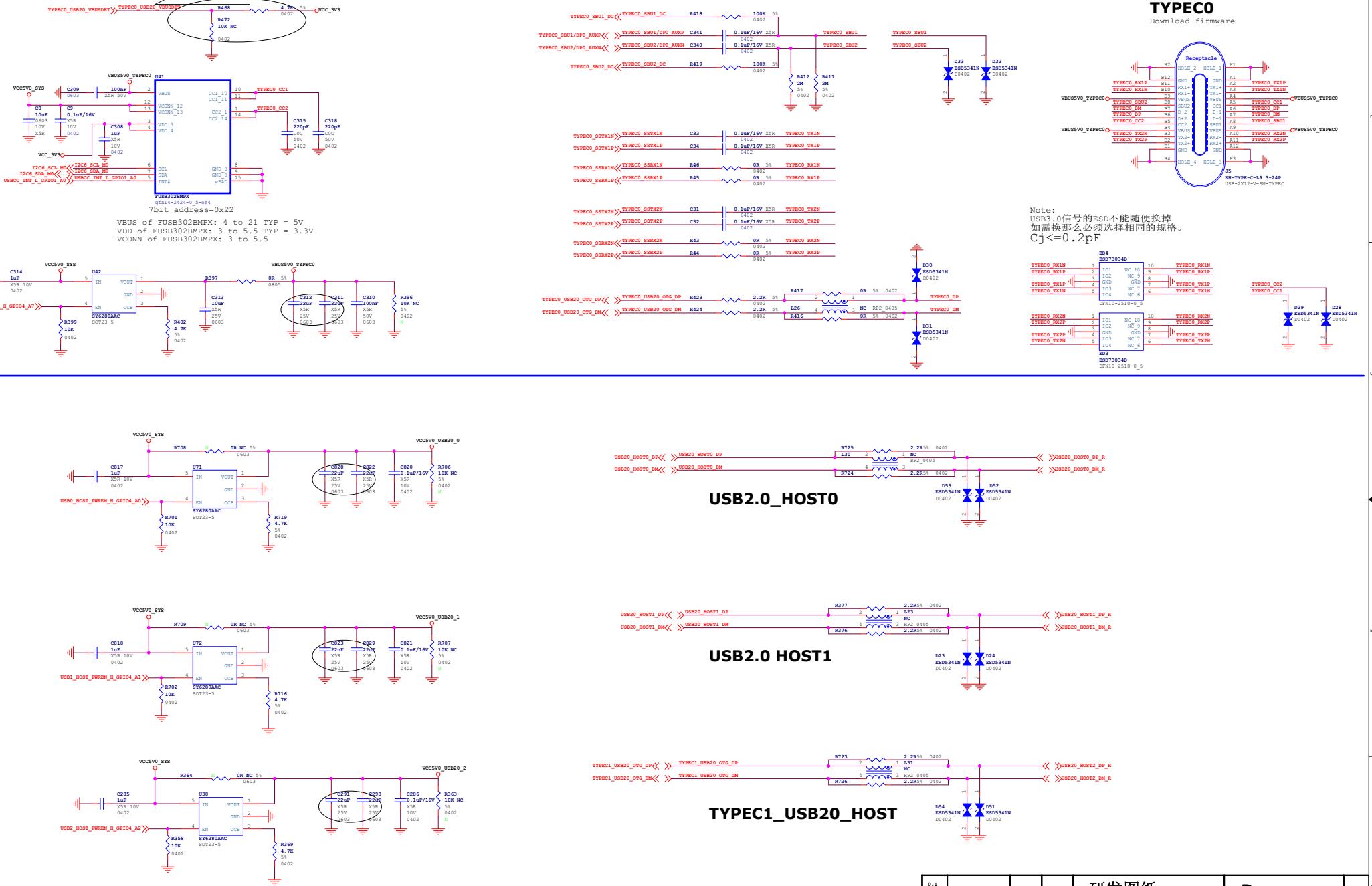
**Q10\_RK3588J\_V0.1**

共 48 张 第 22 张

# eMMC Flash

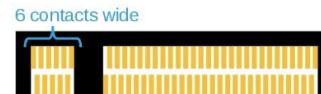
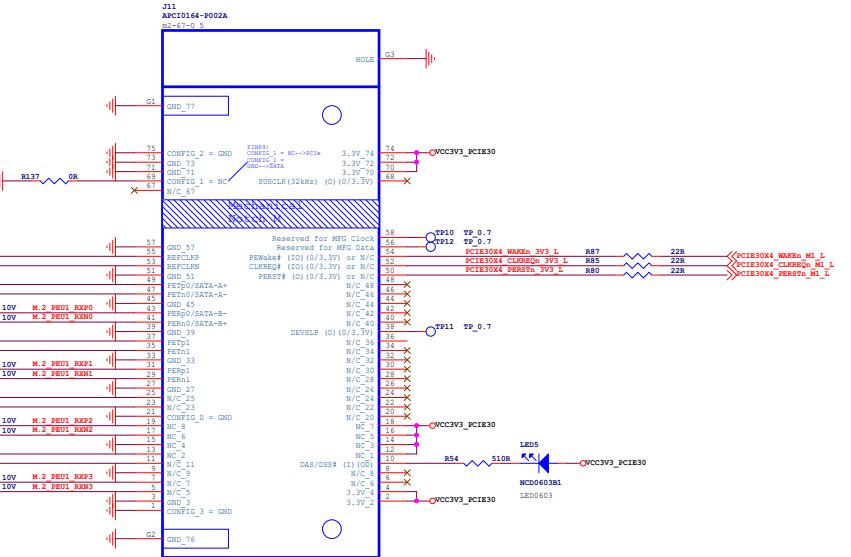


0.1				研发图纸 23.Flash-eMMC Flash Q10_RK3588J_V0.1	<Doc>			
版本	更改描述		签 字	日期				
标记	处数	更改文件号	签 字	日期				
设 计								
校 对								
审 核								
工艺审查								
标 审								
审 定								
批 准								



<u>0.1</u>				研发图纸	<Doc>	A
版本	更改描述	签字	日期			
标记	处数	更改文件号	签字	日期	所属 装 配 号	
设计				24.USB2/USB3/TypeC	阶段标记	重量
校对					(Y)	S L
审核						A2
工艺审查					共 48 张	第 24 张
标 审				Q10_RK3588J_V0.1	五八智能科技 (杭州)有限公司	
审 定						
批 准						

## PCIe3.0 x 4Lanes



Socket for "B key" edge connector



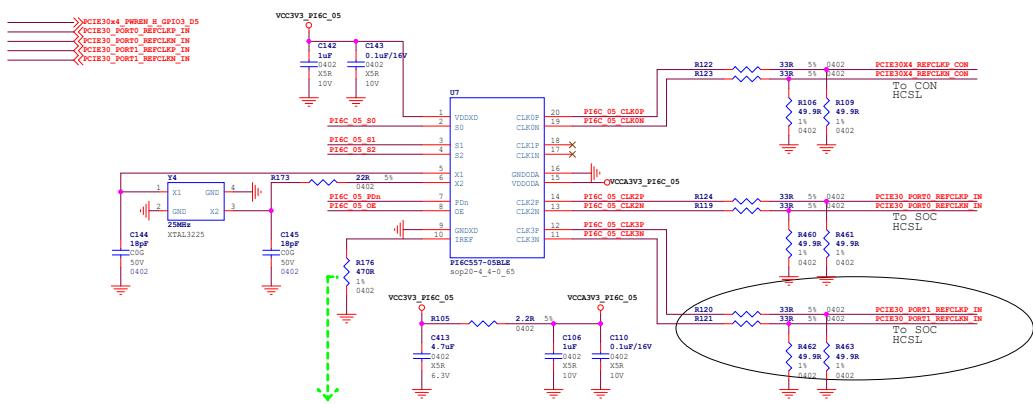
"B key" edge connector



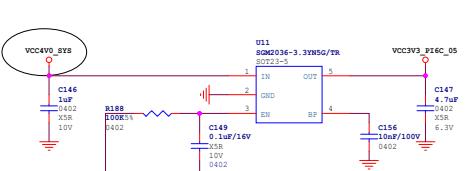
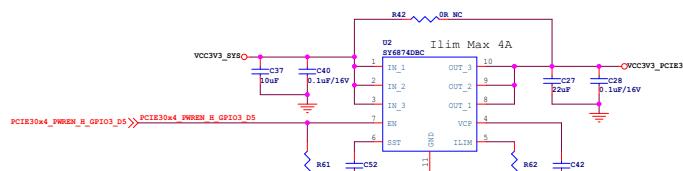
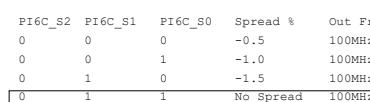
Socket for "M key" edge connector



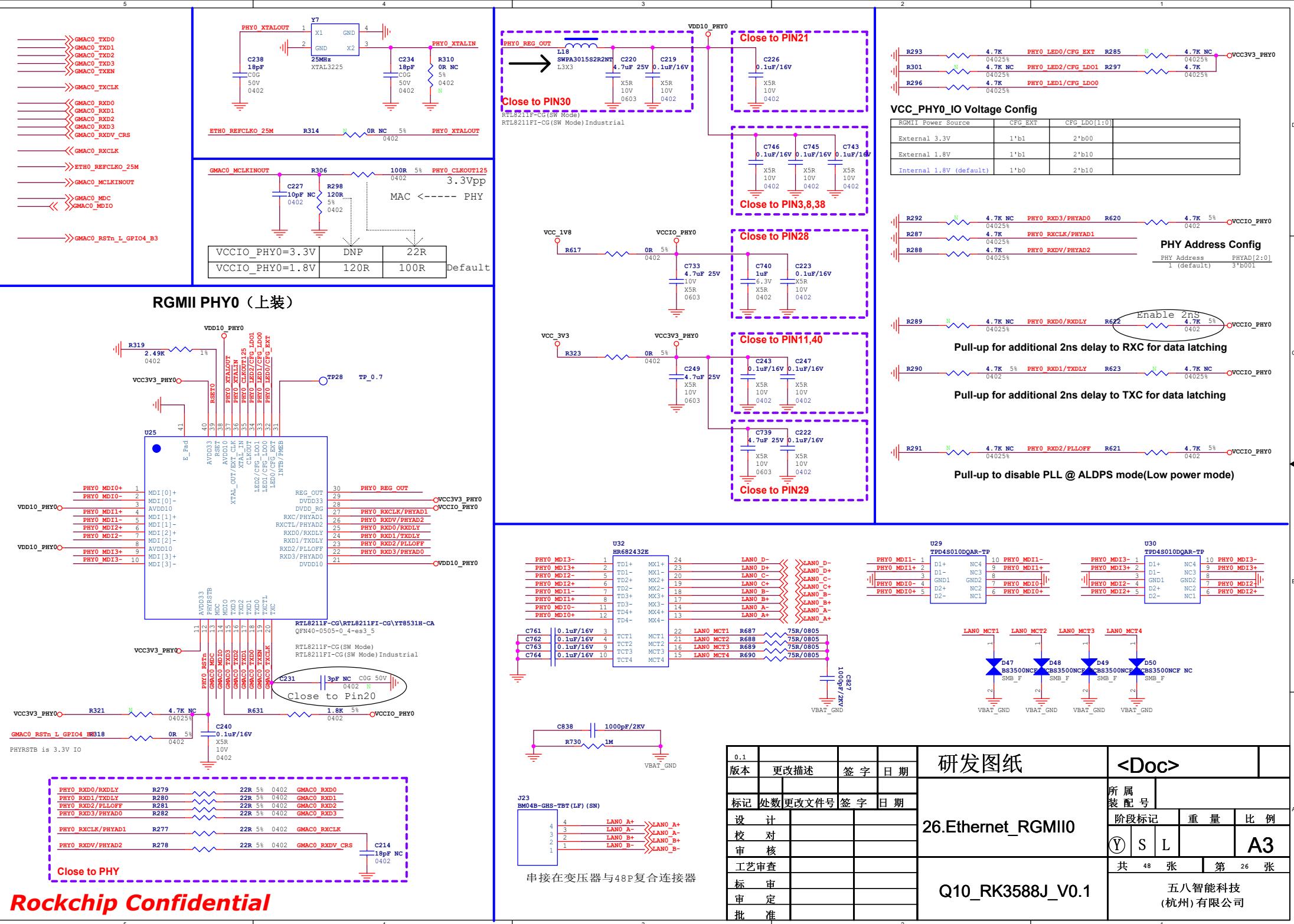
"M key" edge connect



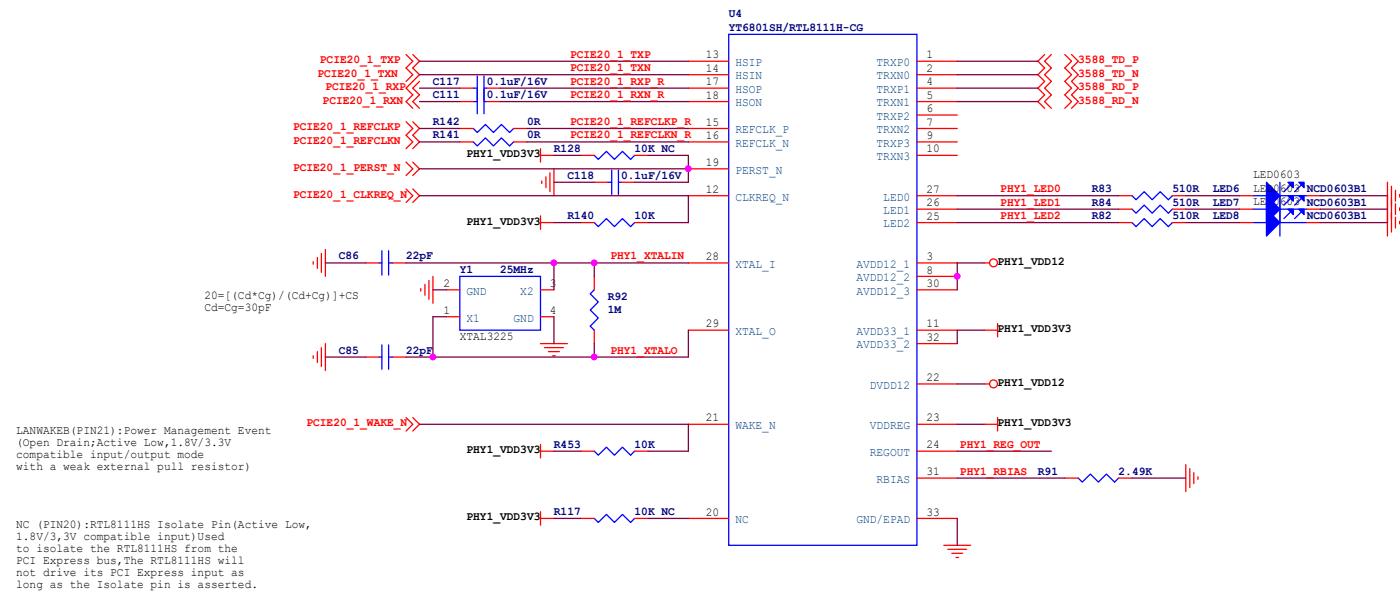
If board target trace impedance is 50ohm  
 then  $R = 475\text{ohm}$  providing an IREF of 2.32 mA . The output current ( IOH ) is  $6 * \text{IREF}$   
 $6\times2.32\times50=696\text{mA}$



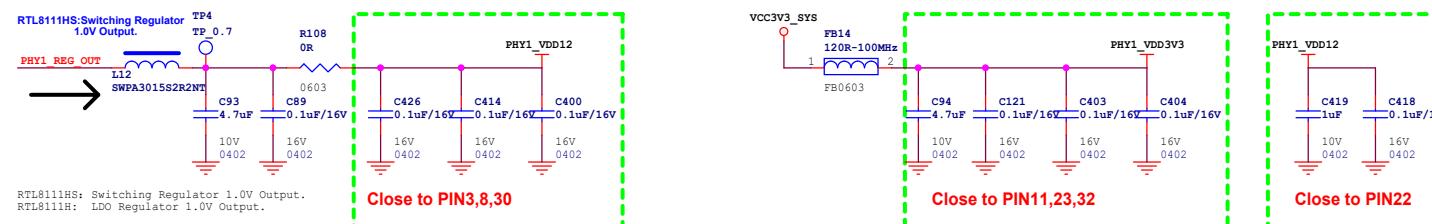
4.1.1				研发图纸	<Doc>			A
版本	更改描述	签 字	日期				所属 装配号	
标记	处数	更改文件号	签 字	日期				
设 计				25.PCIE-PCIE3.0_M.2			阶段标记	重 量
校 对							(Y)	S L
审 核								A2
工艺审查							共 48 张	第 25 张
标 审				Q10_RK3588J_V0.1			五八智能科技 (杭州)有限公司	
审 定								
批 准								
名 称								



# PCIE2.0 TO PHY1 (MCU)



- LED 0: On only in 10M mode, with blinking during TX/RX
- LED 1: On only in 100M mode, with blinking during TX/RX
- LED 2: On only in 1000M mode, with blinking during TX/RX



研发图纸				<Doc>		
版本		更改描述		签 字	日期	
标记	处数	更改文件号	签 字	日期		
设计						
校对						
审核						
工艺审查						
标 审						
审 定						
批 准						

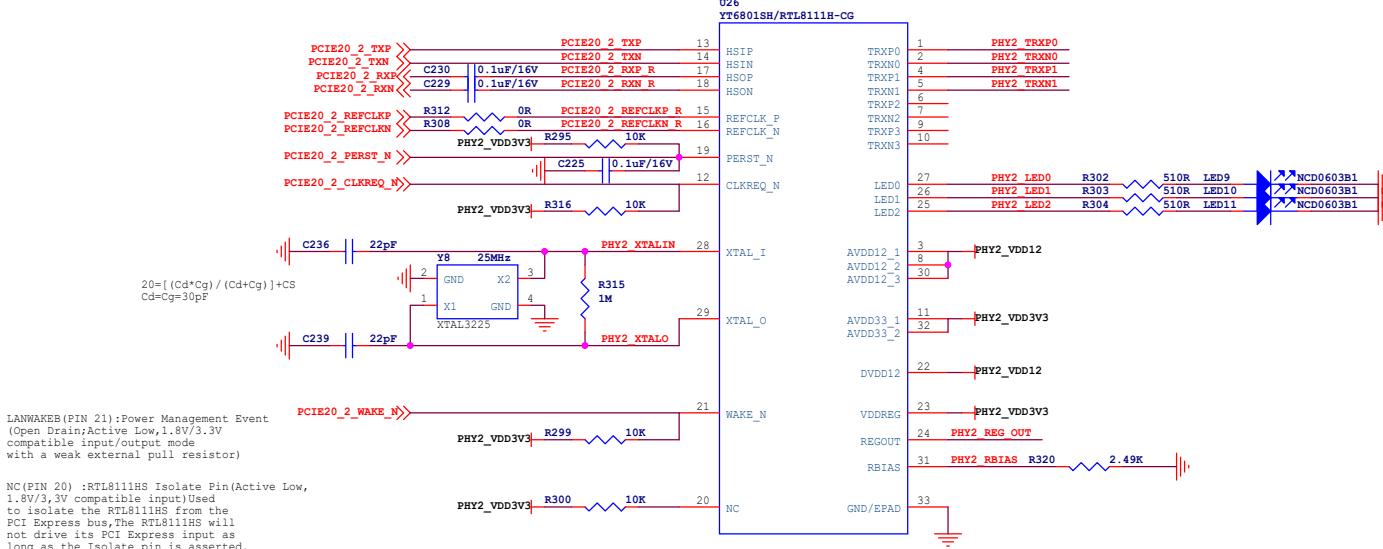
  

阶段标记			重 量	比 例
(Y)	S	L		A3

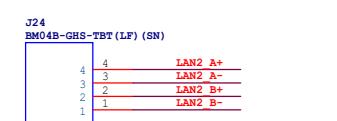
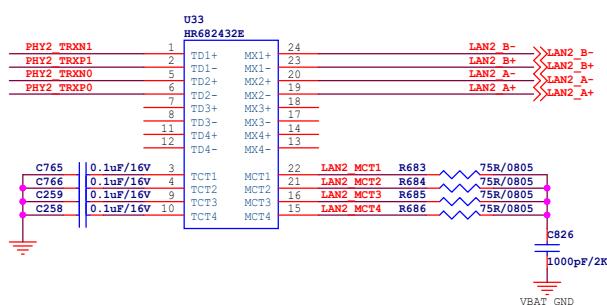
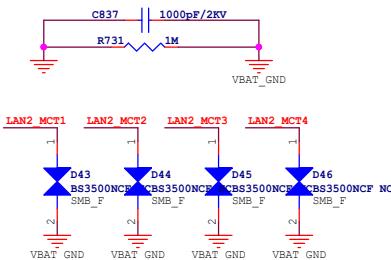
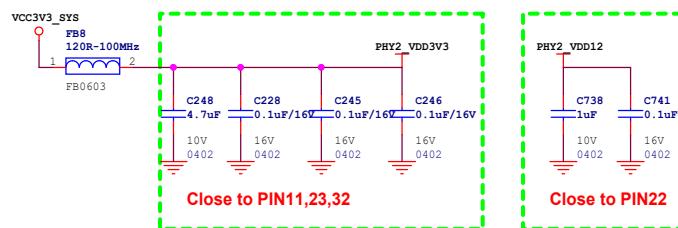
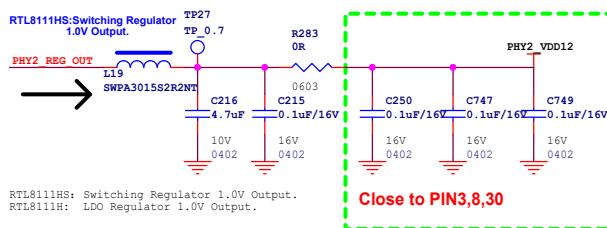
  

共 48 张	第 27 张
五八智能科技(杭州)有限公司	

## PCIE2.0 TO PHY2 (调试)



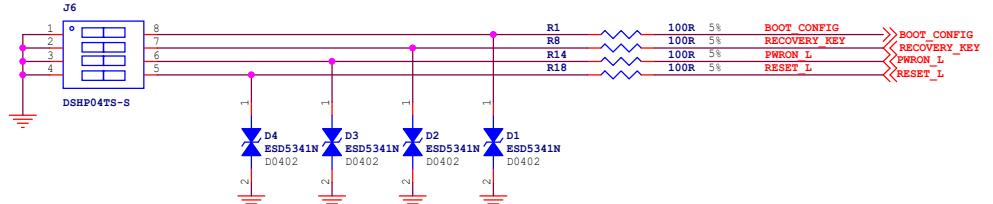
- LED 0: On only in 10M mode, with blinking during TX/RX
  - LED 1: On only in 100M mode, with blinking during TX/RX
  - LED 2: On only in 1000M mode, with blinking during TX/RX



串接在变压器与48P复合连接器

0.1			
版本	更改描述	签 字	日 期
标记	处数	更改文件号	签 字 日 期
设 计			
校 对			
审 核			
工艺审查			
标 审			
审 定			
批 准			

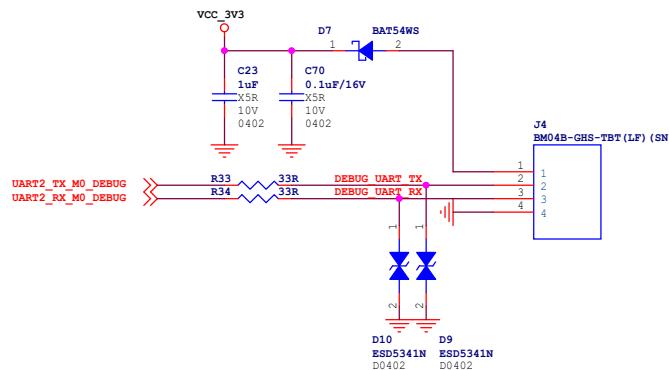
研发图纸  28.PCIE2.0 TO PHY2  Q10_RK3588J_V0.1	<Doc>			
	所属 装配号			
	阶段标记	重量		比例
(Y)	S	L	A3	
共 48 张		第 28 张		
五八智能科技 (杭州)有限公司				



**BOOT\_CONFIG** It is recommended to reserve this circuit to enter the MaskROM state for update firmware

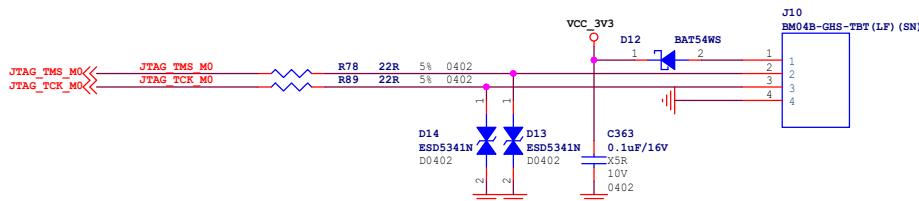
**RECOVERY\_Key** It is recommended to keep the circuit for the actual product update firmware

## Debug UART2 Option1

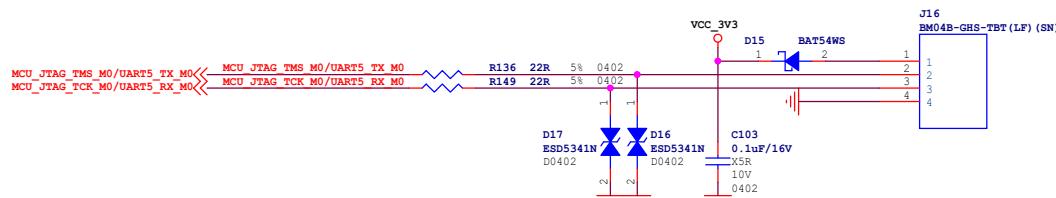


## Debug ARM JTAG

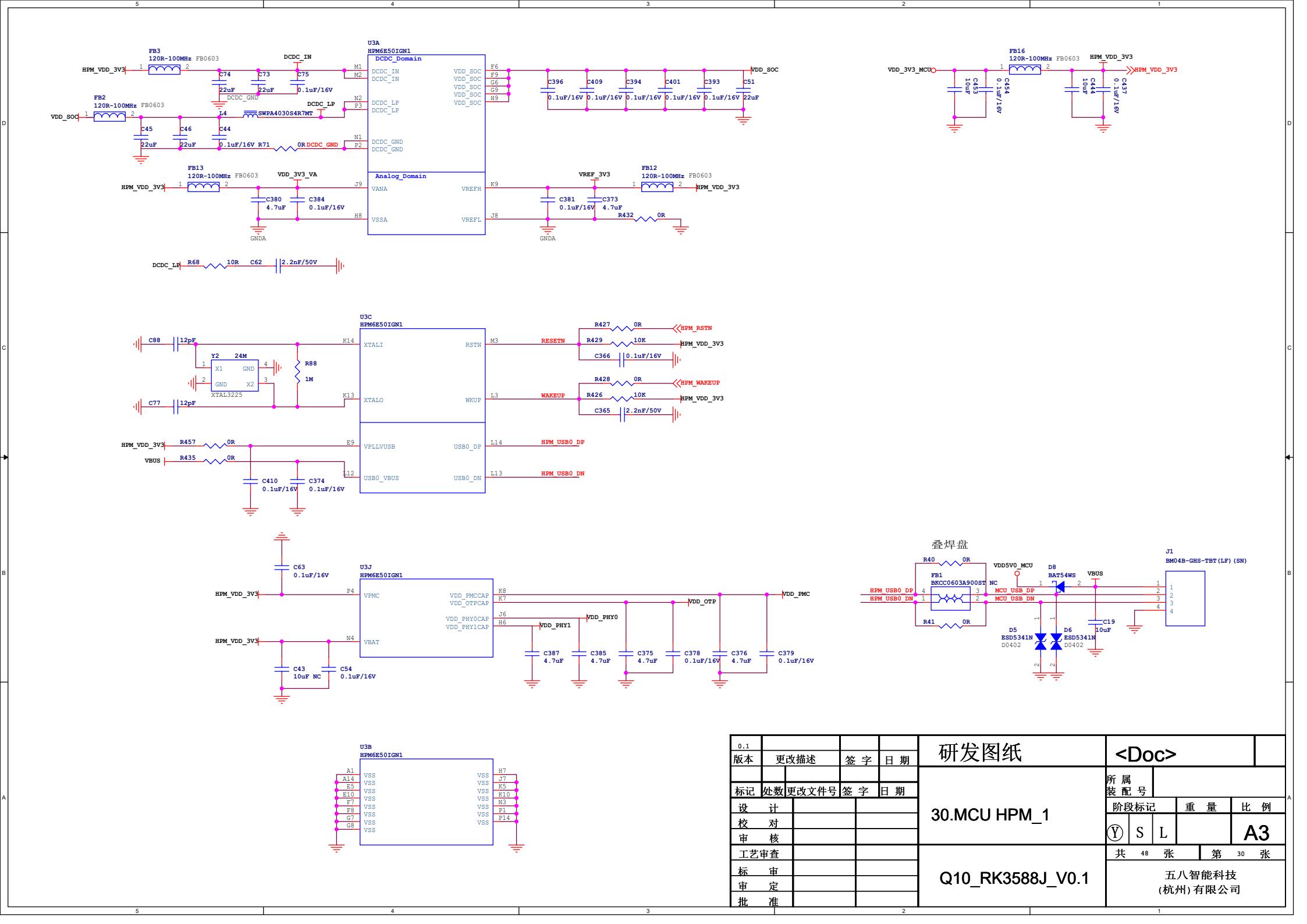
It is recommended not to delete it to facilitate debug

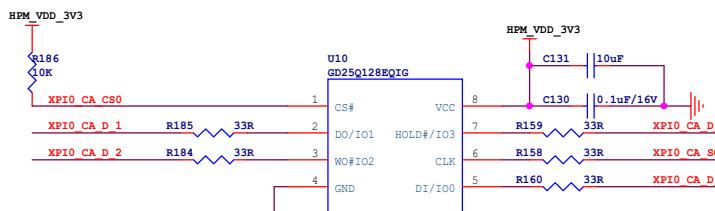
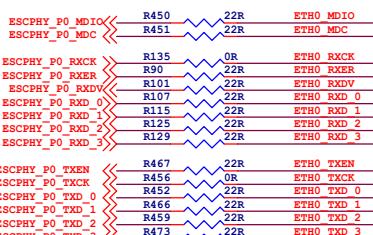
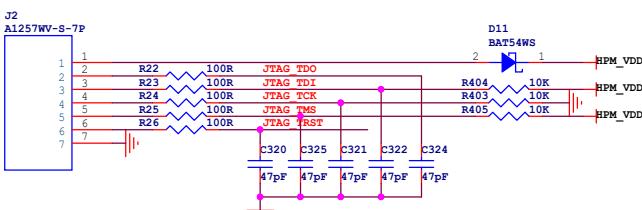
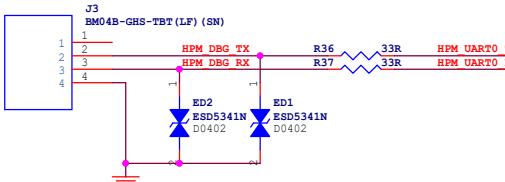


## Debug MCU JTAG or UART5



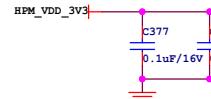
研发图纸				<Doc>			
版本	更改描述	签字	日期	所属装配号			
标记	处数	更改文件号	签字	日期	阶段标记	重量	比例
29.BOOT/Debug/JTAG				(Y)	S	L	A3
Q10_RK3588J_V0.1	共 48 张	第 29 张		五八智能科技(杭州)有限公司			





## BOOT MODE CONFIG

Item	PA03	PA02	Boot sequence
MODE1	OFF	OFF	XPI NOR FLASH
MODE2	OFF	ON	ISP/UART0/USB0
MODE3	ON	OFF	ISP/UART0/USB0
MODE4	ON	ON	保留模式



U3D HPM6E50IGN1

PA00-PA09

PA00/GPTMR1.COMP0/UART0.TXD/MCAN0.TXD/PWM0.P0/TRGM.P00/SYSCtrl.CLK\_OBS0  
 PA01/GPTMR1.CAPTO/UART0.RXD/MCAN0.RXD/PWM0.P1/TRGM.P01/SYSCtrl.CLK\_OBS2  
 PA02/GPTMR1.COMP1/UART0.DE/UART0.RTS/I2C2.SCL/MCAN0.STBY/PWM0.P2/TRGM.P02/SYSCtrl.CLK\_OBS1  
 PA03/GPTMR1.CAP1/UART0.CTS/I2C2.SDA/SPI0.CS3/MCAN1.STBY/PWM0.P3/TRGM.P03/SYSCtrl.CLK\_OBS3  
 PA04/UART1.CTS/SPI1.SCL/MCAN1.RXD/PWM0.P4/TRGM.P04/JTAG.TDO  
 PA05/GPTMR1.COMP1/UART1.DE/UART1.RTS/SPI1.CS0/MCAN1.TXD/PWM0.P5/TRGM.P05/JTAG.TDI  
 PA06/GPTMR0.CAPTO/UART1.RXD/I2C3.SDA/SPI1.MISI/PWM0.P6/TRGM.P06/JTAG.TCK  
 PA07/GPTMR0.COMP0/UART1.TXD/I2C3.SCL/SPI1.CS2/MCAN2.TXD/PWM1.P0/TRGM.P08/RDC0.PWM\_N/JTAG.TRST  
 PA09/GPTMR0.CAP1/UART2.RXD/I2C0.SDA/SPI0.CS1/MCAN2.RXD/ESCO.REPCK/PWM1.P1/TRGM.P09/RDC0.PWM\_P/ETH0.EVT02

PA16-PA31

PA16/GPTMR3.COMP0/UART4.TXD/MCAN4.TXD/ESCO.P0\_RXD/PWM2.P0/TRGM.P16/QEI0.A/SEI1.TX/SDMO.DAT3  
 PA17/GPTMR3.CAPTO/UART4.RXD/MCAN4.RXD/ESCO.P0\_RXD/PWM2.P1/TRGM.P17/QEI0.B/SEI1.RX/SDMO.CLK3  
 PA18/GPTMR3.COMP1/UART4.DE/UART4.RTS/MCAN4.STBY/ESCO.P0\_RXD1/PWM2.P2/TRGM.P18/QEI0.Z/SEI1.DE/SDMO.DAT2  
 PA19/GPTMR3.CAP1/UART4.CTS/SPI1.CS3/MCAN5.STBY/ESCO.P0\_RXD2/PWM2.P3/TRGM.P19/QEI1.Z/SEI1.CR/SDMO.CLK2  
 PA20/UART5.CTS/SPI2.SCL/MCAN5.RXD/ESCO.P0\_RXD3/PWM2.P4/TRGM.P20/SEI0.CK/SDMO.DAT1  
 PA21/GPTMR2.COMP0/UART5.DE/UART5.RTS/C52/MCAN6.TXD/ESCO.P0\_RXR/PWM2.P5/TRGM.P21/QEO0.Z/SEI0.DE/SDMO.CLK1  
 PA22/GPTMR2.CAPTO/UART5.RXD/SPI2.MISO/ESCO.P1\_RXR/PWM2.P6/TRGM.P22/ETH0.TXER/QEO0.B/SEI0.RX/SDMO.DAT0  
 PA23/GPTMR2.COMP0/UART5.TXD/SPI2.MOSI/ESCO.P1\_RXD/PWM2.P7/TRGM.P23/ETH0.RXER/QEO0.A/SEI0.TX/SDMO.CLK0  
 PA24/GPTMR2.COMP1/UART6.TXD/SPI3.CS2/MCAN6.TXD/ESCO.P0\_RXC/PWM3.P0/TRGM.P24/QEI1.H1  
 PA25/GPTMR2.CAP1/UART6.RTS/SPI3.CS2/MCAN6.TXD/ESCO.P0\_RXD/PWM3.P1/TRGM.P25/ESCO.CTR0  
 PA26/GPTMR2.COMP2/UART6.RTS/DE/UART6.RTS/SPI3.SCL/MCAN6.STBY/ESCO.P0\_RXD1/PWM3.P2/TRGM.P26/QEI1.H1  
 PA27/UART6.CTS/SPI3.CS3/MCAN6.STBY/ESCO.P0\_RXD2/PWM3.P3/TRGM.P27/QEI1.F  
 PA28/UART7.CTS/SPI3.MISO/ESCO.P0\_RXD3/PWM3.P4/TRGM.P28/ESCO.CTR1/QEI1.H0  
 PA29/GPTMR3.COMP0/UART7.RTS/DE/UART7.RTS/SPI3.MOSI/ESCO.P0\_RXD4/PWM3.P5/TRGM.P29/QEI1.Z  
 PA30/UART7.RXD/SPI3.DAT2/MCAN7.RXD/ESCO.MDIO/PWM3.P6/TRGM.P30/ETH0.MDIO/QEI1.A  
 PA31/GPTMR2.COMP0/UART7.TXD/SPI3.DAT3/MCAN7.TXD/ESCO.MDC/PWM3.P7/TRGM.P31/ETH0.MDC/QEI1.B

U3E HPM6E50IGN1

PB00-PB11

PB00/GPTMR5.COMP0/MCAN0.TXD/I2S0.TXD0/PDM0.CLK/ESCO.P0\_RXD/PWM0.P0/TRGM.P00/ETH0.RXDQ/QEI0.A/SEI1.TX  
 PB01/GPTMR5.CAPTO/MCAN0.I2S0.TXD0/ESCO.P0\_RXD/PWM0.P1/TRGM.P01/ETH0.RXD0/QEI0.B/SEI1.RX  
 PB02/GPTMR5.COMP1/I2C2.SCL/MCAN0.STBY/PWM0.P2/TRGM.P02/ETH0.RXD1/QEI0.H1/QEI0.Z/SEI1.DE  
 PB03/GPTMR5.CAP1/I2C2.SDA/MCAN1.STBY/PWM0.P3/TRGM.P03/ETH0.RXD2/QEI0.F/SEI1.CK  
 PB04/MCAN1.RXD/I2S0.MCLK/PDM0.D1/ESCO.P0\_RXD/PWM0.P4/TRGM.P04/ETH0.RXD3/QEI0.H0/SEI0.CK  
 PB05/GPTMR5.CAPTO/MCAN1.TXD/I2S0.TXD2/PDM0.D3/ESCO.P0\_RXC/PWM0.P5/TRGM.P05/ETH0.QE00.Z/SEI0.DE  
 PB06/GPTMR4.CAPTO/I2C3.SDA/I2S0.RXD1/ESCO.P0\_RXD/PWM0.P6/TRGM.P06/ETH0.QE00.B/SEI0.RX  
 PB07/GPTMR4.COMP0/I2C3.SCL/I2S0.RXD3/ESCO.P0\_RXD0/PWM0.P7/TRGM.P07/ETH0.TXD0/QEI0.A/QEO0.A/SEI0.TX  
 PB08/GPTMR4.CAP1/I2C0.SDA/MCAN2.TXD/I2S0.RXD2/ESCO.P0\_RXD2/PWM1.P1/TRGM.P08/ETH0.TXD2  
 PB10/GPTMR4.COMP2/MCAN2.STBY/I2S0.FCLK/ESCO.P0\_RXD3/PWM1.P2/TRGM.P10/ETH0.TXD0  
 PB11/I2S0.MCLK/ESCO.P0\_RXEN/PWM1.P3/TRGM.P11/ETH0.TXEN

PB24-PB31

PB24/GPTMR6.COMP1/MCAN6.TXD/ESCO.CTR4/XPI0.CA\_CS1/PWM3.P0/TRGM.P24/RDC0.PWM\_N/SDMO.CLK3/ETH0.EVT10/ESCO.EVT10  
 PB25/GPTMR6.CAP1/MCAN6.TXD/ESCO.CTR4/XPI0.CA\_CS1/PWM3.P1/TRGM.P25/RDC0.PWM\_P/SDMO.DAT3/ETH0.EVT0/ESCO.EVT0  
 PB26/GPTMR6.COMP2/MCAN6.STBY/ESCO.CTR6/XPI0.CA\_D2/PWM3.P2/TRGM.P26/QEI1.H1/SDMO.CLK2/ETH0.EVT11/ESCO.EVT11  
 PB27/ESCO.CTR7/XPI0.CA\_D0/PWM3.P3/TRGM.P27/QEI1.F/SDMO.DAT2/ETH0.EVT02  
 PB28/ESCO.CTR8/XPI0.CA\_D1/PWM3.P4/TRGM.P28/QEI1.H0/RDC0.PWM\_N/SDMO.CLK1  
 PB29/GPTMR7.COMP3/MCAN7.STBY/XPI0.CA\_SCLK/PWM3.P5/TRGM.P29/QEI1.Z/RDC0.PWM\_P/SDMO.DAT1/ETH0.EVT01/ESCO.EVT01  
 PB30/MCAN7.RXD/ESCO.CTR7/XPI0.CA\_CS0/PWM3.P6/TRGM.P30/QEI1.A/SDMO.CLK0  
 PB31/GPTMR6.COMP3/MCAN7.TXD/ESCO.CTR8/XPI0.CA\_D3/PWM3.P7/TRGM.P31/QEI1.B/SDMO.DAT0/ETH0.EVT0

0.1

版本

更改描述

签 字

日期

## 研发图纸

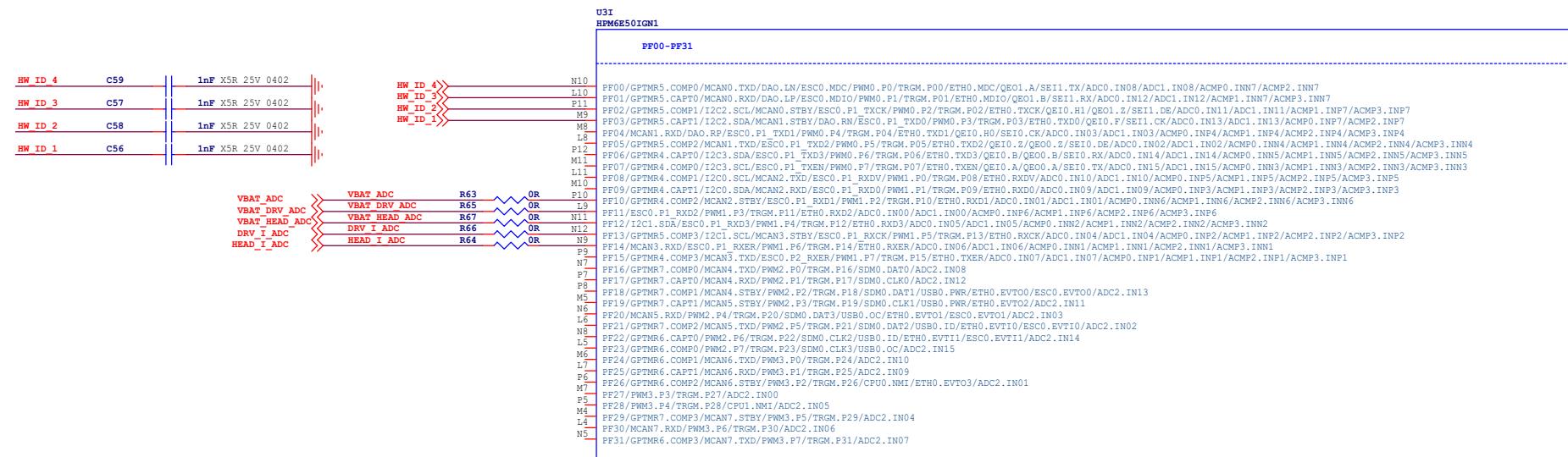
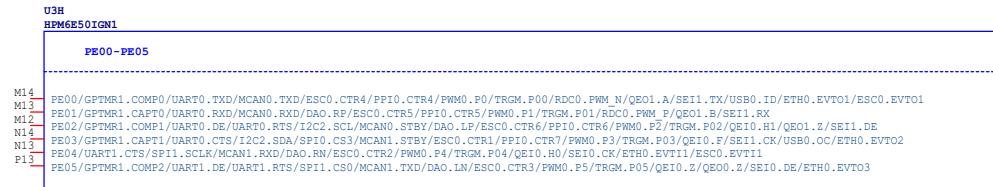
## &lt;Doc&gt;

所属装配号	阶段标记	重量	比例
(Y)	S	L	A3

## 31.MCU HPM\_2

## Q10\_RK3588J\_V0.1

五八智能科技(杭州)有限公司



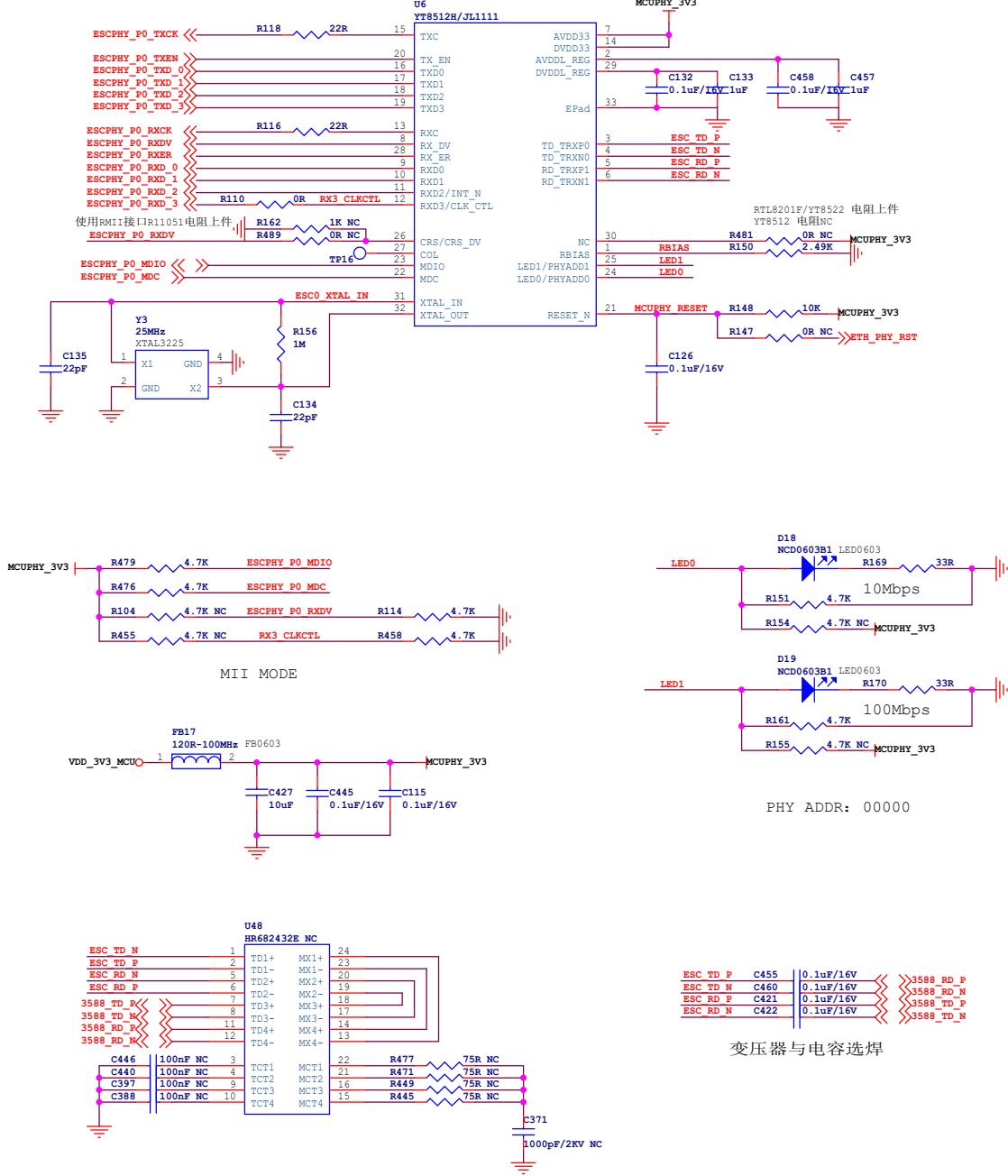


研发图纸				<Doc>		
版本		更改描述		签 字	日期	
标记	处数	更改文件号	签 字	日期		所属装配号
设 计						
校 对						
审 核						
工 艺 审 查						
标 审						
审 定						
批 准						

32.MCU HPM\_3

Q10\_RK3588J\_V0.1

五八智能科技  
(杭州)有限公司



8	RX_DV	O/PD	Receive Data Valid. This pin's signal is asserted high when received data is present on the RXD[3:0] lines. The signal is de-asserted at the end of the packet. The signal is valid on the rising edge of the RXC. This pin should be pulled low when operating in MII mode. Power On Strapping for MII/RMII selection. 0: MII mode 1: RMII mode An internal weakly pulled low resistor sets this to the default of MII mode. It is possible to use an external 4.7kΩ pulled high resistor to enable RMII mode. After power on, the pin operates as the Receive Data Valid pin.
---	-------	------	--

12	RXD[3]/CLK_CTL	O/PD	Receive Data [3] RXD[3]/CLK_CTL pin is the Power On Strapping in RMII Mode. 1: REF_CLK input mode, RMII1 mode 0: REF_CLK output mode, RMII2 mode Note: An internal weakly pulled low resistor sets RXD[3]/CLK_CTL to REF_CLK output mode (default).
----	----------------	------	---

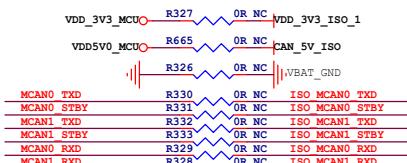
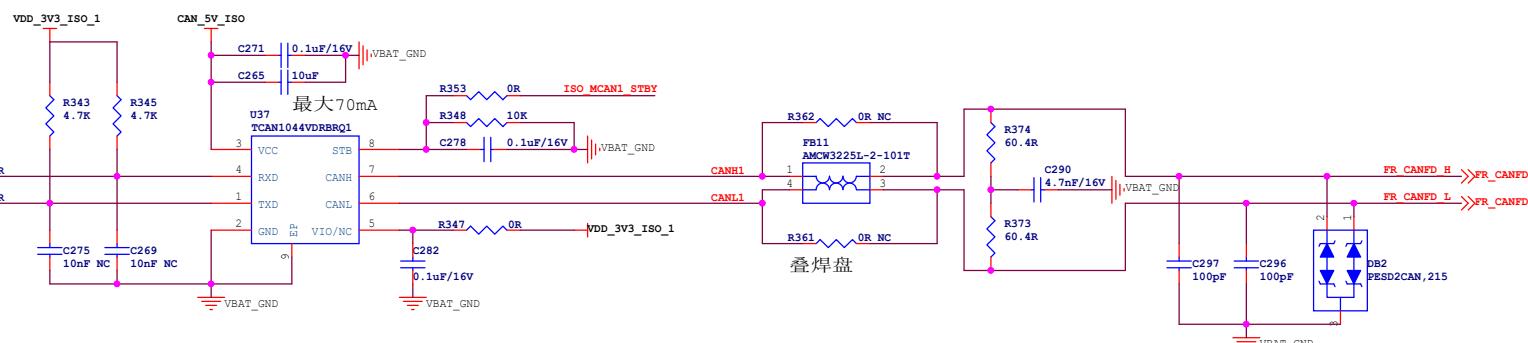
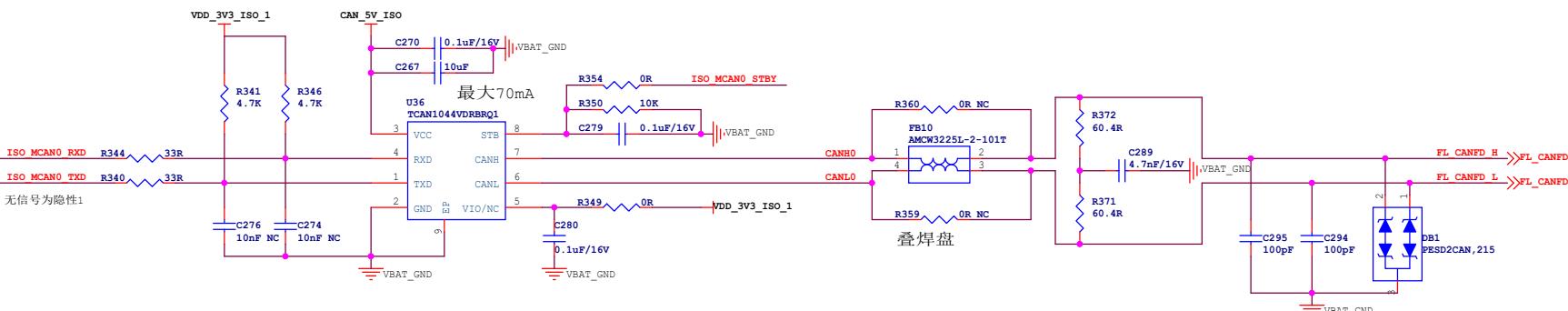
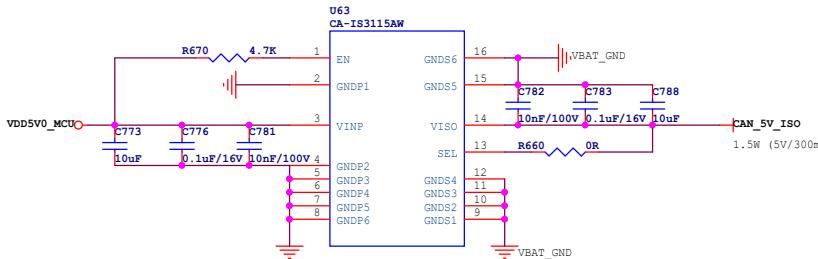
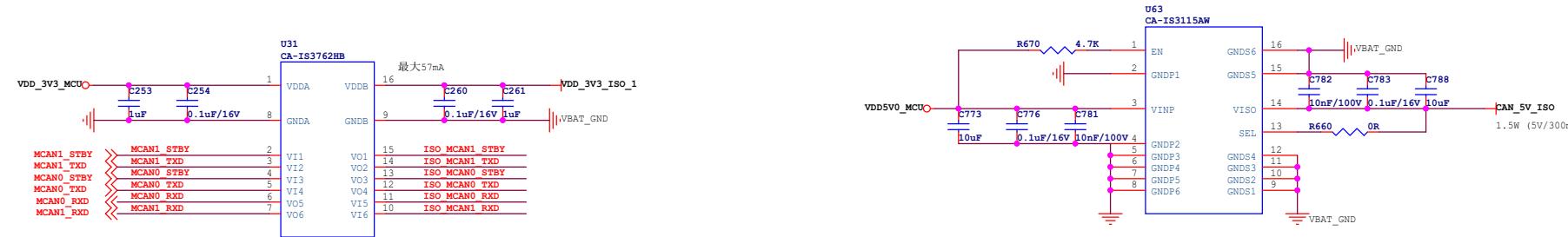
#### MODE CONFIG

Pin 8 RX_DV (PD)	Pin 12 RXD3 (PD)	Mode
0	0	MII
0	1	ReMII, Reverse MII Mode
1	0	RMII2, TXC 50Mhz reference clock is output by default
1	1	RMII1, TXC 50Mhz reference clock is input

#### PHY ADDRESS

Pin 24 LED0/PHYAD[0] (PD)	Pin 25 LED1/PHYAD[1] (PD)	PHY address
0	0	00000
0	1	00010
1	0	00001
1	1	00011

研发图纸				<Doc>			
版本	更改描述	签字	日期	所属装配号	阶段标记	重量	比例
0.1							
标记处数	更改文件号	签字	日期				
设计							
校对							
审核							
工艺审查							
标 审							
审 定							
批 准							
34.MCU PHY 100Mbps				共 48 张	第 32 张		
Q10_RK3588J_V0.1				五八智能科技 (杭州)有限公司			



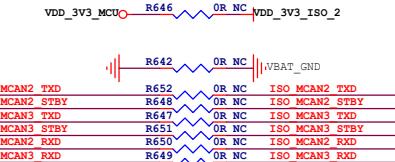
Placed under U9954

研发图纸				<Doc>		
版本		更改描述		签 字	日 期	
标记	处数	更改文件号	签 字	日 期		
设计						
校对						
审核						
工艺审查						
标 审						
审 定						
批 准						

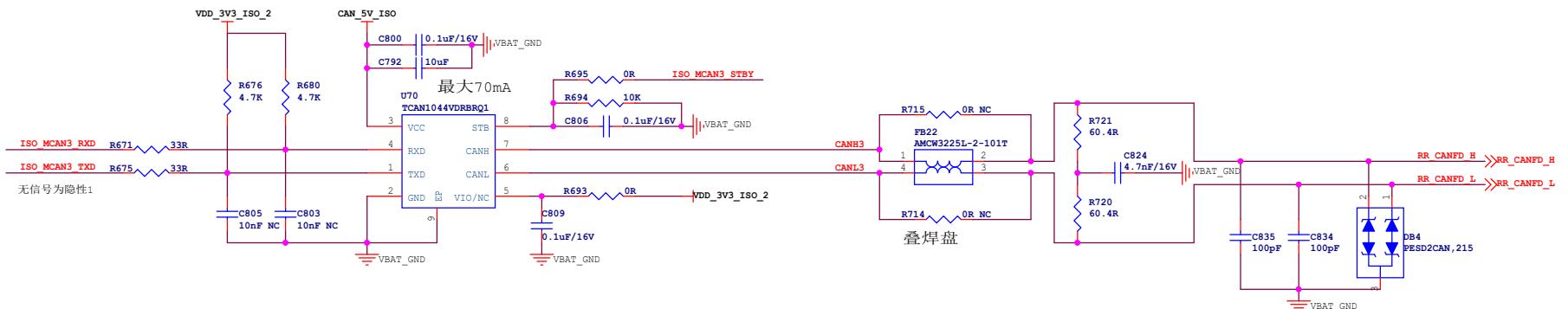
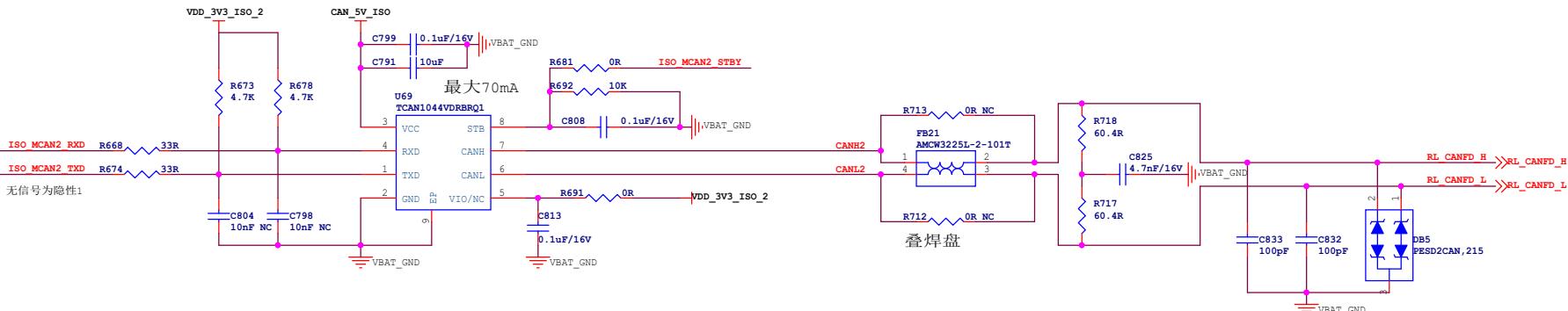
35.FDCAN\_FL&FR

Q10\_RK3588J\_V0.1

所属装配号			
阶段标记		重 量	比 例
(Y)	S	L	A3
共 48 张	第 33 张		
五八智能科技(杭州)有限公司			



Placed under U9948

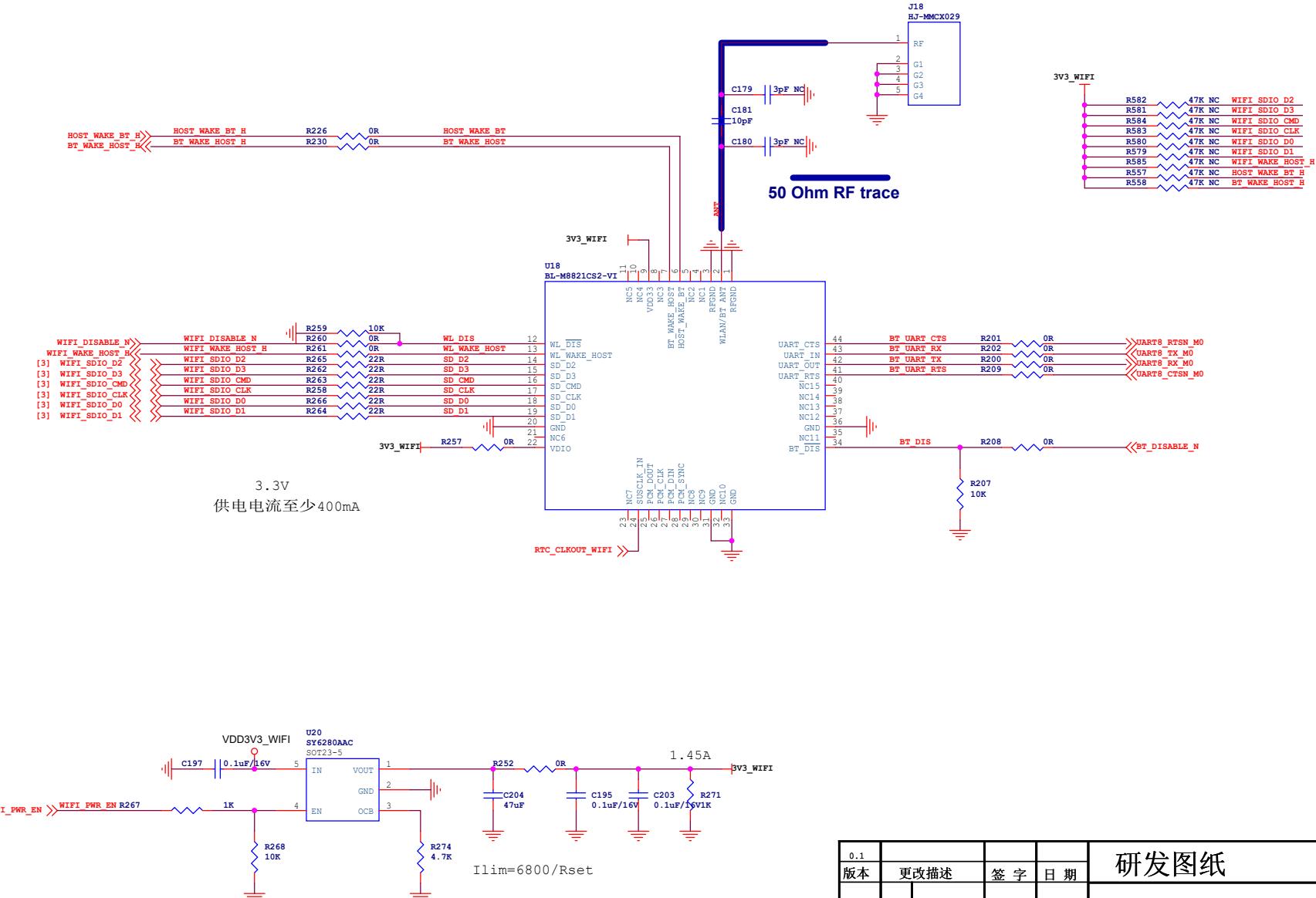


研发图纸				<Doc>		
版本		更改描述		签 字	日 期	
标记	处数	更改文件号	签 字	日 期		阶段标记
设计						重量
校对						比例
审核						(Y) S L
工艺审查						A3
标 审						共 48 张
审 定						第 34 张
批 准						五八智能科技 (杭州)有限公司

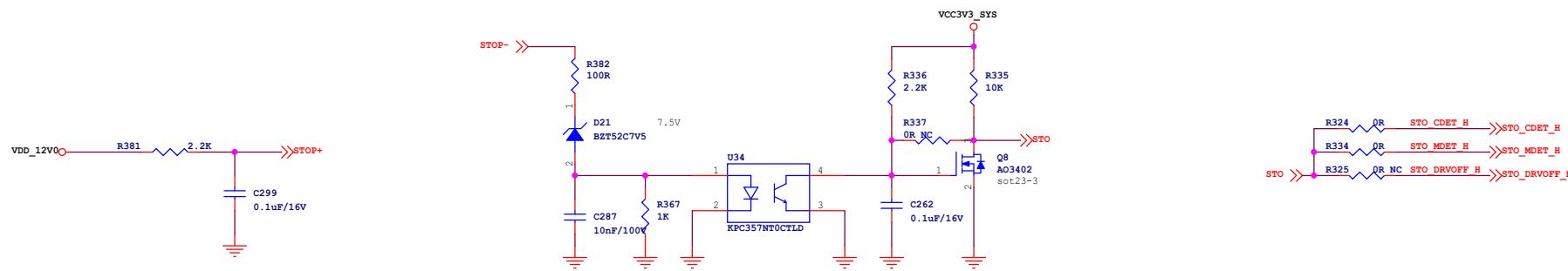
36.FDCAN\_RL&RR

Q10\_RK3588J\_V0.1

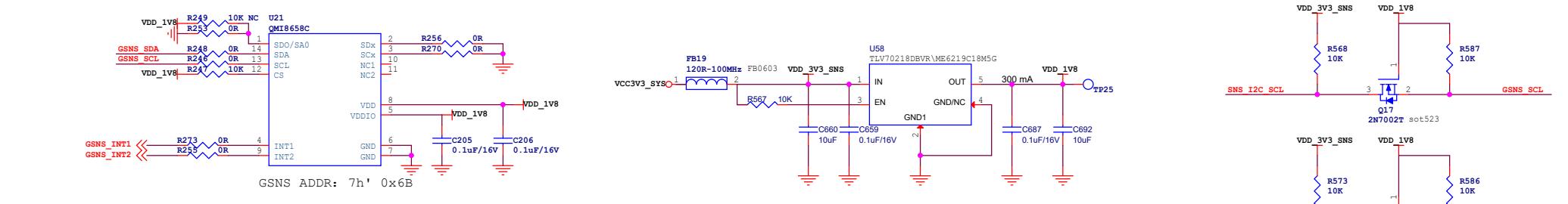
# IEEE 802.11a/b/g/n/ac 433Mbps WiFi5 + BT4.2 SDIO Module



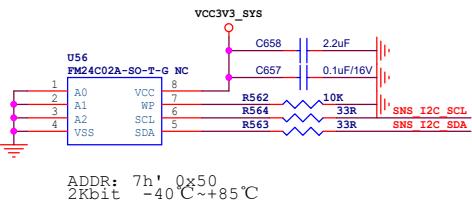
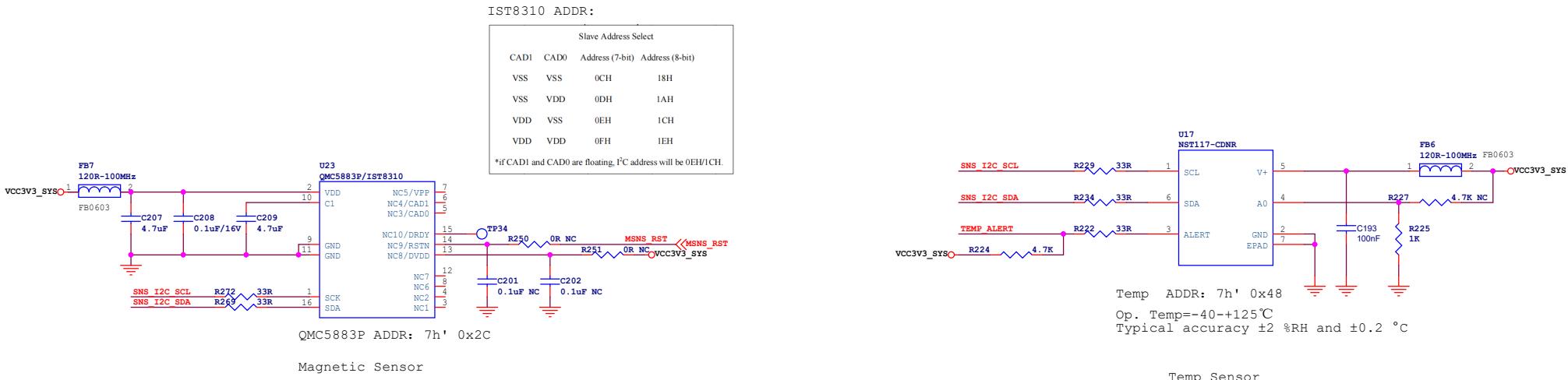
研发图纸				<Doc>			
版本	更改描述	签 字	日期	所属装配号	阶段标记	重 量	比 例
37.WIFI 433Mbps/BT 4.2							
设计				(Y)	S	L	A3
校对							
审核							
工艺审查							
标 审							
审 定							
批 准							
Q10_RK3588J_V0.1				共 48 张 第 35 张			
五八智能科技 (杭州)有限公司							



0.1				研发图纸 39.STO Q10_RK3588J_V0.1	<Doc>			
版本	更改描述	签 字	日期					
标记	处数	更改文件号	签 字					
设 计					阶段标记			
校 对					重 量			
审 核					比 例			
工艺审查					<input checked="" type="checkbox"/> S L			
标 审					A3			
审 定					共 48 张 第 36 张			
批 准				八八智能科技 (杭州)有限公司				



GSNS\_I2C\_SCL  
GSNS\_I2C\_SDA



0.1

版本 | 更改描述 | 签字 | 日期 | 研发图纸 | <Doc>

标记 | 处数 | 更改文件号 | 签字 | 日期 | 所属装配号 | 阶段标记 | 重量 | 比例

设计 | | | | | | | | |

校对 | | | | | | | | |

审核 | | | | | | | | |

工艺审查 | | | | | | | | |

标审 | | | | | | | | |

审定 | | | | | | | | |

批准 | | | | | | | | |

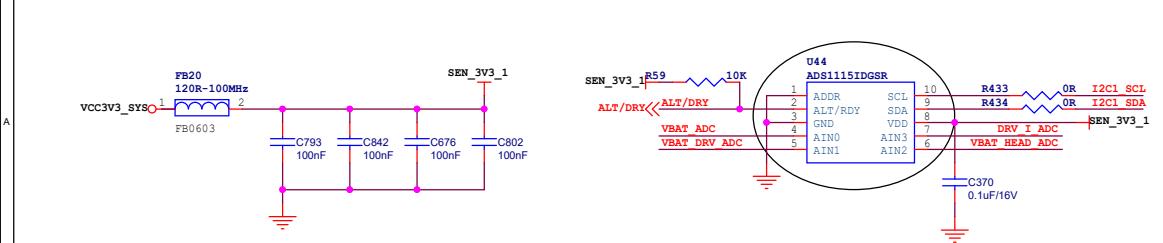
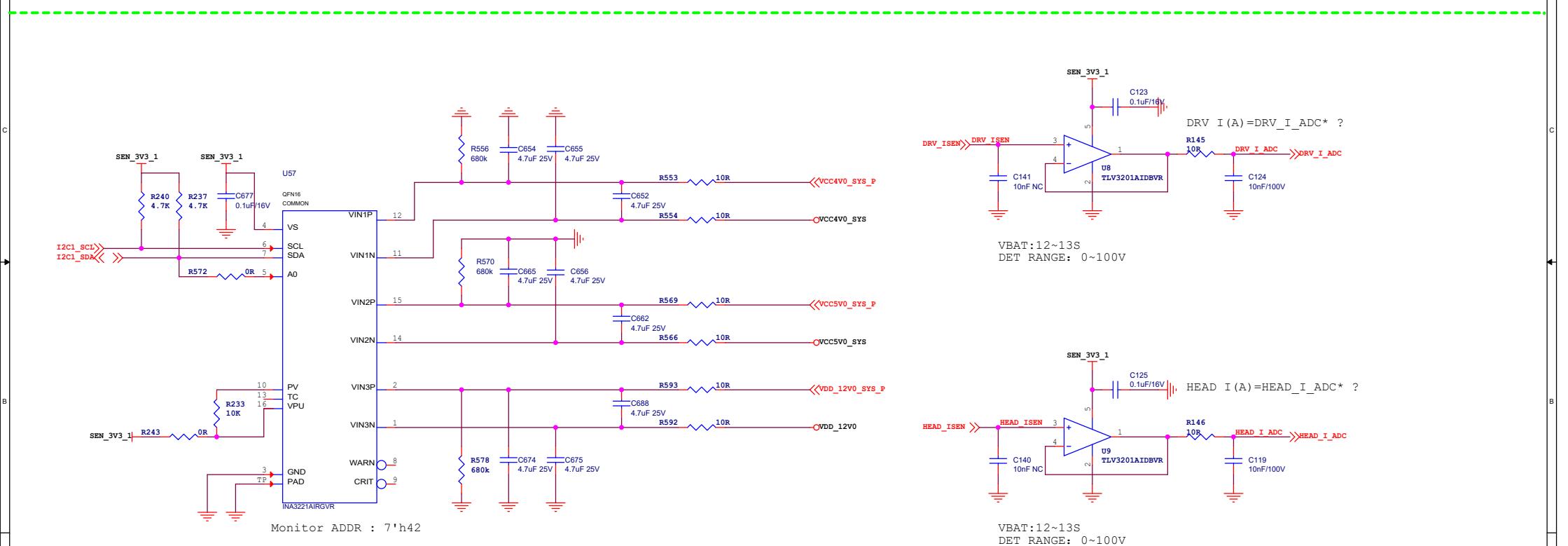
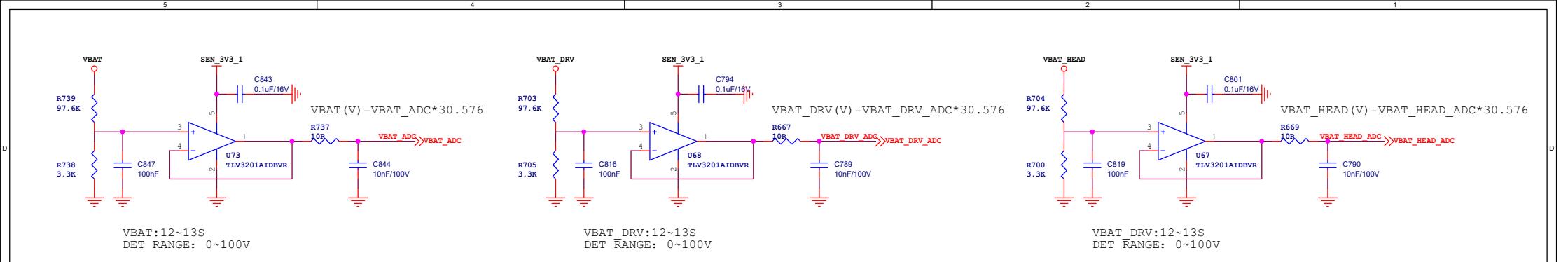
**38.SNS\_IMU&Magnetic**

**Q10\_RK3588J\_V0.1**

**(Y) S L** A3

共 48 张 第 37 张

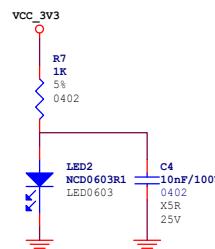
五八智能科技(杭州)有限公司



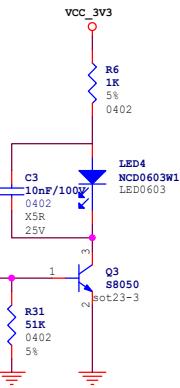
研发图纸				<Doc>			
版本		更改描述		签 字		日期	
标记		处数		更改文件号		签 字	
设计	校对	审核	工艺审查	标 审	审 定	批 准	阶段标记
							S
							L
							A3
40.Power Monitors				共 48 张 第 38 张			
Q10_RK3588J_V0.1				五八智能科技 (杭州)有限公司			

>>Power\_LED\_EN\_H\_GPIO3\_B7  
 >>SSD\_LED\_EN\_H\_GPIO3\_C1  
 >>MCURUN\_LED

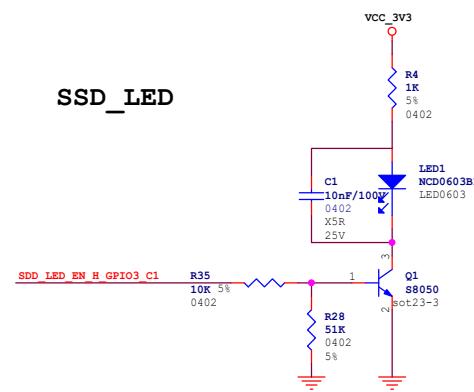
### Power\_LED



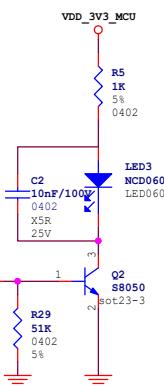
### 3588 Work\_LED



### SSD\_LED

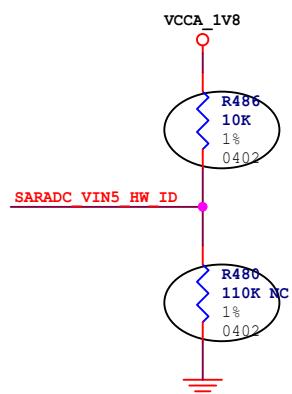


### MCU Work\_LED

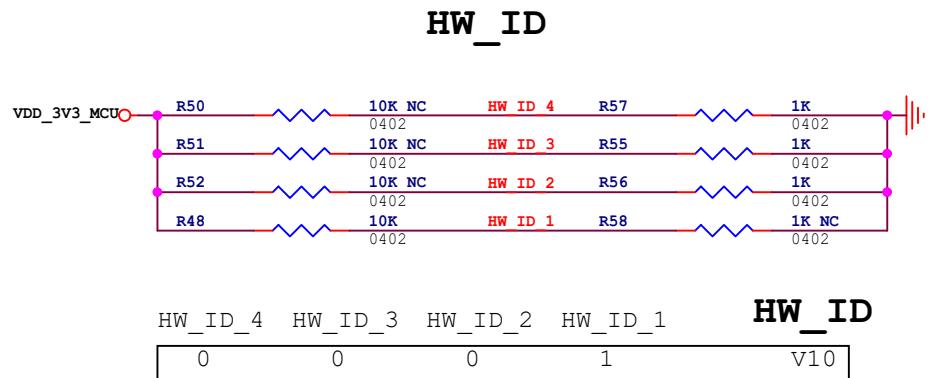


0.1				研发图纸		<Doc>	
版本	更改描述	签 字	日期			所属装配号	
标记	处数	更改文件号	签 字	日期			
设计							
校对							
审核							
工艺审查							
标 审							
审 定							
批 准							
48.PWR&SYS_LED				阶段标记	重 量	比 例	A3
(Y)	S	L					
Q10_RK3588J_V0.1				共 48 张	第 39 张		
五八智能科技(杭州)有限公司							

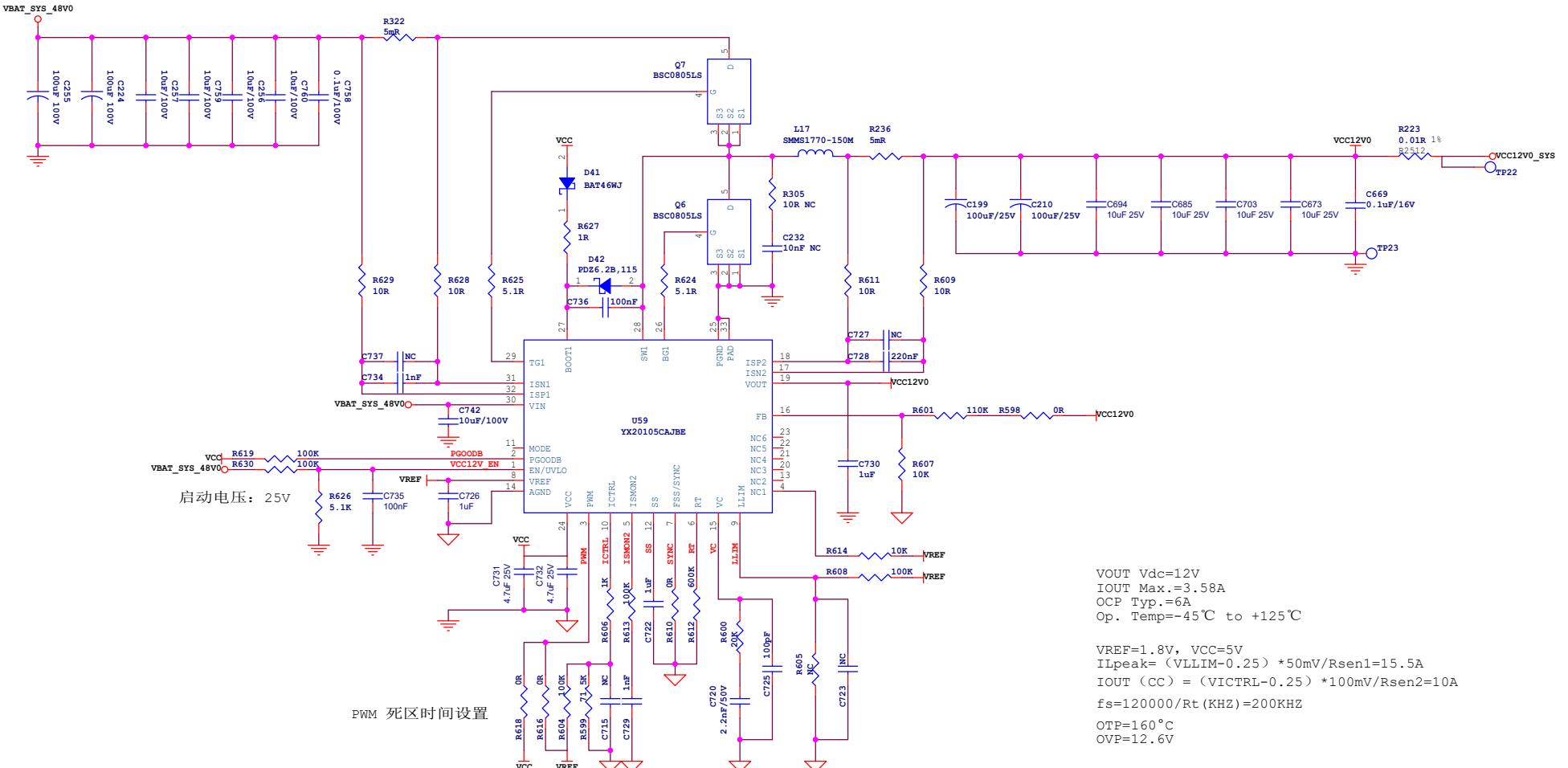
{{<< SARADC\_VIN5\_HW\_ID  
 {{<< HW\_ID\_4  
 {{<< HW\_ID\_3  
 {{<< HW\_ID\_2  
 {{<< HW\_ID\_1



SARADC_VIN1	Up Resistance	Down Resistance	AD value
HW ID0	10K	DNP	4095
HW ID1	10K	110K	3754
HW ID2	20K	100K	3413
HW ID3	33K	100K	3079
HW ID4	18K	36K	2730
HW ID5	36K	51K	2400
HW ID6	51K	51K	2048
HW ID7	51K	36K	1695
HW ID8	36K	18K	1365
HW ID9	100K	33K	1016
HW ID10	100K	20K	683
HW ID11	110K	10K	341
HW ID12	DNP	10K	0



0.1								
版本	更改描述		签 字	日期	研发图纸 <Doc>			
标记	处数	更改文件号	签 字	日期	所属装配号			
设计					阶段标记 重量 比例			
校对					(Y) S L A4			
审核					共 48 张 第 40 张			
工艺审查					Q10_RK3588J_V0.1			
标审					五八智能科技 (杭州)有限公司			
审定								
批准								

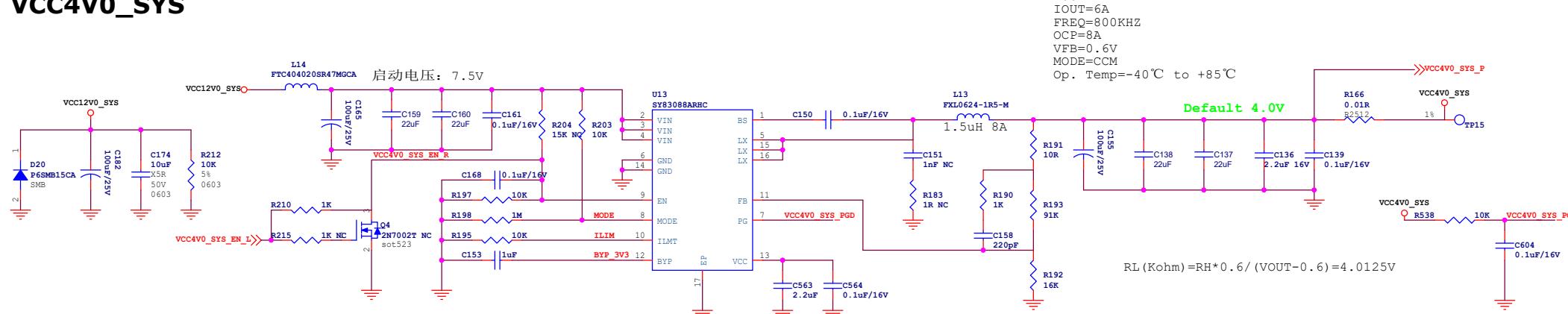


研发图纸				<Doc>		
版本		更改描述		签	字	日期
标记	处数	更改文件号	签	字	日期	
设计						
校对						
审核						
工艺审查						
标 审						
审 定						
批 准						

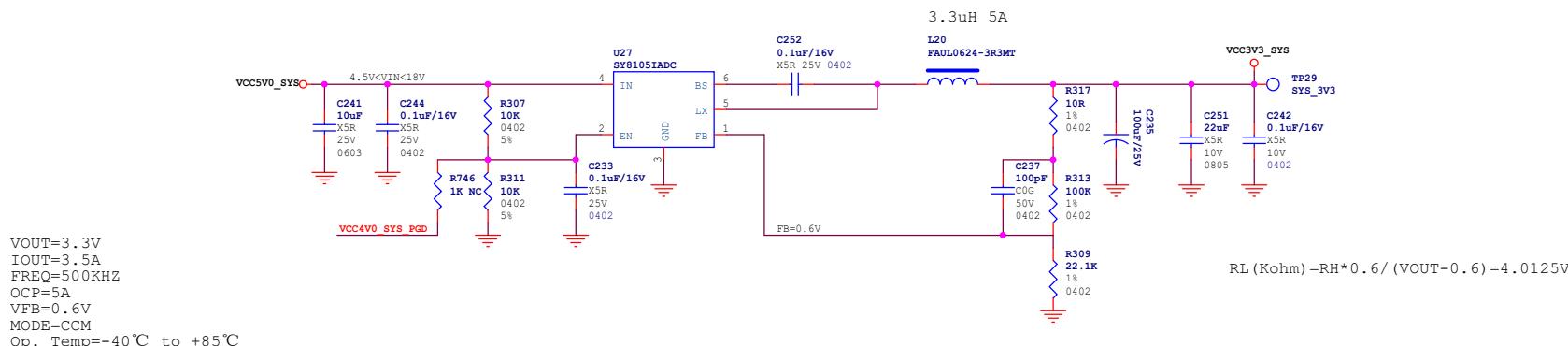
  

41.Power_Sys12V0			所属装配号
阶段标记	S	L	A3
共 48 张	第 41 张		
Q10_RK3588J_V0.1			
五八智能科技(杭州)有限公司			

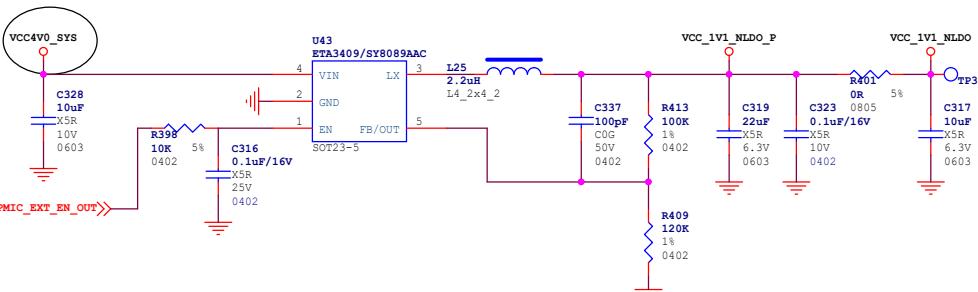
# VCC4V0\_SYS



# VCC3V3\_SYS



# VCC\_1V1\_NLDO



研发图纸				<Doc>			
版本		更改描述		签 字		日期	
标记	处数	更改文件号	签 字	日期			
设计							
校对							
审核							
工艺审查							
标 审							
审 定							
批 准							

42.Power\_Sys4V/Sys3V3

Q10\_RK3588J\_V0.1

所属装配号

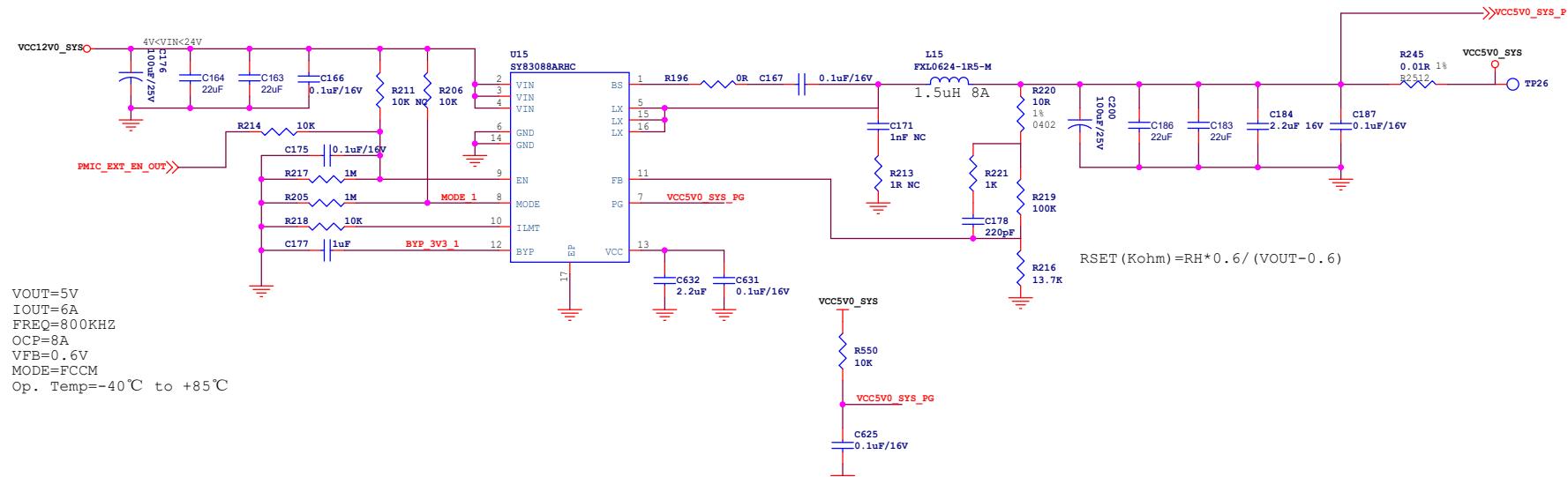
阶段标记 重量 比例

(Y) S L A3

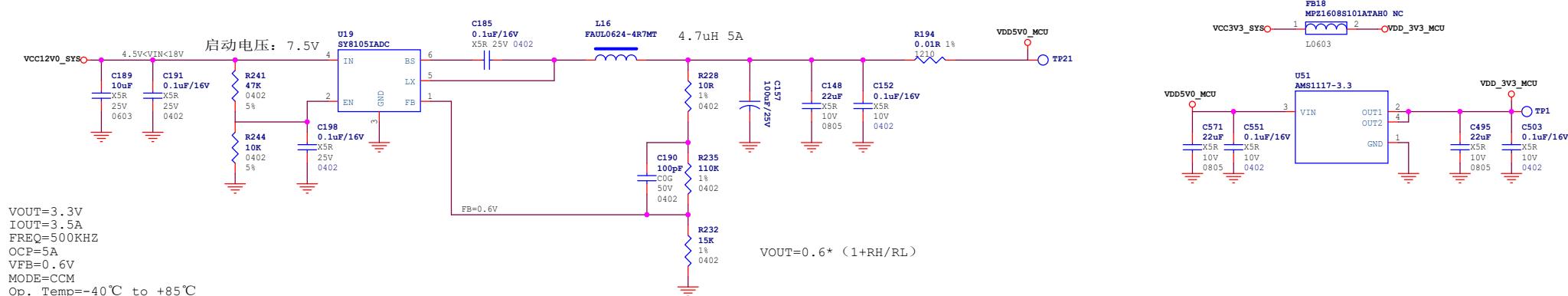
共 48 张 第 42 张

五八智能科技(杭州)有限公司

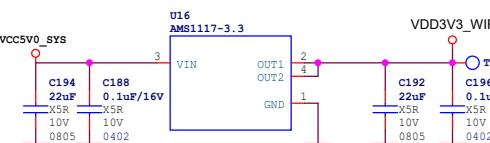
VCC5V0\_SYS



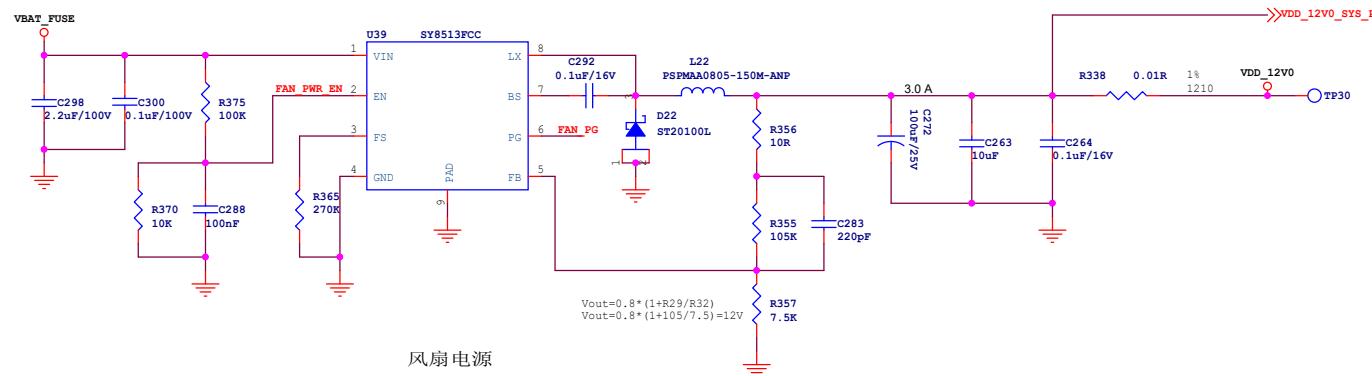
VDD5V0 MCU



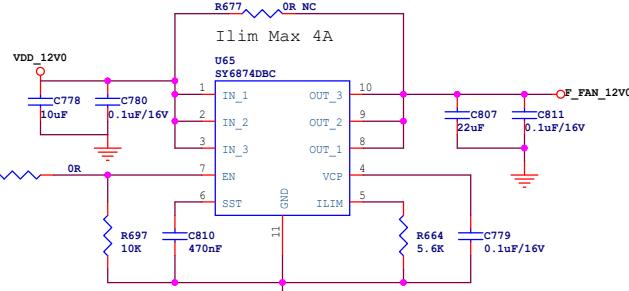
VDD3V3 WIFI



0.1				研发图纸 43.Power_Sys5V/Vdd3V3 Q10_RK3588J_V0.1	所属 装配号 阶段标记 Y S L 共 48 张 第 43 张 五八智能科技 (杭州)有限公司	<Doc>			
版本	更改描述	签 字	日期						
标记	处数	更改文件号	签 字			日期			
设 计									
校 对									
审 核									
工艺审查									
标 审									
审 定									
批 准									

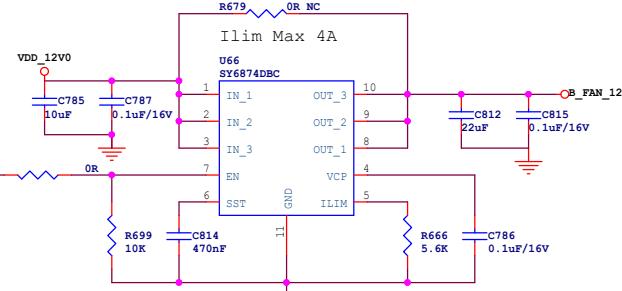


VDD\_12V0 → R711 (10K) → FAN PG → R710 (3.3K) ||  
FB9 L0603  
MP21608S101ATAH0 NC  
VCC12V0\_SYS → 1 → VDD\_12V0\_SYS\_P



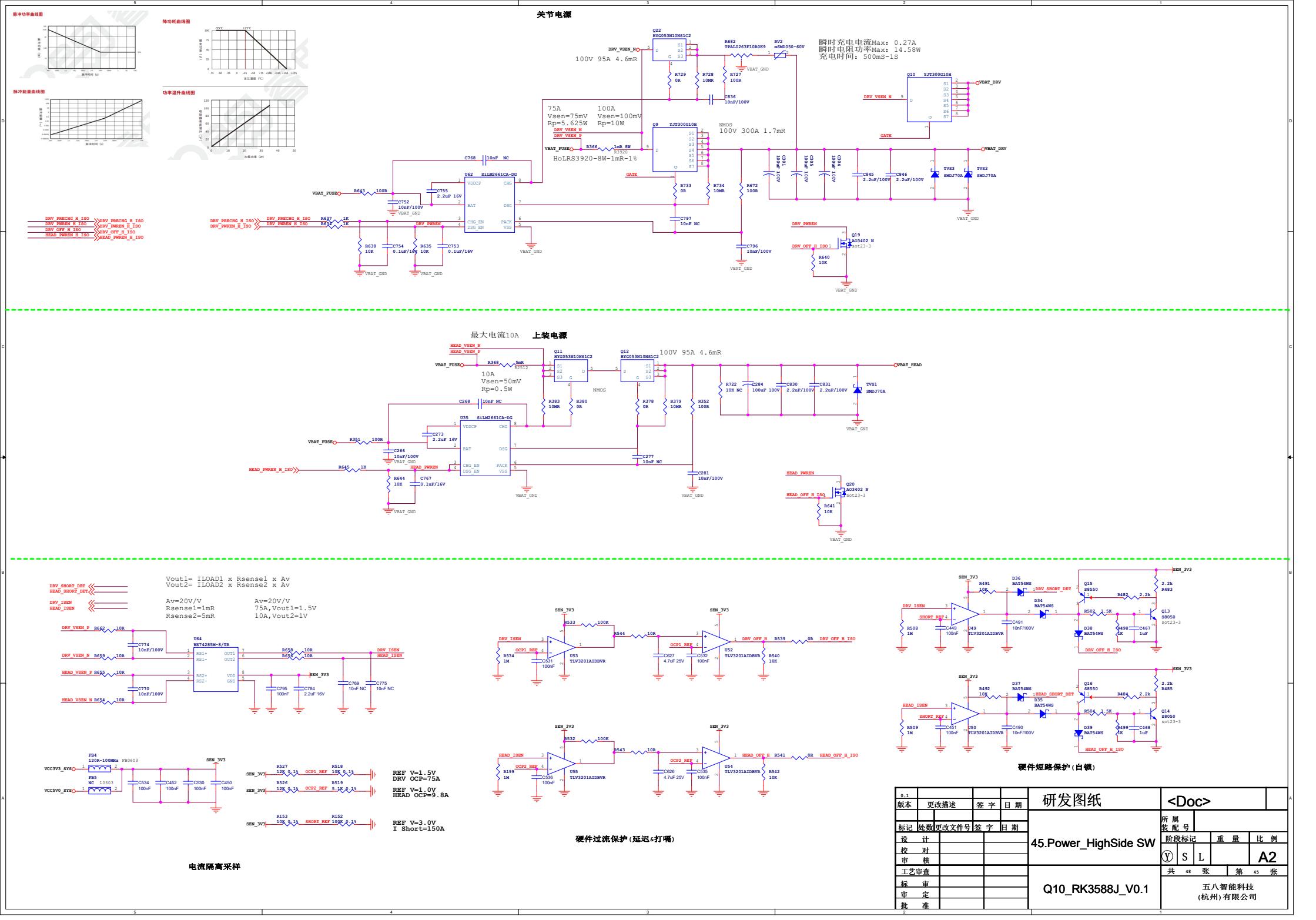
关节风扇电源

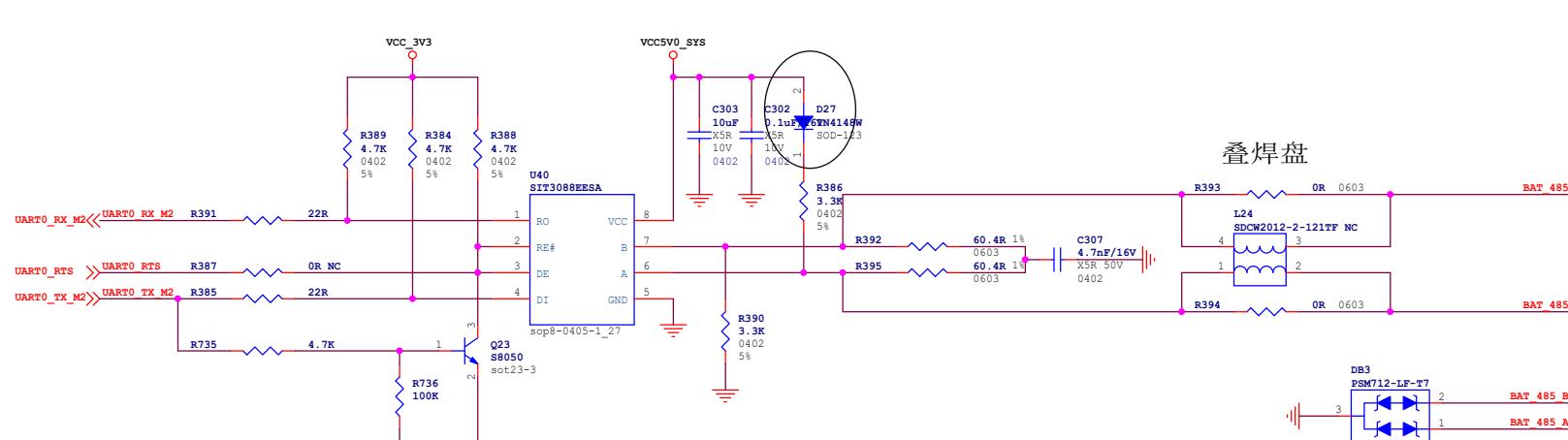
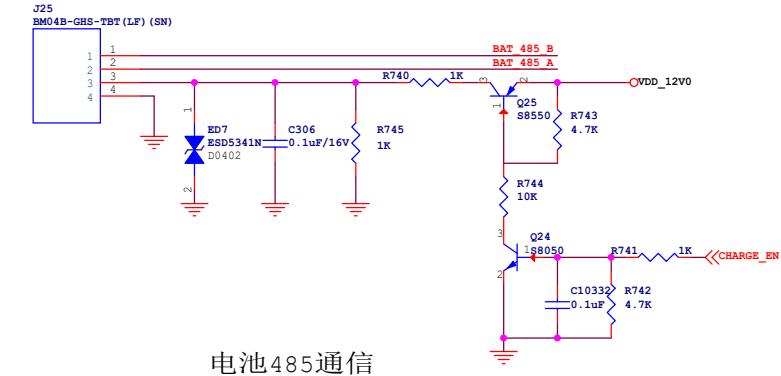
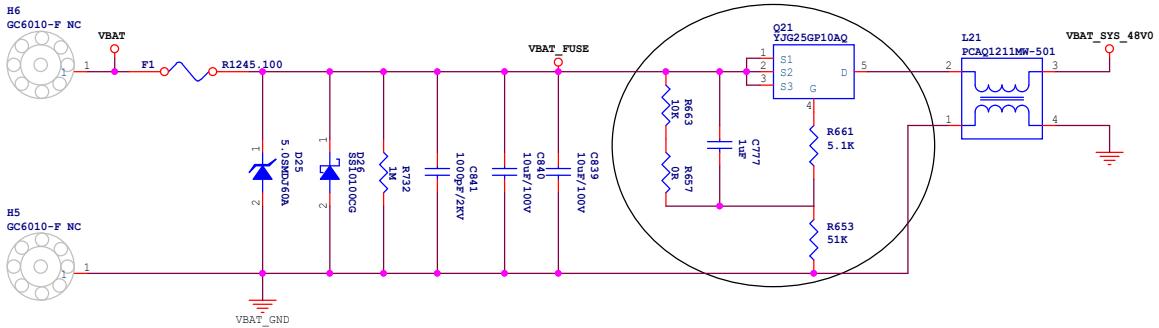
SY6874DBC  
VIN Max.=15V  
VOUT Vdc=12V  
IOUT Max.=4A  
ILim=1.96A  
Op. Temp=-40°C to +125°C



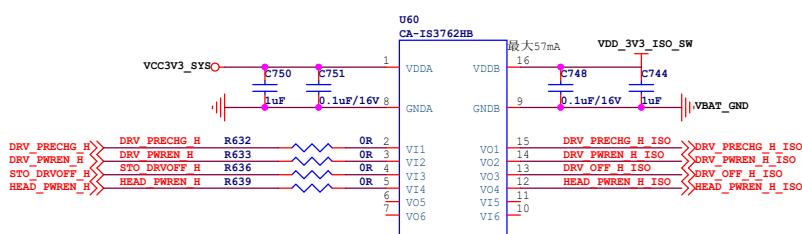
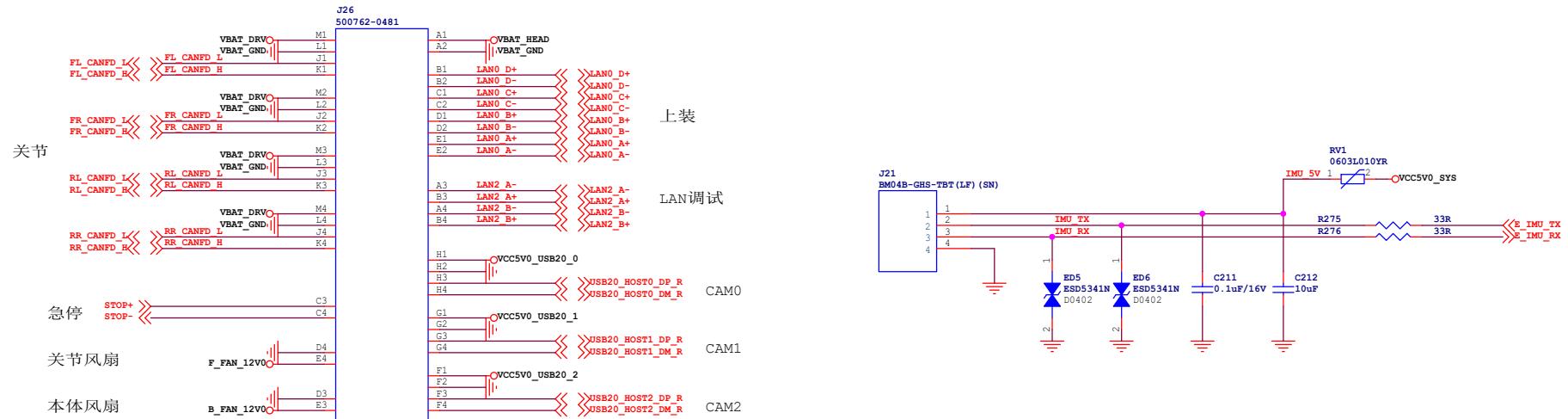
外壳风扇电源

研发图纸				<Doc>		
版本		更改描述		签 字	日 期	所属装配号
44.Power_Fan12V0						
设计						阶段标记
校对						重 量
审核						比 例
工艺审查						(Y) S L
标 审						A3
审 定						
批 准						
Q10_RK3588J_V0.1				共 48 张	第 44 张	五八智能科技(杭州)有限公司

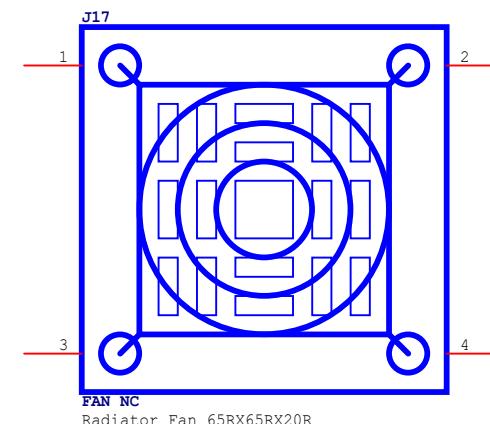
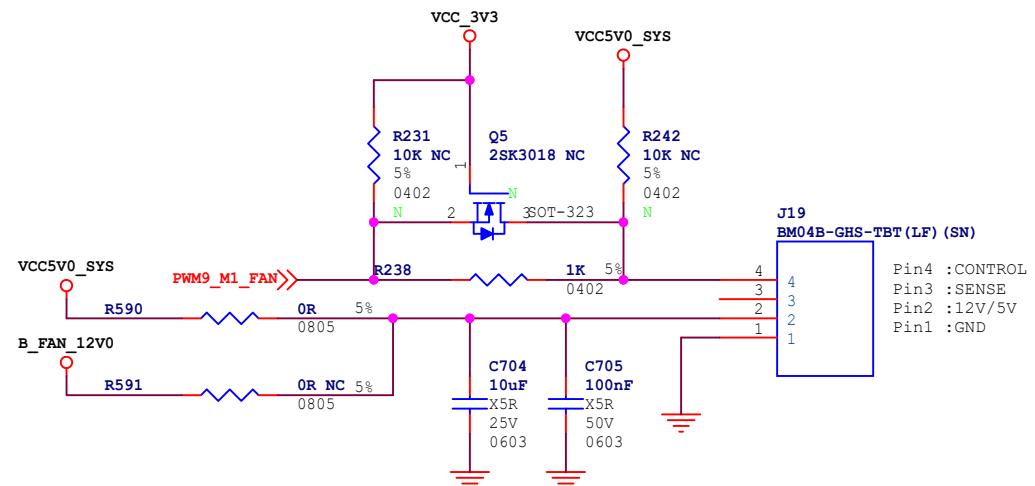
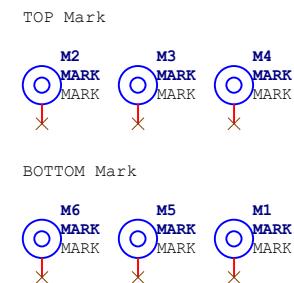
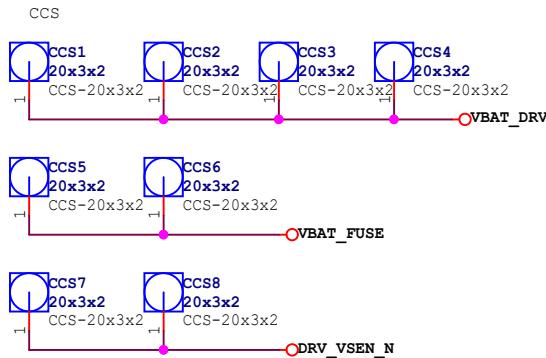
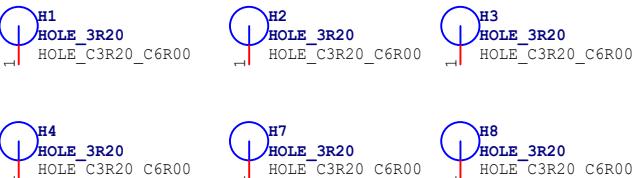




研发图纸				<Doc>			
版本		更改描述		签 字		日期	
0.1							
标记	处数	更改文件号		签 字		日期	
设计							
校对							
审核							
工艺审查							
标 审							
审 定							
批 准							
46.I/F BAT				所属装配号			
Q10_RK3588J_V0.1				阶段标记	重 量	比 例	A3
				(Y)	S	L	
				共 48 张	第 46 张		
				五八智能科技 (杭州)有限公司			



0.1				研发图纸 47.I/F 48P Conn Q10_RK3588J_V0.1	<Doc>		
版本	更改描述		签 字	日期			
标记	处数	更改文件号	签 字	日期			
设 计							
校 对							
审 核							
工艺审查							
标 审							
审 定							
批 准							



0.1

版本	更改描述	签字	日期	研发图纸		<Doc>	
标记	处数	更改文件号	签字	日期	所属装配号		
设计					阶段标记		重量
校对					(Y)	S	L
审核							A4
工艺审查					共 48 张		第 48 张
标审							
审定							
批准							

50.Mark/Hole/Heatsink

Q10\_RK3588J\_V0.1

五八智能科技  
(杭州)有限公司