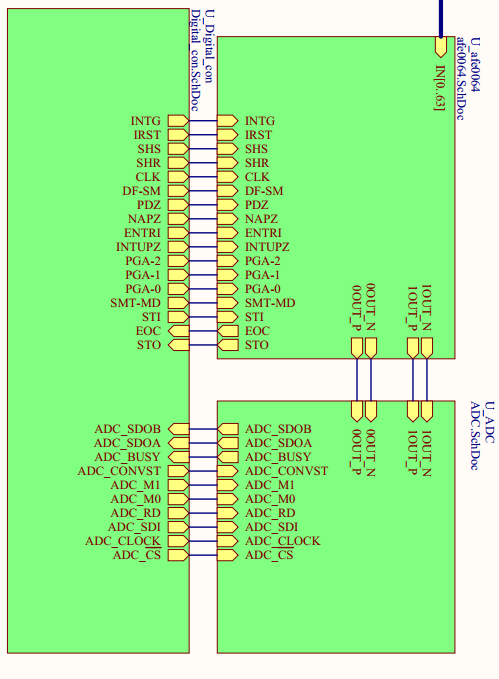
# 本文档的使用范围

本文档为xxx系统的信号采集板提供驱动支持，主要涉及芯片为AFE0064和ADS8363。

# 系统总体设计要求

## 总体功能要求

信号采集板功能：通过传输线缆，接收来自xxx的微弱电荷，转换为电压信号。将电压信号经过模数转换（ADC）后，经传输线缆传输到主控单元。



其中模拟前端模块的主芯片为TI公司的AFE0064，数据转化传输率为0.25MHz~3.75MHz。

ADC模块主芯片为TI公司ADS8363，16位精度，25kSPS~1MSPS，差分输入范围±VREF（内置，0.5V~2.5V，通过10位DAC可调），输入电压范围-0.1V~AVDD(5V)。

程序需要实现对AFE0064和ADS8363的驱动控制，以完成对探测器64通道的采样输出。

## 软件开发平台

# 软件开发

## 软件需求分析

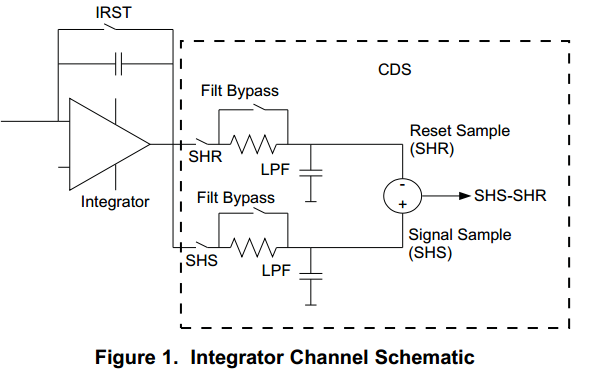
主要是实现以下三个功能

1. 驱动AFE0064
2. 驱动ADS8363
3. 实现两个芯片间时序关系

## 模块设计

### AFE0064驱动

AFE0064芯片主要有两个功能：电荷积分和数据读出，积分通道原理图如下所示：

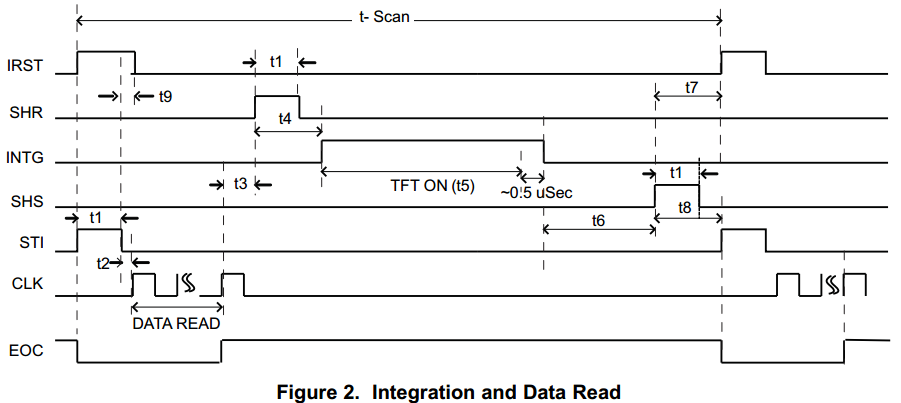


SHR采样积分器复位电平输出和SHS采样积分器输出后置积分信号充电，其差值为输出信号。这种行为被称为“相关双采样”(CDS)。CDS从设备输出中去除积分器偏移和低频噪声。

#### 端口描述

|  |  |  |  |
| --- | --- | --- | --- |
| 控制端口 | | | |
| INTG | I | 信号采样(SHS)的滤波带宽控制，高电平带宽高。 | x |
| IRST | I | 上升沿：复位积分电容 | x |
| SHS | I | 上升沿：采样积分器的64通道信号 | x |
| SHR | I | 上升沿：采样积分器的64通道复位 | x |
| CLK | I | 同步模式：在CLK上升沿连续输出通道模拟电压 | x |
| PDZ | I | 低电平：使设备处于关机模式 | 1 |
| NAPZ | I | 低电平：使设备处于睡眠模式 | 1 |
| ENTRI | I | 高电平：输出完所有数据后端口进入三态模式 | 1 |
| STI | I | 上升沿：复位通道计数器 下降沿：使能输出数据 | x |
| STO | O | 延迟ST以级联下一个ASIC | x |
| EOC | O | 低电平：读取数据 | x |
| 模式选择 | | | |
| SMT-MD | I | 高电平：同步模式 低电平：顺序模式 | 1 |
| INPUTZ | I | 高电平：选择“integration-down”模式 | 1 |
| PGA范围选择 | | | |
| PGA | I | 选择8路模拟输入范围 | 111 |
| TFT电荷注入补偿 | | | |
| DF-SM | I | 控制积分电容上的补偿电荷 | x |

#### 控制时序



实际上在DATA READ读取到的数据，是上一次采样的数据。数据经由SHR再到SHS，储存在对应的电容中，由它们的差值SHS-SHR给出。在读取完数据后最好停止CLK。

#### 时间参数

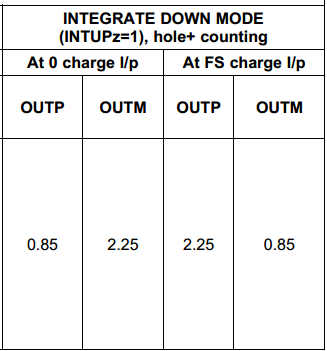
|  |  |  |  |
| --- | --- | --- | --- |
| 参数 | 描述 | 范围 | 选值 |
| CLK | 同步模式 | 0.25~3.75MHz | 0.769MHz |
| t-scan | 64通道一次转换时间 | > 28.3 us | 63.14 us |
| t1 | IRST,SHR,SHS,STI高电平持续时间 | > 30 ns | 50 ns |
| t2 | 启动时间：从IRST下降沿到CLK第一个上升沿 | > 30 ns | 50 ns |
| t3 | 延时：从第33个时钟上升沿到SHR上升沿 | > 400 ns | 650 ns |
| t4 | 延时：从SHR上升沿到INTG上升沿 | > 30 ns | 100 ns |
| t5 | TFT开启时间 | 14 ~ 270 us | 14 us |
| t6 | 延时：INTG下降沿到SHS上升沿 | > 4.5 us | 5 us |
| t7 | 延时：SHS上升沿到IRST上升沿 | > 30 ns | 100 ns |
| t8 | 延时：SHS上升沿到STI上升沿 | > 30ns | 100 ns |
| t9 | 保持时间：STI下降沿到IRST下降沿 | > 10 ns | 50 ns |

t-scan = t1 + t2 + tclk\*32 + t3 + t4 + t5 + 0.5 + t6 + t7

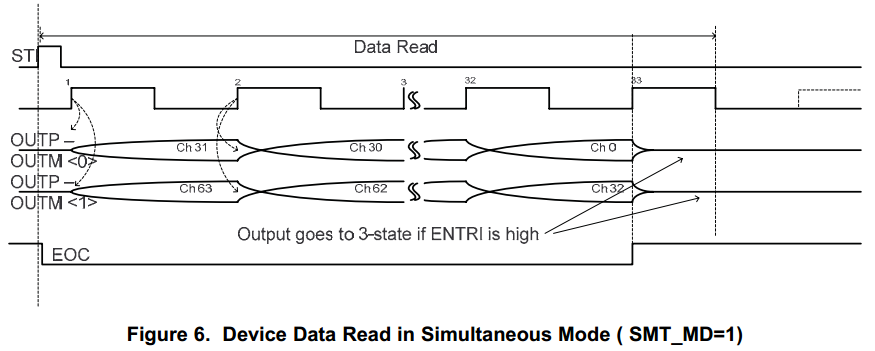
在INTPUZ=1，integrator down模式下：



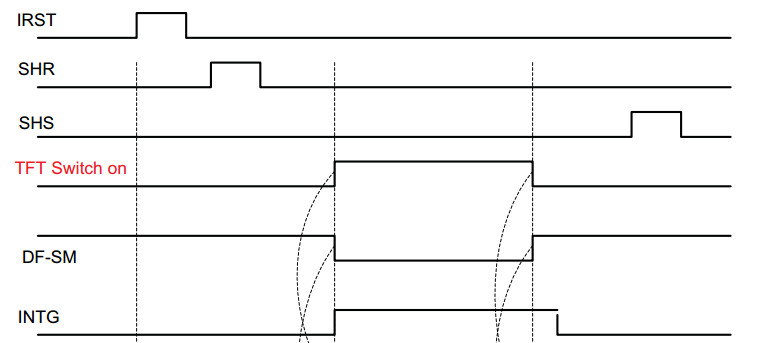
对应输出如下：



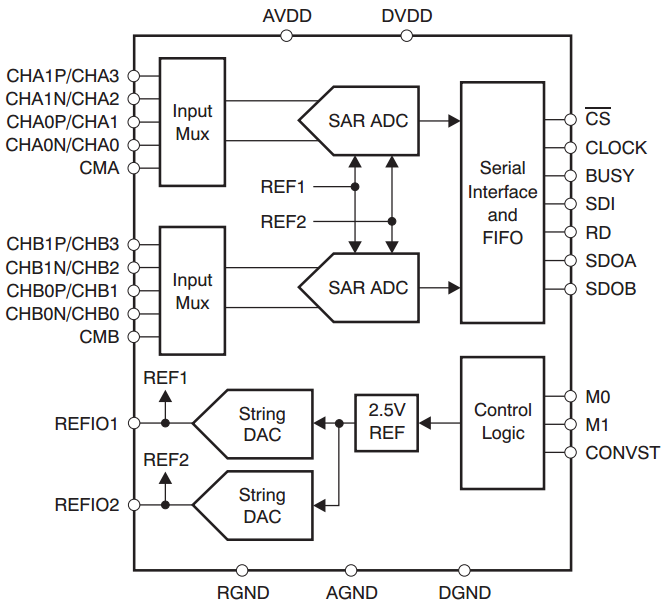
芯片拥有两路输出，对应输出1（通道63-32），输出0（通道31-0），为了方便数据处理将选择同步模式，两路输出同步泵出数据：



补偿电容开关DF-SM控制：



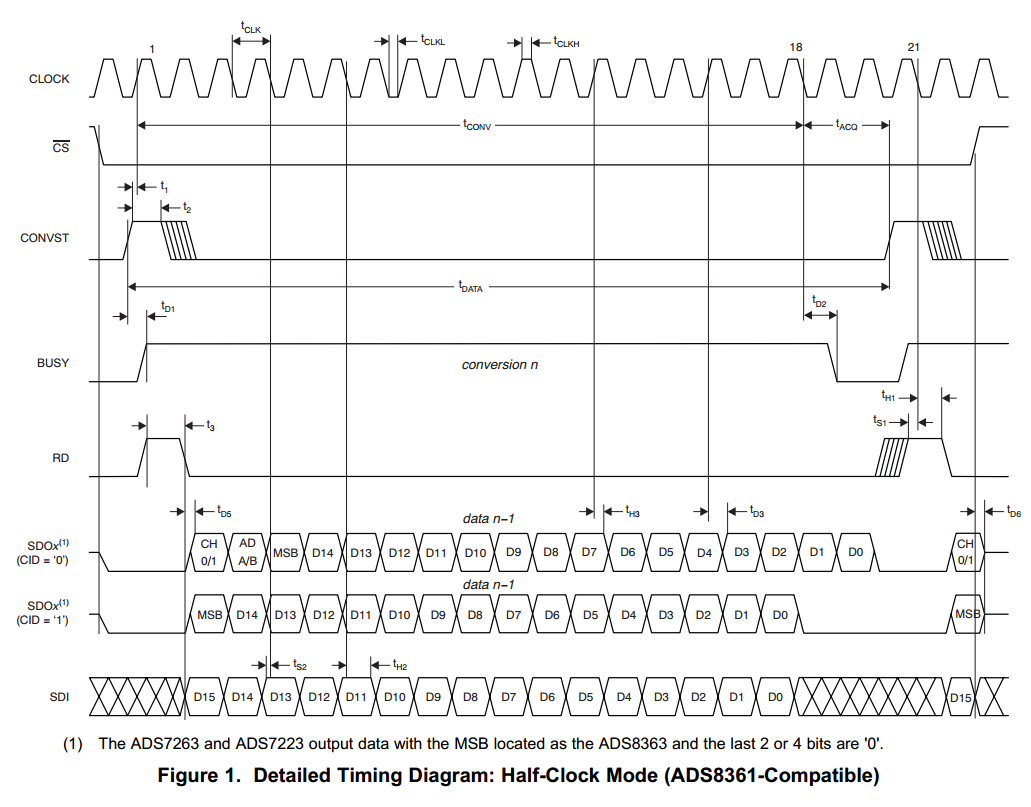
### ADS8363驱动



#### 端口描述

|  |  |  |
| --- | --- | --- |
| 端口 | 类型 | 描述 |
| CHA/CHB | AI | 模拟输入端 |
| CMA/CMB | AI | 半双工下common-mode电压输入 |
| REFIO | AIO | 参考电压 |
| CS | DI | 片选，低电平有效（SDO,SDI,RD此时有效） |
| BUSY | DO | 高电平：输入进入保持模式 低电平：转换结束 |
| RD | DI | SDO和SDI的同步脉冲（CS有效时触发） |
| SDI | DI | 用于设定内部寄存器 |
| SDOA | DO | 转换A的串行数据输出（CS无效时为三态模式） |
| SDOB | DO | 转换B的串行数据输出，仅当M1为0有效 |
| M0 | DI | 选择模拟输入通道模式 |
| M1 | DI | 选择数字输出模式 |
| CONVST | DI | 上升沿：ADC采样进入保持模式，下一个CLK上升沿开始转换 |

半时钟模式下时序图如下



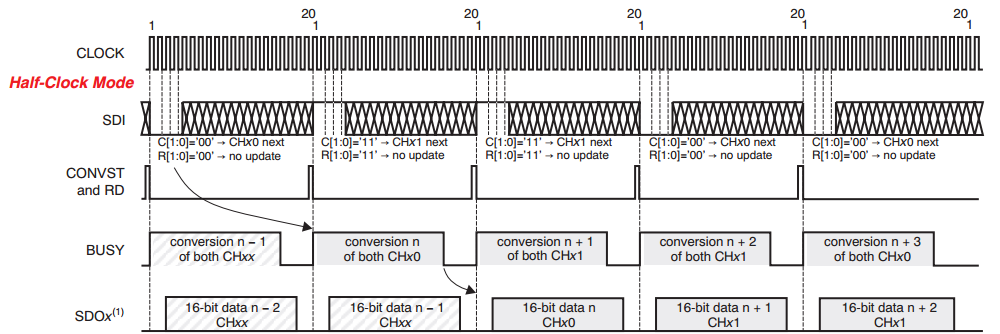
当使能内部计数器时，计数器两位将替代 CH 和 AD 的位置，总的SDO数据输出一直为18位。



#### 时间参数

|  |  |  |  |
| --- | --- | --- | --- |
| 参数 | 描述 | 范围 | 选值 |
| CLK | 半时钟模式时钟 | 0-20MHz | 20MHz |
| tCONV | 一次转换时间 | > 17.5 CLK | 18 CLK |
| t1 | 建立时间：CONV上升沿到CLK第一个上升沿 | > 12 ns | 40 ns |
| t2 | 保持时间：CONV高电平 | 10~50 ns | 40 ns |
| t3 | 保持时间：RD高电平 | < 50 ns | 40 ns |
| ts1 | RD上升沿到CLK下降沿 | > 5 ns | 15 ns |
| tH1 | CLK下降沿到RD下降沿 | > 5 ns | 25 ns |
| ts2 | 建立时间：SDI开始到CLK下降沿 | > 5 ns | 25 ns |
| tH2 | 保持时间：CLK下降沿到SDI结束 | > 5 ns | 25 ns |

由于ADS8363准备采用全差分，双路共同输出，因此在模式选择上为模式1。具体的时序如下：





在第一个转化周期（20个时钟）可以看做初始化，数据在第二个转化周期被转化，并在第三个转化周期出现在SDO上。因此，可以把第一个转化周期看做初始化过程。并且在图中可以看到，RD和CONVST是同步的，并且下降沿对应第一个时钟上升沿。

预设：用100M时钟驱动，当检测到CLK\_AFE上升沿，在下一个CLK\_ADC的上升沿使能CS。

#### 控制时序

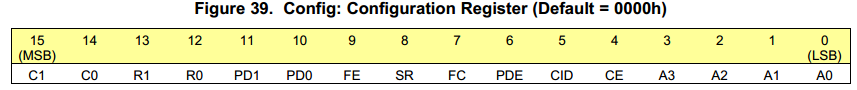


SDI在RD的下降沿按照CLK\_ADC时钟长度，开始给出数据。

结束的时序如下

 在BUSY的下降沿后的第一个CLK\_ADC上升沿，将CS拉高，结束一次AD转换。

#### 寄存器配置



|  |  |  |  |
| --- | --- | --- | --- |
| 参数 | 含义 | 取值 |  |
| C[1:0] | 全差分模式下0x：0通道 1x：1通道 | 00 | 电路只接了0通道 |
| R[1:0] | 00：上传C[1:0] 01：上传全部参数 | 0X | 初始化01 后续00 |
| PD[1:0] | 00：正常模式（没有睡眠） | 00 | 不使用睡眠模式 |
| FE | 0：FIFO无效 1：FIFO使能 | 0 | 模式1FIFO无效 |
| SR | 0：特殊读模式无效 1：特殊读模式使能 | 0 | 模式1非特殊读模式 |
| FC | 0：全时钟模式无效 1：全时钟模式使能 | 0 | 采用半时钟模式 |
| PDE | 0：全差分模式 1：伪差分模式 | 0 | 采用全差分模式 |
| CID | 0：SDO附带通道信息 1：SDO只有数据 | 0 | 附带通道信息 |
| CE | 0：内部计数器无效 1：内部寄存器使能 | 1 | 可用于判断数据更新 |
| A[3:0] | X000：上传配置寄存器  0100：芯片软复位  X010：写参考电压1寄存器  X101：写参考电压2寄存器 |  |  |

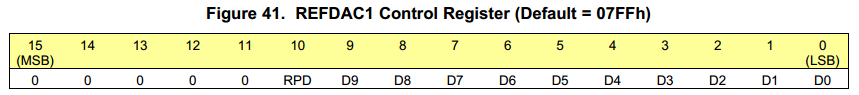
软复位：0004

写参考电压1：0002

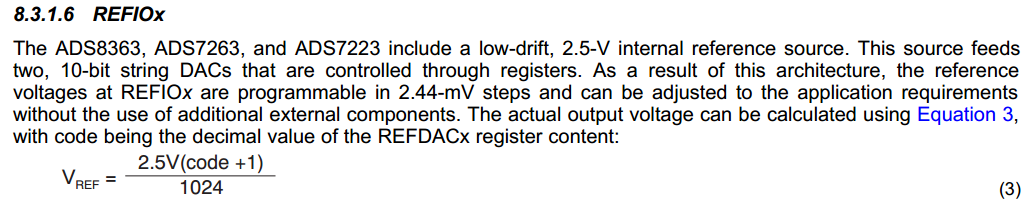
写参考电压2：0005

初始化：4010

后续：0010 内部计数器 0000 通道信息



|  |  |  |  |
| --- | --- | --- | --- |
| 参数 | 含义 | 取值 |  |
| [15:11] | 没有使用 | 0 |  |
| RPD | 0：DAC功能使能 1：DAC功能无效 | 0 | 使能功能 |
| [9:0] | 10位code计算参考电压 | 3FF | 参考电压2.5V |



参考电压要不小于0.5V，取2.5V。

## 时钟设计



## 触发设计



由系统复位触发ADS的初始化，在ADS初始化完成后，AFE开始选通，再由CLK\_AFE上升沿触发ADS转换。

## 资源分析

# 实施计划

## 任务分解

## 进度

## 关键问题