



Disciplina: ELE0625 - Tópicos Especiais em Sistemas Digitais

Professor: Victor Araujo Ferraz

Atividade 1

Projeto 1 – Decodificador para display de 7 segmentos

A Figura 1 mostra um módulo decodificador de 7 segmentos que possui a entrada de três bits $c_2c_1c_0$. Este decodificador produz oito saídas que são usadas para exibir um caractere em um display de 7 segmentos correspondente ao valor em binário das entradas. A Tabela 1 lista os caracteres que devem ser exibidos para cada valor de $c_2c_1c_0$.

Os sete segmentos do display são identificados pelos índices de 0 a 6 mostrados na Figura 1. Cada segmento é iluminado levando-o ao valor lógico 0. Você deve escrever uma entidade VHDL ou um módulo em Verilog HDL que implemente funções lógicas a representarem os circuitos necessários para ativar cada um dos sete segmentos.

Figura 1 - Decodificador para display de 7 segmentos.

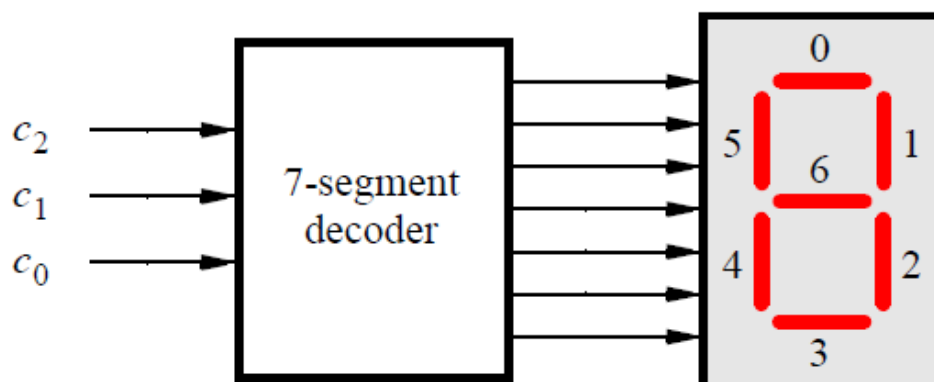
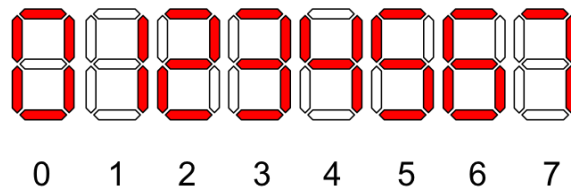


Tabela 1 - Caracteres exibidos no display.

c2c1c0	Caractere
000	0
001	1
010	2
011	3
100	4
101	5
110	6
111	7



Roteiro da atividade:

1. Crie um novo projeto para seu circuito no Quartus II
2. Crie uma entidade/módulo para o decodificador 7-segmentos. Conecte as entradas c2c1c0 aos switches SW₂₋₀ e conecte as saídas do decoder ao display HEX0 do kit de desenvolvimento DE2. Os segmentos nesse display são chamados HEX0₀, HEX0₁, ..., HEX0₆, correspondente à Figura 1. Declare as saídas no seu código como uma porta de 7 bits, dessa forma o nome das portas casarão com o nome dado pelo “DE2 User Manual” e pelo arquivo de importação dos pinos “DE2 pin assignments.csv”.

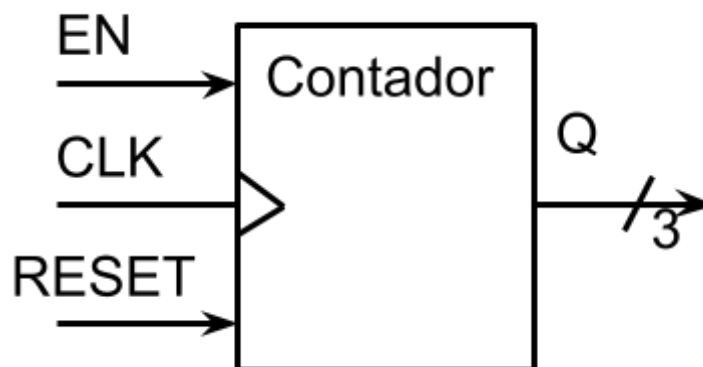
Linguagem	Declaração
VHDL	HEX0 : OUT STD LOGIC VECTOR(0 TO 6);
Verilog HDL	output [0:6] HEX0;

3. Depois de associar os pinos aos componentes do kit DE2, compile o projeto.
4. Programe o chip FPGA do kit.
5. Teste a funcionalidade do circuito mudando os switches SW_{2-0} e observando o display de sete segmentos HEX0.
6. Envie seu código para o sistema SIGAA, na tarefa cadastrada desta atividade.

Projeto 2 – Contador de 3 bits

A Figura 2 mostra um bloco de um contador de 3 bits. O contador incrementa o seu número de saída (Q), de 3 bits, a cada borda positiva do clock (CLK) se o sinal de *Enable* (EN) estiver ativo. O contador é reiniciado no valor 0 e permanece nesse valor se o sinal de Reset estiver ativado.

Figura 2 - Contador de 3 bits



Roteiro da atividade:

1. Crie um novo projeto para seu circuito no Quartus II
2. Crie uma entidade/módulo para o contador da Figura 1 e escreva o código que o implementa. Compile-o.
3. Simule o circuito e verifique se seu funcionamento está correto.
4. Adicione ao seu código o decodificador de 7 segmentos implementado no exercício anterior para exibir no display HEX0 a

saída do contador de 3 bits. Utilize o pushbutton KEY_0 como a entrada de clock (CLK) e o switches SW_1 e SW_0 como as entradas Enable e Reset, respectivamente. Faça as associações de pinos necessárias e compile o circuito.

5. Programe o chip FPGA do kit DE2.
6. Teste a funcionalidade do circuito operando os botões e observando o display de sete segmentos HEX0.
7. Envie seu código para o sistema SIGAA, na tarefa cadastrada desta atividade.