

UNIVERSIDADE FEDERAL DO RIO GRANDE DO NORTE
CENTRO DE TECNOLOGIA
DEPARTAMENTO DE ENGENHARIA ELÉTRICA



Disciplina: ELE0625 - Tópicos Especiais em Sistemas Digitais

Professor: Victor Araujo Ferraz

Atividade 2

Projeto – Máquina de Estados Finita (FSM - *Finite State Machine*)

Deseja-se implementar uma máquina de estados finitos (FSM) que reconheça duas sequências específicas de símbolos de entrada aplicados, ou seja, quatro 1s consecutivos ou quatro 0s consecutivos. Existe uma entrada w e uma saída z . Sempre que $w = 1$ ou $w = 0$ para quatro pulsos de clock consecutivos, o valor de z deve ser 1; caso contrário, $z = 0$. Sequências sobrepostas são permitidas, de modo que se $w = 1$ por cinco pulsos de clock consecutivos, a saída z será igual a 1 após o quarto e quinto pulsos. A Figura 1 ilustra a relação necessária entre w e z .

Figura 1 - Diagrama de tempo para a saída z .

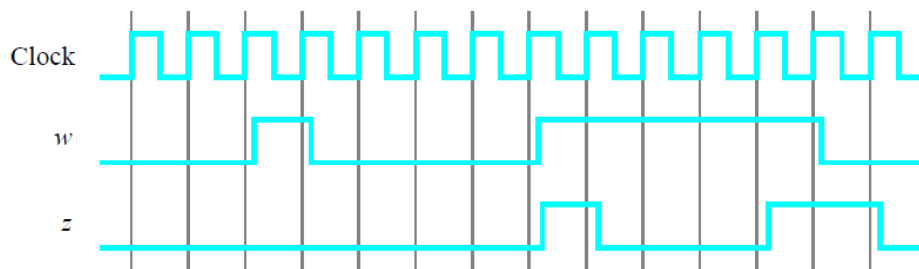
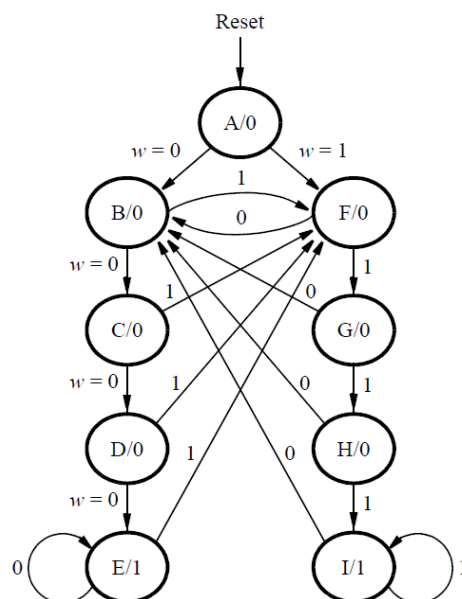


Figura 2 - Diagrama de estados para a FSM.



Um diagrama de estado para este FSM é mostrado na Figura 2. Para esta parte você deve derivar manualmente um circuito FSM que implementa este diagrama de estado, incluindo

as expressões lógicas que alimentam cada um dos flip-flops de estado. Para implementar o FSM, use nove flip-flops de estado chamados y_8, \dots, y_0 e a atribuição de um estado quente fornecida na Tabela 1.

Tabela 1 - Códigos “one-hot” para a FSM.

Estado	Código do estado $y_8y_7y_6y_5y_4y_3y_2y_1y_0$
A	000000001
B	000000010
C	000000100
D	000001000
E	000010000
F	000100000
G	001000000
H	010000000
I	100000000

Projete e implemente seu circuito na placa DE2 da seguinte forma:

1. Crie um novo projeto Quartus II para o circuito FSM. Selecione como chip de destino o Cyclone II EP2C35F672C6, que é o chip FPGA na placa Altera DE2.
2. Escreva um arquivo VHDL/Verilog que descreva a tabela de estados para o FSM usando a instrução CASE em um bloco PROCESS/ALWAYS. Você pode usar um outro bloco PROCESS/ALWAYS ou instruções de atribuição simples para especificar a saída z. Neste sentido, você deve implementar uma máquina de Moore para esta FSM. Você pode usar o *Template* do Quartus II para criar o esqueleto do código. Use a chave seletora SW_0 na placa Altera DE2 como uma entrada de reset síncrono ativo-baixo para o FSM, use SW_1 como a entrada w e o botão KEY_0 como a entrada do clock que é aplicada manualmente. Use o LED verde $LEDG_0$ como saída z e atribua o estado (saídas do flip-flop de estado) aos LEDs vermelhos $LEDR_8$ a $LEDR_0$.
3. Inclua o arquivo VHDL/Verilog em seu projeto e atribua os pinos do FPGA para conectar os switches e os LEDs, conforme indicado no Manual do Usuário da placa DE2. Compile o circuito.
4. Simule o comportamento do seu circuito.
5. Uma vez que você tenha certeza de que o circuito funciona corretamente como resultado de sua simulação, programe o chip FPGA do kit com seu projeto. Teste a funcionalidade do seu projeto aplicando as sequências de entrada e observando os LEDs de saída. Certifique-se de que a FSM transita corretamente entre os estados conforme exibido nos LEDs vermelhos e que produz os valores de saída corretos no $LEDG_0$.
6. Finalmente, considere uma modificação do código “one-hot” dado na Tabela 1 para um outro tipo de codificação.
7. Envie seu código para o sistema SIGAA, na tarefa cadastrada desta atividade.