



UNIVERSIDADE FEDERAL DO RIO GRANDE DO NORTE – CAMPUS NATAL

CENTRO DE TECNOLOGIA

DEPARTAMENTO DE ENGENHARIA ELÉTRICA

ELE 0515 – CIRCUITOS LÓGICOS

MEMORIAL DESCRITIVO

**PROJETO DE UM SOMADOR E REGISTRADOR MULTI-FUNÇÃO DE 4  
BITS UTILIZANDO O QUARTUS**

LEVY GABRIEL DA SILVA GALVÃO

NATAL – RN

MAIO/2019

## SUMÁRIO

<b>1</b>	<b>MEMORIAL DESCRITIVO .....</b>	<b>3</b>
<b>1.1</b>	<b>Demanda .....</b>	<b>3</b>
<b>2</b>	<b>PROJETANDO A LÓGICA DOS CIRCUITOS .....</b>	<b>4</b>
<b>2.1</b>	<b>Registrador multi-função de 4 bits .....</b>	<b>4</b>
<b>2.2</b>	<b>Somador de 4 bits .....</b>	<b>5</b>
<b>3</b>	<b>IMPLEMENTAÇÃO NO QUARTUS.....</b>	<b>6</b>
<b>3.1</b>	<b>Somador de 4 bits .....</b>	<b>6</b>
<b>3.2</b>	<b>Registrador multi-função de 4 bits .....</b>	<b>6</b>
<b>4</b>	<b>SIMULAÇÃO .....</b>	<b>7</b>
<b>4.1</b>	<b>Somador de 4 bits .....</b>	<b>7</b>
<b>4.2</b>	<b>Registrador multi-função de 4 bits .....</b>	<b>7</b>
<b>5</b>	<b>CONCLUSÃO .....</b>	<b>9</b>
<b>6</b>	<b>REFERÊNCIAS BIBLIOGRÁFICAS .....</b>	<b>10</b>
	<b>APÊNDICE .....</b>	<b>11</b>

## 1 MEMORIAL DESCRITIVO

O presente projeto de circuitos lógicos tem o objetivo de aprofundar os conhecimentos acerca do uso do software Quartus no projeto de componentes como requisito para obtenção parcial da nota da segunda unidade da disciplina de ELE0515 – Circuitos lógicos, ministrada pelo Prof. Dr. José Alfredo Ferreira Costa.

### 1.1 Demanda

O projeto visa construir dois componentes diferentes. Um dos componentes é um registrador multi função de 4 bits e o outro um somador de 4 bits.

No que se refere ao registrador, ele deve ser capaz de receber uma entrada de 4 bits em paralelo e com uma saída de 4 bits em paralelo. As funções presentes nesse registrador deve ser carga paralela, manter o valor atual, desviar à esquerda e desviar à direita.

Em relação ao somador, ele deve receber duas palavras de 4 bits em paralelo e uma outra entrada de 1 bit referente ao *carry in* gerado por outro somador. A saída deve ser uma palavra de 4 bits e outra saída de 1 bit para o *carry out* gerado pela soma.

## 2 PROJETANDO A LÓGICA DOS CIRCUITOS

### 2.1 Registrador multi-função de 4 bits

O primeiro passo para o projeto do registrador é determinar o tamanho do multiplexador a ser utilizado. Assim, é elencada as funções e codificadas.

**Tabela 1** – Funções do registrador.

s1	s0	Função
0	0	Manter o valor
0	1	Carga paralela
1	0	Desviar à direita
1	1	Desviar à esquerda

Como são quatro funções, basta utilizar um multiplexador de 4 entradas e 1 saída, com duas entradas de controle (MUX 4x1). Na tabela acima também já foi definida as codificações dos códigos que vão chavear as entradas dos MUX para cada função.

Em seguida é definida a lógica do circuito combinacional que vai controlar as entradas de controle dos multiplexadores. Isso permite que ao acionar uma única chave a função seja executada em todo o registrador.

Abaixo é definida a tabela-verdade do circuito combinacional. A função de carga paralela (*ld*) é tida como a de maior prioridade, seguido por desvio à direita (*shr*) e desvio à esquerda (*shl*). Para manter o valor, basta deixar todas as entradas anteriormente elencadas nulas.

**Tabela 2** – Tabela-verdade do circuito combinacional com as devidas operações.

ENTRADA			SAÍDA		OPERAÇÃO
<i>ld</i>	<i>shr</i>	<i>shl</i>	s1	s0	
0	0	0	0	0	Manter valor
0	0	1	0	1	Desvio à esquerda
0	1	X	0	1	Desvio à direita
1	X	X	1	0	Carga paralela

Assim, as funções que determinam as saídas podem ser encontradas.

$$s1 = ld' * shr' * shl + ld' * shr * shl' + ld' * shr * shl$$

$$s0 = ld' * shr' * shl + ld$$

Com tudo em mãos, basta montar os circuitos, lembrando do uso dos multiplexadores e dos flip-flops do tipo D para registrarem os bits.

## 2.2 Somador de 4 bits

A composição do somador será de 4 outros somadores completos de 1 bits com *carry in* e *carry out* cada. De forma que a lógica individual de cada bloco de soma é dada pela tabela abaixo:

**Tabela 3** – Tabela-verdade de um somador completo.

ENTRADA			SAÍDA	
<i>a</i>	<i>b</i>	<i>ci</i>	<i>co</i>	<i>s</i>
0	0	0	0	0
0	0	0	0	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	0
0	1	1	1	0
0	1	1	1	1

Por meio da tabela-verdade do somador completo, pode-se obter as funções para a implementação do circuito. De forma que as equações são:

$$co = bc + ac + ab$$

$$s = a \oplus b \oplus c$$

Para a implementação final do somador de quatro bits basta associar saída *carry out* de cada somador e inserir na entrada *carry in* do somador seguinte, no sentido do bit menos significativo para o mais significativo. As saídas podem ser obtidas normalmente.:

### 3 IMPLEMENTAÇÃO NO QUARTUS

As figuras referentes aos circuitos implementados estão elencadas ao final do trabalho na seção apêndice.

#### 3.1 Somador de 4 bits

Para implementar o somador, inicialmente fora feito um circuito de acordo com a figura 4 referente a um somador completo com entradas A, B e CI, que significam, respectivamente os dois bits a se somar e o *carry in*. As saídas são duas, S referente à soma dos bits de entrada e o CO referente ao *carry out*. Fora criado dispositivo referente a esse circuito para o uso do somador de 4 bits.

Já para o somador de 4 bits foram utilizados 4 somadores completos de acordo com o circuito da figura 5. Os bits A com seus respectivos subscritos (de 3 a 0, do mais significativo ao menos significativo) representam os bits da palavra de 4 bits A. O mesmo se aplica à B. A saída S tem 4 bits e o circuito também tem um *carry out* (CO) e *carry in* (CI) para possíveis associações com outros somadores para criar um somador com uma quantidade maior de bits.

#### 3.2 Registrador multi-função de 4 bits

Para implementar o registrador foram utilizados quatro circuitos diferentes. Sendo que 3 deles foram transformados em dispositivos para serem aplicados em mais alto nível.

Um deles é o circuito combinacional das entradas de controle dos multiplexadores e o multiplexador em si, que estão dispostos, respectivamente nas figuras 6 e 7 no apêndice.

Em seguida foi criado o bloco do registrador, porém sem o circuito combinacional para auxiliar as entradas de controle. O diagrama está disposto na figura 8. Q (4 bits) se refere à saída do circuito para os bits que estão sendo registrados (com subscritos de 3 a 0, do mais para o menos significativo). Os flip-flops do tipo D foram ligados com a entrada na saída dos MUX. E (4 bits) se refere às entradas do MUX (a função referente a cada uma dessas entradas foi discutida em tópicos anteriores). E I (4 bits) se refere as entradas de carga paralela. Para o caso da função de desvio à direita ou desvio à esquerda forem acionadas – separadamente –, existe duas outras entradas de dados de 1 bit referentes aos bits que vão ser “empurrados” no registrador.

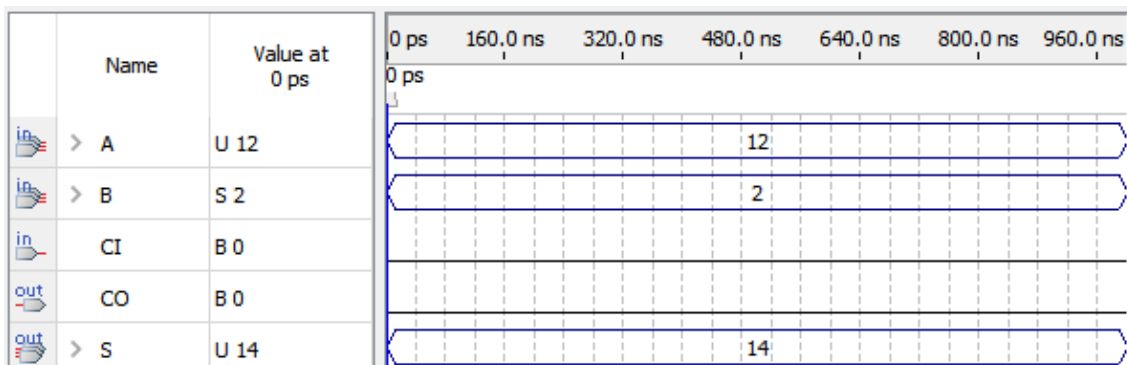
Com os três dispositivos criados, o circuito final da figura 9 foi montado. O bloco de controle das funções possui três entradas, LD\_CTRL para carga paralela, SR\_CTRL para desvio à direita e SL\_CTRL para desvio à esquerda. O registrador foi utilizado mais à frente, recebendo as entradas discutidas no dispositivo anterior e com as devidas saídas.

## 4 SIMULAÇÃO

Os circuitos foram devidamente compilados e simulados para verificar se o comportamento corrobora com o desejado.

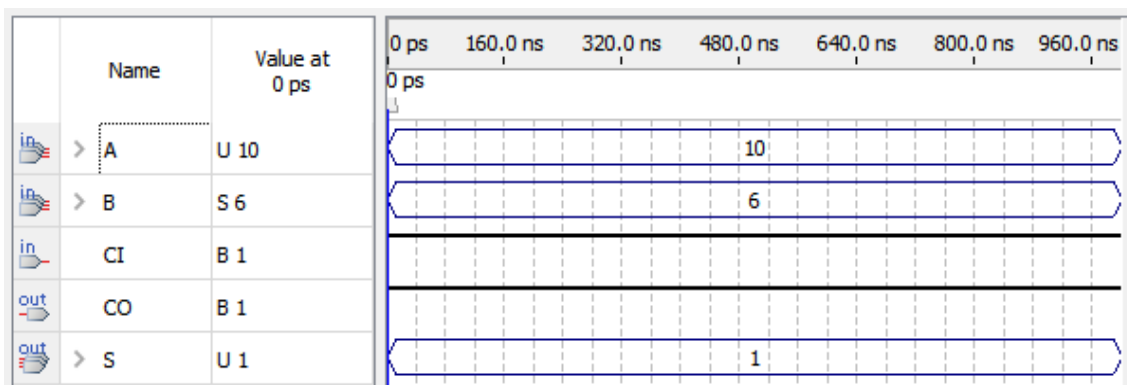
### 4.1 Somador de 4 bits

Os bits das palavras A, B e S foram agrupados e representados em decimal. O primeiro teste foi utilizando a palavra A valendo 12 (1100) somando com a palavra B valendo 2 (0010), com o CI=0. Isso resultou, como mostrado na figura abaixo, uma soma igual a 14 (1110) e CO=0.



**Figura 1** – Soma com CI=0.

A soma seguinte é de A valendo 10 (1010) e B valendo 6 (0110) com CI=1, resultando em S valendo 1 (0001), porém com CO=1, indicando 16+1=17. Como o somador é de 4 bits ele não consegue mostrar a saída 17 que codificada em binário utiliza 5 bits (17=10001)



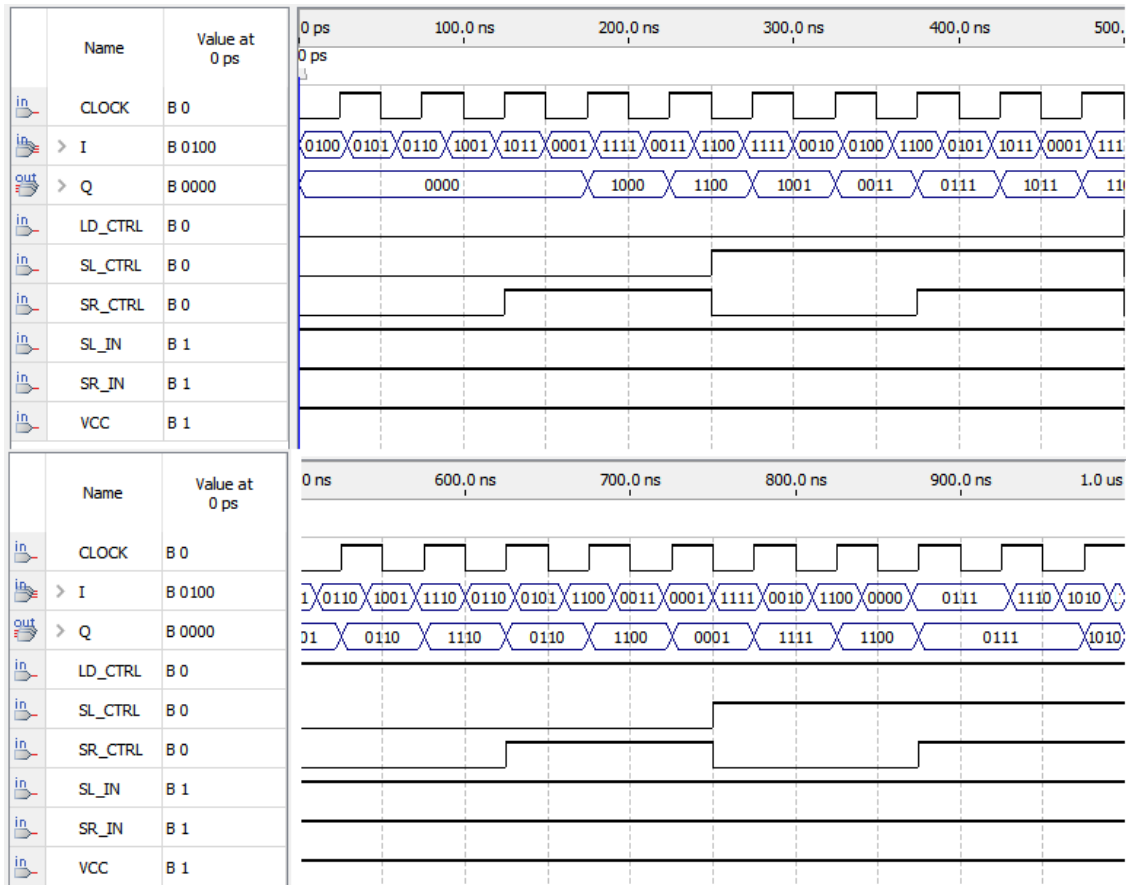
**Figura 2** – Soma com CI=1.

### 4.2 Registrador multi-função de 4 bits

Devido às múltiplas possibilidades combinações de entradas para o registrador, utilizaram-se alguns valores aleatórios das variáveis de entrada paralela para observar a saída do registrador multi-função.

O bit de entrada à esquerda e à direita ficaram como 1. O clock utilizado possui período de 50ns.

Os botões de carga paralela, deslocamento à esquerda e a direita irão variar de acordo com a tabela verdade de 3 bits para a duração total da simulação que é de 1us, respectivamente do mais significativo para o menos significativo.



**Figura 3** – Simulação do registrador multi-função de 4 bits (a parte de baixo da figura se refere à continuação da figura superior e que estaria à sua direita).

No início todas as chaves estavam desligadas, permitindo que a saída permanecesse com o mesmo valor (0000, já que era no início). Como durante o projeto a função de carregamento foi dada a maior prioridade, quando ela foi acionada, a entrada I foi fielmente replicada na saída Q, a cada borda de subida do clock.

Referente ao deslocamento à direita, quando acionado, ele fez com que a saída que era 0000, ficasse em 1000 no primeiro pulso de clock e 1100 no segundo pulso de clock. Logo após o deslocamento à direita foi trocado pelo deslocamento à esquerda, transformando a saída de

1100 para 1001 e depois 0011 e depois 0111. Depois o deslocamento à direita de maior prioridade tomou a frente e transformou a saída em 1011 e depois 1101.



## 5 CONCLUSÃO

*É preciso desconfiar sete vezes do cálculo e cem vezes do matemático*

***Provérbio Indiano***

O desenvolvimento do projeto foi de fundamental importância para aprofundar o conhecimento acerca do uso do software Quartus para a construção dos mais diversos circuitos que usam ou não outros dispositivos criados unicamente para uma determinada função. Assim, os conhecimentos adquiridos contribuem para a execução de outros circuitos, principalmente se necessitarem de componentes semelhantes, permitindo agilizar o projeto, pois o projetista já dispõe dos componentes.

## 6 REFERÊNCIAS BIBLIOGRÁFICAS

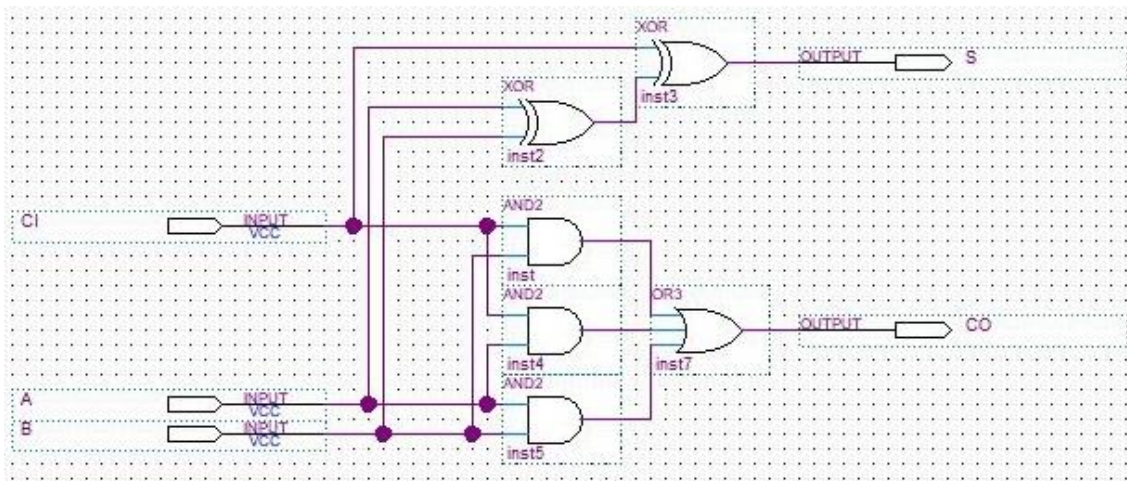
ABNT, Associação Brasileira de Normas Técnicas. **NBR 10719 – Apresentação de relatórios técnico-científicos**. Rio de Janeiro: ABNT, Copyright © 1989.

MARCONI, Marina de A. & LAKATOS, Eva M. **Fundamentos de metodologia científica**. 5 ed. Editora Atlas. São Paulo, 2003.

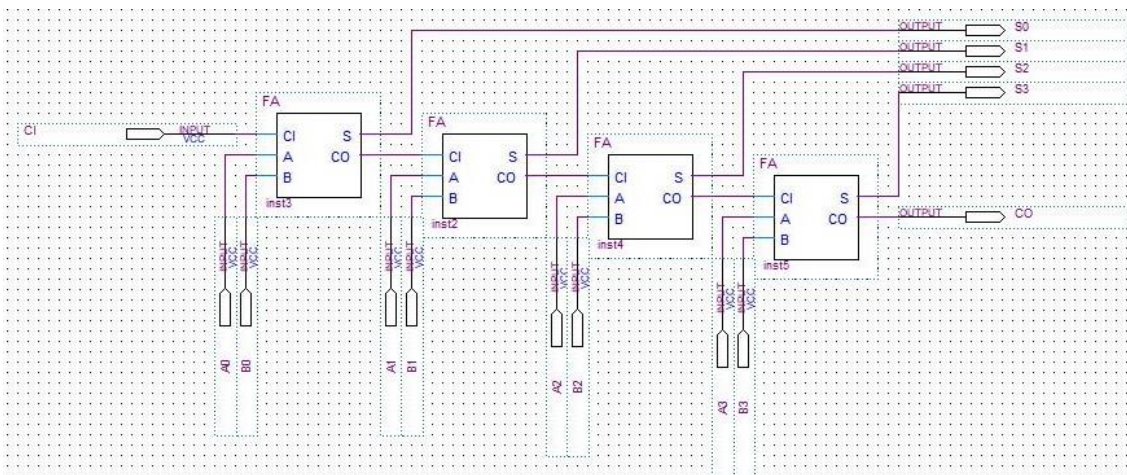
VAHID, Frank. **Sistemas Digitais: Projetos, Otimização e HDLs**. 1 ed. Editora Bookman, 2008.

TOCCI, Ronald J. **Digital Systems: principles and applications**. 11 ed. Pearson Education India, 1991.

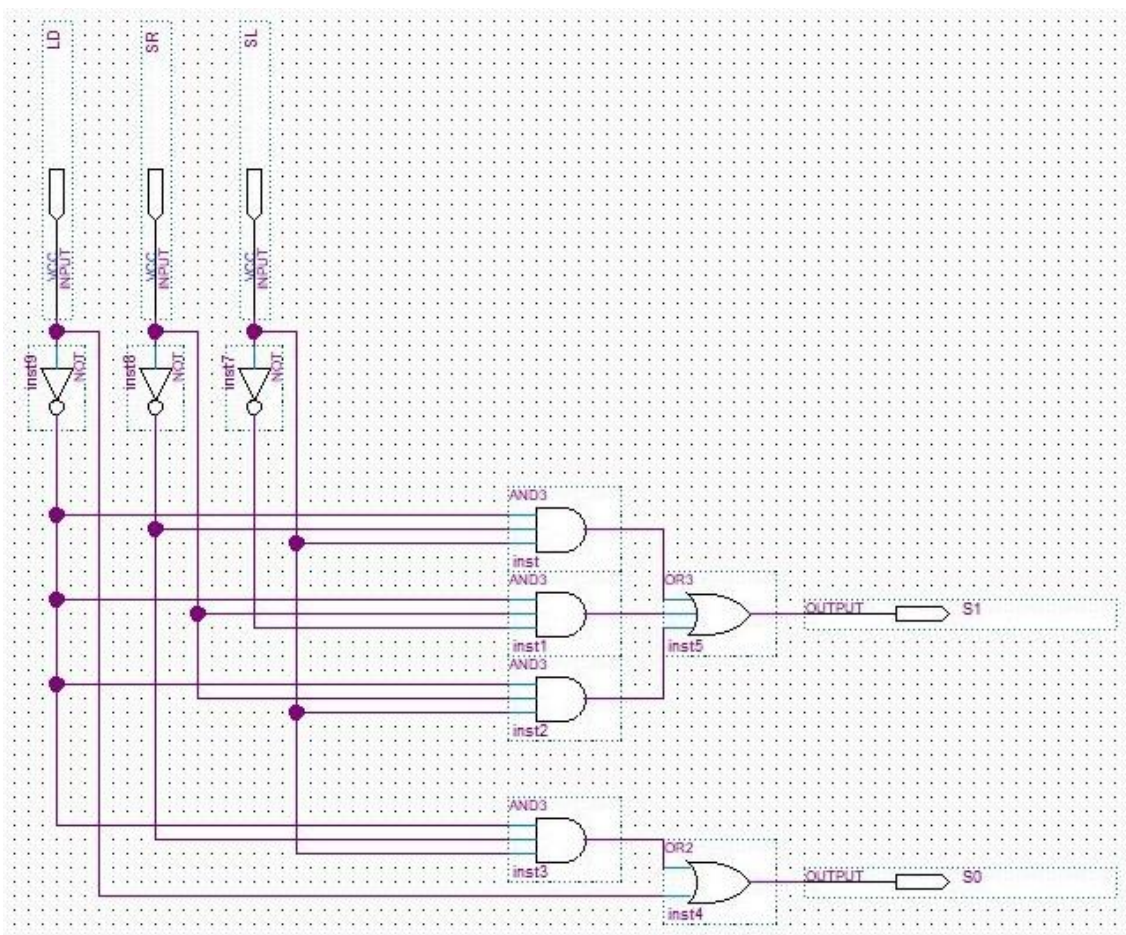
## APÊNDICE



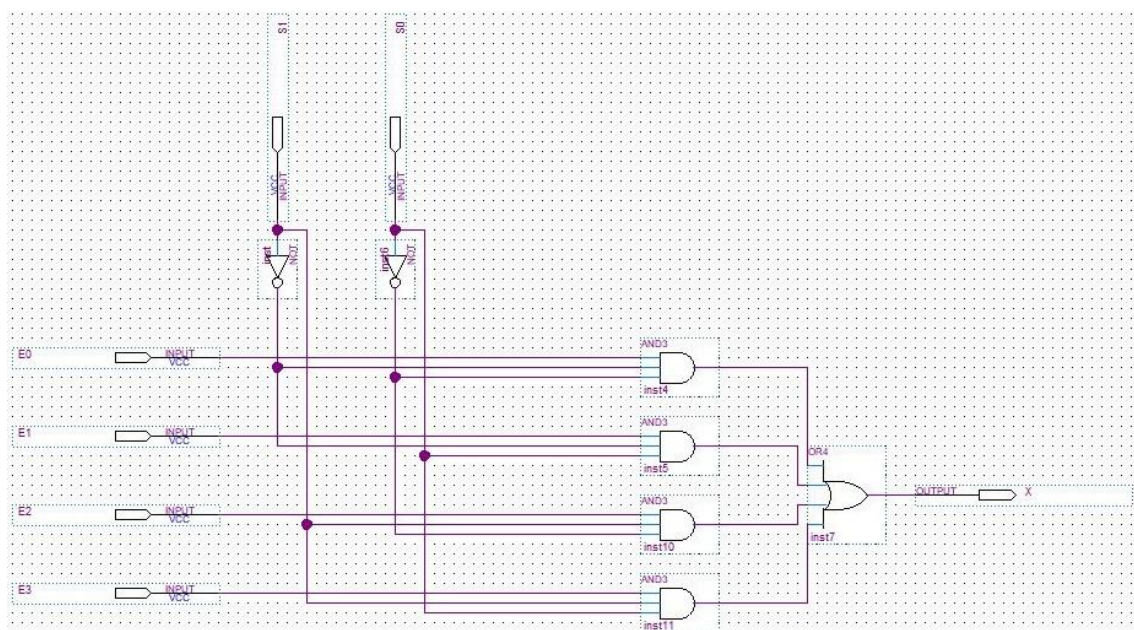
**Figura 4** – Circuito do somador completo.



**Figura 5** – Circuito do somador de 4 bits.

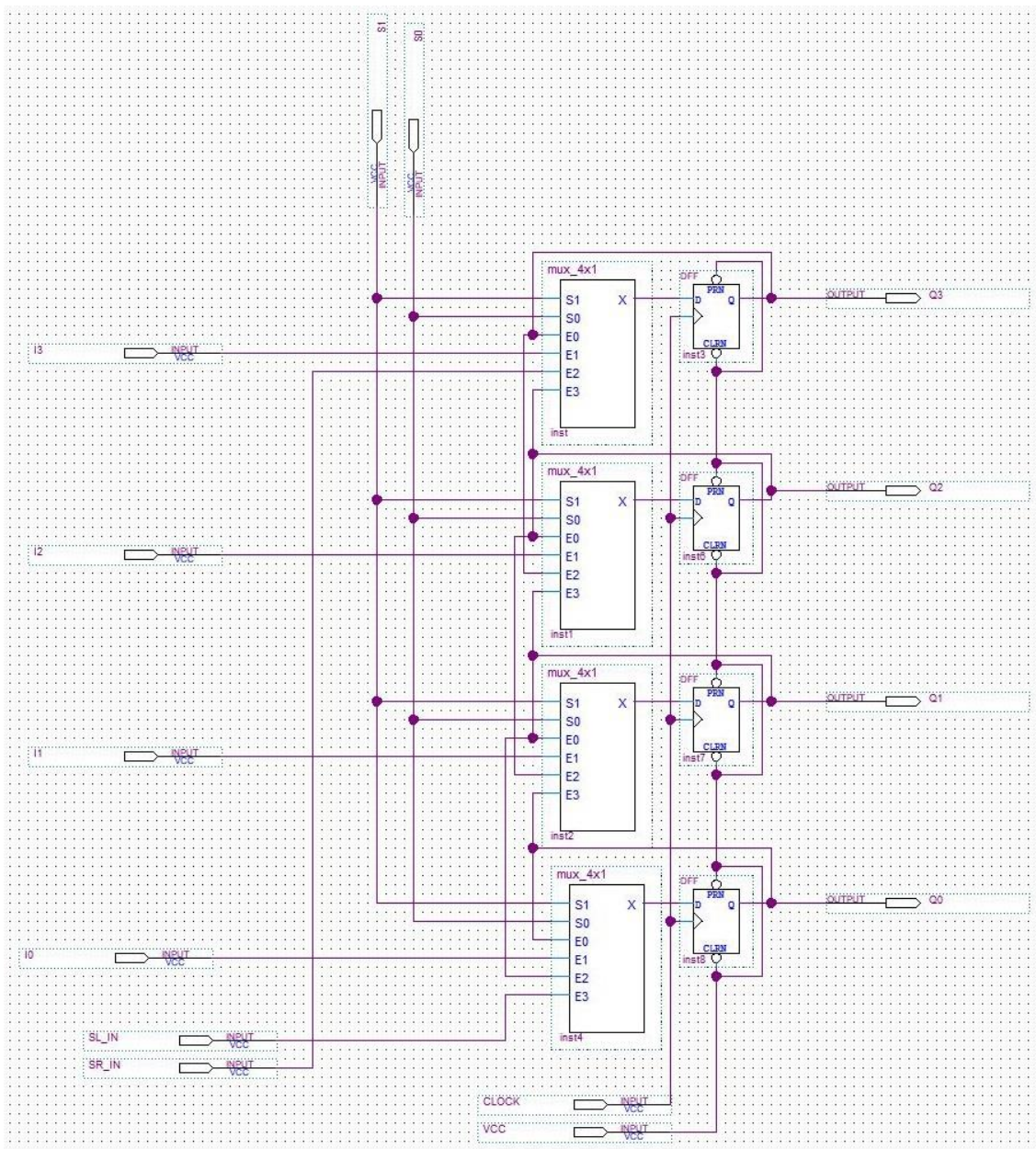


**Figura 6** – Circuito referente às entradas de controle dos MUX.

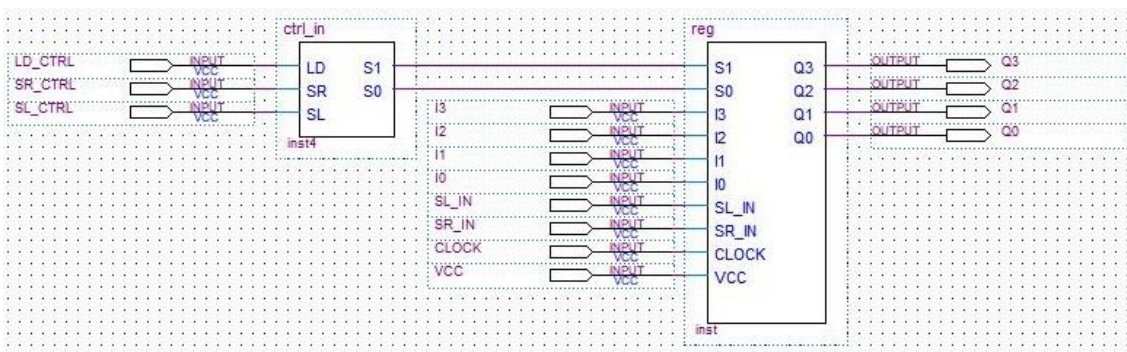


**Figura 7** – Circuito do MUX 4x1.





**Figura 8** – Circuito do registrador sem o circuito combinacional de controle.



**Figura 9** – Circuito do registrador multi-função de 4 bits.