



Relatório – Gerador e verificador de paridade par

Disciplina: ELE0518 – Laboratório de Sistemas Digitais

Alunos: Bruno Matias de Sousa

Data: 13/03/2019

Levy Gabriel da Silva Galvão

Pedro Henrique de Souza Fonsêca dos Santos

1. Introdução

A experiência realizada foi na montagem de um circuito gerador de paridade, que se tem como entrada o dado que se quer transmitir, e em sua saída a paridade do dado, que indica se o dado é um número ímpar ou par. com um circuito verificador de paridade, irá receber o dado (possivelmente modificado pelo canal) mais um bit extra. Além de ter entre eles um circuito canal binário simétrico, a fim de gerar erros nas saídas para que o verificador de paridade o observe. Quando informações são transmitidas por um canal através de uma transmissão digital, nem sempre o receptor irá receber exatamente os mesmos pulsos que foram transmitidos no transmissor, devido a os erros inseridos pelo canal. Afim de se evitar uma leitura errada das informações, alguns métodos são implementados de modo a detectar quando um bit foi recebido errado. Embora não elimine 100% dos erros, esses métodos são bastante importantes em transmissão digital.

2. Referencial teórico

As portas lógicas são dispositivos que realizam operações lógicas binárias. Elas apresentam tabelas-verdades que explicam a rotina da porta. Comumente estão dentro de CIs. A porta lógica utilizada foi a XOR, e o CIs respectivo dessa porta é o CI 7486. As informações mais necessárias do *datasheet* são como o circuito é por dentro e a sua tabela-verdade.

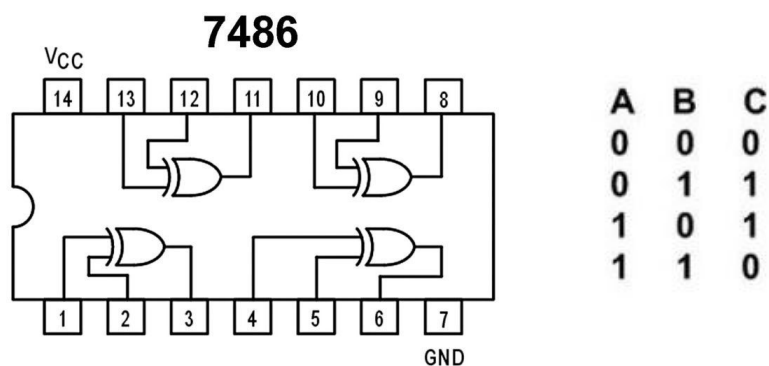


Figura 1 - Pinagem do CI 7486 e tabela-verdade da porta lógica XOR.

O circuito gerador de paridade é um circuitos que, variando as entradas do circuito, ele contará a quantidade 1s que tem entrando no circuito. Se for um circuito de paridade par, ele será 1 quando a quantidade de 1s for par, se for um circuito de paridade ímpar, ele será 1 quando a quantidade de 1s for ímpar.

O circuito verificador de paridade é um circuito com entradas para um bit de paridade e outro que vem de um gerador de paridade com um canal binário simétrico (BSC). Dessa forma, se gera um erro pelo BSC, e se verifica com o verificador de paridade se a paridade ainda é a mesma que está no bit de paridade.

3. Metodologia

A experiência consistia inicialmente em montar um circuito gerador de paridade, mostrado abaixo, utilizando as portas lógicas XOR do CI 74HC86, além disso também foram utilizados um resistor de 1kΩ para restringir a corrente para alimentar um LED, e visualizar a sua saída.

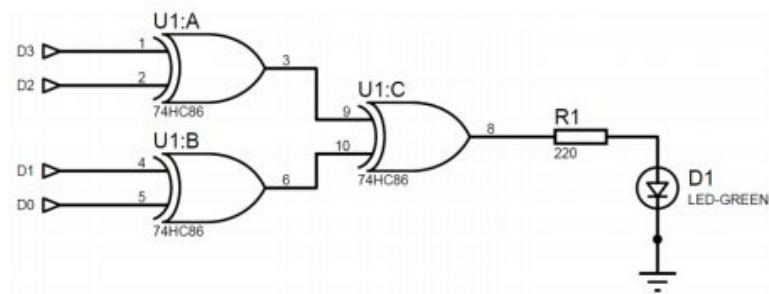


Figura 2 - Circuito gerador de paridade.

Em seguida foi montado na protoboard o circuito BSC, de modo a utilizar as entradas D0, D1, D2, D3 do circuito gerador de paridade juntamente com novas entradas E0, E1, E2 e E3 de modo de acrescentar um erro na saída do sistema, para isso foi necessário a inserção de outro CI 7486, pois como mostrado abaixo necessitaria de mais portas lógicas no sistema.

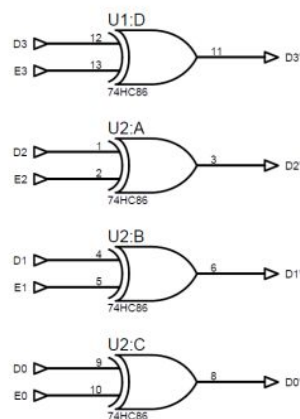


Figura 3 - Modelo de canal binário simétrico (BSC).

Por fim foi montado na protoboard o circuito verificador de paridade, que é responsável na detecção da existência ou não da paridade gerada no primeiro sistema. Para isso foi preciso conectar as saídas do circuito BSC (Sistema 2), ou seja, D0', D1', D2' e D3' nas entradas de outras duas portas lógicas XOR, que se interligavam a uma outra XOR, como mostrado no esquema do circuito verificador de paridade abaixo, além de conectar a saída P do circuito gerador de paridade (Sistema 1) na entrada de uma outra porta lógica XOR, com a saída desejada, neste caso optamos em transferir o LED para a saída final do sistema completo.

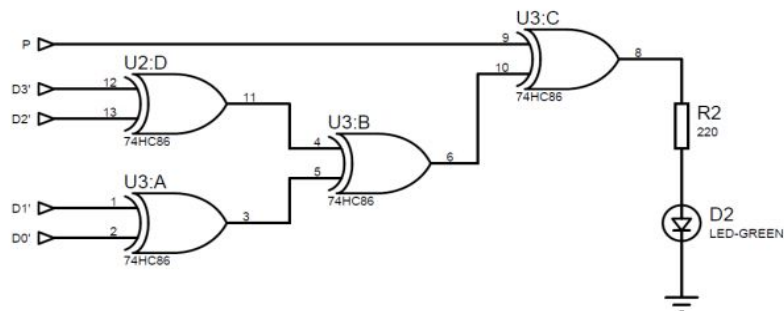


Figura 4 - Circuito verificador de paridade.

Por fim, podemos ver o diagrama do sistemas completo de detecção de erro abaixo, juntamente com a montagem do sistema em protoboard de todo o circuito com legenda de cada sistema.

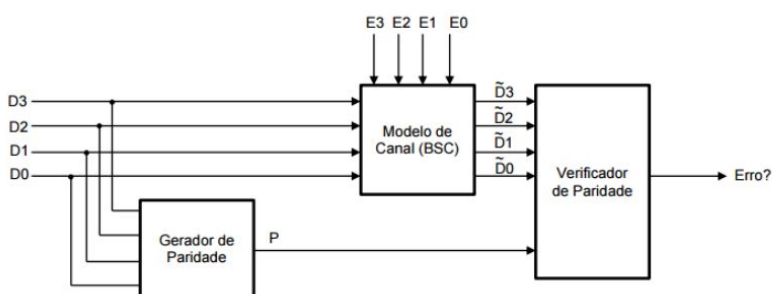


Figura 5 - Sistema detector de erro.

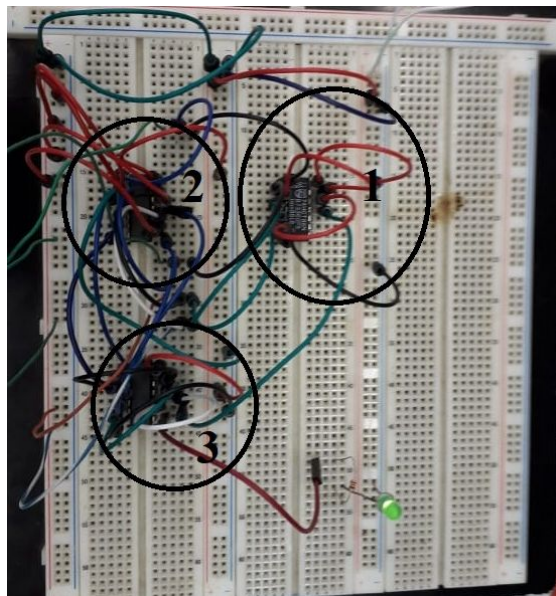


Figura 6 - Sistema montado na protoboard.

4. Resultados práticos

O primeiro circuito montado é referente ao gerador de paridade par. Por si só ele possuirá uma entrada de 4 bits e vai contar a quantidade de 1s, de forma que se a quantidade for ímpar, ele

gerará uma saída 1, mas caso a quantidade de 1s for par a saída será 0. Isso permite a geração da paridade par dos 1s. Dessa forma, o circuito gera a tabela-verdade a seguir, à esquerda:

D_3	D_2	D_1	D_0	P	E_3	E_2	E_1	E_0	F
0	0	0	0	0	0	0	0	0	0
0	0	0	1	1	0	0	0	1	1
0	0	1	0	1	0	0	1	0	1
0	0	1	1	0	0	0	1	1	0
0	1	0	0	1	0	1	0	0	1
0	1	0	1	0	0	1	0	1	0
0	1	1	0	0	0	1	1	0	0
0	1	1	1	1	0	1	1	1	1
1	0	0	0	1	1	0	0	0	1
1	0	0	1	0	1	0	0	1	0
1	0	1	0	0	1	0	1	0	0
1	0	1	1	1	1	0	1	1	1
1	1	0	0	0	1	1	0	0	0
1	1	0	1	1	1	1	0	1	1
1	1	1	0	1	1	1	1	0	1
1	1	1	1	0	1	1	1	1	0

Figura 7 - À esquerda, tabela-verdade do gerador de paridade par para quatro entradas. À direita, tabela-verdade para o verificador de paridade par com a informação D fixa em $D_3D_2D_1D_0=0101$, consequentemente $P=0$.

O segundo circuito é a aplicação de quatro portas XOR separadas, introduzindo ou não algum erro para a transmissão da mensagem D. A tabela-verdade para essa operação é simplesmente a da porta XOR, como observado na figura abaixo.

D_x	E_x	D'_x
0	0	0
0	1	1
1	0	1
1	1	0

Figura 8 - Tabela-verdade do BSC.

Esse circuito é chamado de canal binário simétrico (BSC). Ele é um modelo de canal de comunicações que simula erros na transmissão dos bits. No caso do circuito da prática, o transmissor pretende enviar os bits D_3 , D_2 , D_1 e D_0 , porém, combinado a cada bit, existe uma probabilidade de que o bit não seja recebido invertido, ou com erro. Assim, no contexto do circuito, ele simula essa situação combinando os bits D_x com erros E_x resultando ou não na modificação da mensagem original.

No contexto da porta XOR, o BSC funciona transmitindo a mensagem corretamente se o valor lógico do erro for 0 e transmitindo invertido no caso do valor lógico do erro for 1.

O último circuito a ser avaliado é o do verificador de paridade. As entradas do circuito são os valores dos bits D'_x resultantes da saída do BSC e com a saída do circuito gerador de paridade

par. O objetivo desse circuito é gerar a paridade do dado recebido de D_x e comparar com a paridade que foi recebida do gerador.

Em seguida foram testadas várias combinações de entradas de D_x com E_x para que sejam observadas as saídas. Para a construção da tabela-verdade, os valores de D_x foram fixados, implicando que a saída do gerador de paridade P também é fixa. E_x foi variada junto com a tabela-verdade. A figura 7 à direita mostra o resultado.

Um circuito de geração/verificação de paridade é de fundamental importância na comunicação digital, pois identifica erros na comunicação. De forma que um bit extra sempre é adicionado pelo gerador de paridade para garantir a paridade da informação transmitida. Assim, no receptor, quando a mensagem é recebida, o verificador de paridade detecta se a mensagem recebida possui a mesma paridade que a da mensagem transmitida. Caso a paridade divirja, significa que houve erro na transmissão, assim, permitindo que o receptor se comunique com o transmissor para enviar a mensagem.

Dessa forma o circuito de verificação de paridade par montado observou se a mensagem que passou pelo canal binário simétrico possui a mesma paridade (no caso, paridade par) que a do gerador. Se a paridade da mensagem transmitida for diferente da paridade da mensagem recebida, a saída do F do verificador se tornará 1 (erro na transmissão), porém se ambas as paridade forem iguais a saída do F será 0 (sem erro na transmissão).

5. Conclusão

Os resultados obtidos nesta prática se mostraram semelhantes aos teóricos relacionados com a formulação algébrica dos circuitos. Dessa forma, a prática se mostrou de fundamental importância para a aplicação em comunicações digitais, pois o circuito é simples e permite uma boa comunicação.

Porém, pela sua simplicidade, o circuito gerador/verificador de paridade apresenta limitações. Caso o erro altere o BSC de forma que ele continue com uma quantidade par de 1s, o verificador não perceberá essa mudança, pois, a quantidade continuará par. Assim, o resultado do bit paridade será igual ao do verificador, mesmo ocorrendo erro.

6. Referências Bibliográficas

ABNT, Associação Brasileira de Normas Técnicas. **NBR 10719 – Apresentação de relatórios técnico-científicos**. Rio de Janeiro: ABNT, Copyright © 1989.

MARCONI, Marina de A. & LAKATOS, Eva M. **Fundamentos de metodologia científica**. 5 ed. Editora Atlas. São Paulo, 2003.

Nexperia, “**Quad 2-input EXCLUSIVE-OR gate**,” 74HC86 datasheet, Dec. 2015 [Revised Dec. 2015].

TOCCI, Ronald J. **Digital Systems: principles and applications**. 11 ed. Pearson Education India, 1991.