



Relatório – Máquina de estados finitos II

Disciplina: ELE0518 – Laboratório de Sistemas Digitais

Alunos: Bruno Matias de Sousa

Levy Gabriel da Silva Galvão

Pedro Henrique de Souza Fonsêca dos Santos

Data: 24/04/2019

1. Introdução

O uso de máquinas de estados finitos soluciona problemas que até então não possuíam soluções com o uso de apenas flip-flops. Um exemplo é a aplicação desejada na prática a qual esse relatório se refere.

O objetivo da prática é projetar um sincronizador que, ao pressionar um botão, mantenha a saída ligada por dois períodos de clock. Esse tipo de dispositivo é amplamente utilizado e seu projeto, à primeira vista, parece simples, não necessitando do uso de máquinas de estados finitos, implicando no uso de apenas flip-flops. Porém, será mostrado no tópico a seguir que existem problemas relacionados ao uso de apenas flip-flops.

2. Referencial teórico

Um sincronizador malfeito pode ser projetado utilizando apenas flip-flops. Para exemplificar, será mostrado apenas com o flip-flop D.

Na figura abaixo é mostrado um circuito que soluciona o problema proposto na prática. Ao pressionar o botão b, no primeiro ciclo do clock, o sinal de b será armazenado na saída do primeiro flip-flop e será utilizado para compor uma saída x; no segundo ciclo de clock o segundo flip-flop vai armazenar o sinal de b em sua saída e também será derivado para compor uma saída x.

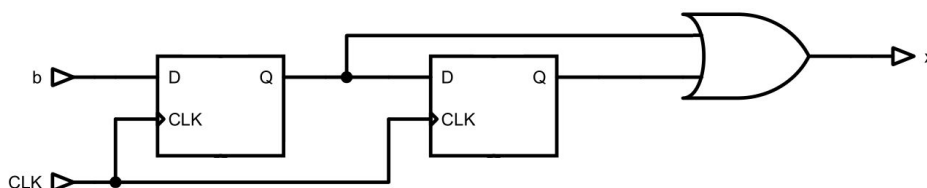


Figura 1 - Solução malfeita do problema utilizando apenas flip-flops.

Dessa forma, a saída x será 1 durante dois períodos de clock. Porém, como dito anteriormente, esse é um projeto malfeito. O erro jaz na possibilidade de pressionar o botão b, novamente, antes que os dois ciclos de clock estejam completos, permitindo que a saída fique ligada por mais tempo que dois ciclos de clock.

Assim, para resolver esse problema é necessário recorrer ao uso de máquinas de estados finitos, permitindo um projeto mais preciso.

O projeto vai necessitar de dois estados de espera, o primeiro vai se situar no início da MdE e vai esperar que o botão seja pressionado; o último ficará ao final da MdE esperando que o botão deixe de ser pressionado para voltar ao estado de espera anterior e recomeça o ciclo da

MdE. Ao longo do relatório, esses estados serão representados por W (wait) e com seus diferentes subscritos.

Entre esses dois estados de espera, estarão situados a quantidade de estados referentes à quantidade de ciclos de clock que a saída desejada ficará ligada. A transição de um estado desse tipo para outro de mesmo tipo se dá de forma automática, esteja o botão pressionado ou não, dependendo apenas do pulso de clock. Ao longo do relatório, esses estados serão representados por P (pulse) e com seus diferentes subscritos.

Para a solução do problema proposto, basta que existam apenas dois estados P, pois o pressionar do botão será sincronizado por apenas dois pulsos de clock. Ao todo no projeto haverá quatro estados ($2*W+2*P$), podendo ser representado por dois bits. Caso for desejado que a saída permaneça ligada por três ciclos de clock, basta adicionar mais um estado P, resultando em cinco estados ao todo ($2*W+3*P$), já sendo necessário utilizar três bits para representar os estados. E para cada bit de estado é necessário um flip-flop. No caso do problema de dois pulsos, usa-se dois flip-flops e para três pulsos, três flip-flops.

3. Metodologia

O presente projeto fez uso dos seguintes equipamentos:

- Protoboard;
- Fonte de tensão DC;
- Fios e conexões;
- Gerador de funções;
- Um resistor de 220Ω ;
- Um LED amarelo;
- Um CI 7404 (NOT);
- Um CI 7432 (OR);
- Dois CI's 7411 (AND-3 entradas);
- Três CI 7473 (flip-flop JK).

O problema proposto foi na montagem do sincronizador, realizando uma contagem de dois ciclos de clock no aperto de uma entrada (botão), e depois retorne ao estado original. A princípio foi feita codificação dos estados e montado o diagrama de transição de estados, como segue abaixo.

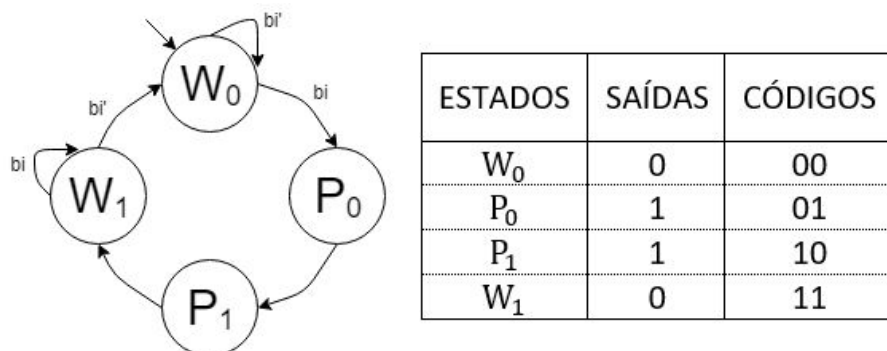


Figura 2 - Diagrama da máquina de estados finitos, à esquerda, seguido da codificação de cada um dos estados e respectiva saída, à direita.

Temos inicialmente um estado de espera (W_1), que iniciará o processo, ao se pressionar bi , teremos a contagem de dois ciclos de clocks (P_0 e P_1) e depois retornamos a outro estado de espera W_1 . com isso é possível obter o sincronizador esperado.

Em, seguida foi montado a tabela de transição de estados e encontrados as equações da lógica combinacional.

ESTADO ATUAL		IN	ESTADO FUTURO		OUT	FF 1		FF 0	
s_1	s_0	b_i	n_1	n_0	b_o	J_1	K_1	J_0	K_0
0	0	0	0	0	0	0	X	0	X
0	0	1	0	1	0	0	X	1	X
0	1	0	1	0	1	1	X	X	1
0	1	1	1	0	1	1	X	X	1
1	0	0	1	1	1	X	0	1	X
1	0	1	1	1	1	X	0	1	X
1	1	0	0	0	0	X	1	X	1
1	1	1	1	1	0	X	0	X	0

Figura 3 - Tabela de transição de estados para entrada 1 durante dois pulsos de clock.

As entradas para o flip-flop D estão também apresentadas abaixo, apesar de que a execução do circuito apenas utilizar o flip-flop JK, pois as equações são mais simples de se implementar.

$$\begin{aligned}
 J_1 &= s_0 \\
 K_1 &= s_0 b'_i \\
 J_0 &= b_i + s_1 \\
 K_0 &= b'_i + s'_1 \\
 b_0 &= s_1 \oplus s_0 \\
 D_1 = n_1 &= s_0 b'_i + s_1 \oplus s_0 \\
 D_0 = n_0 &= s_1 (b_i + s'_0) + s'_0 b_i
 \end{aligned}$$

Por fim, foi obtido o circuito combinacional apenas utilizando os flip-flops JK.

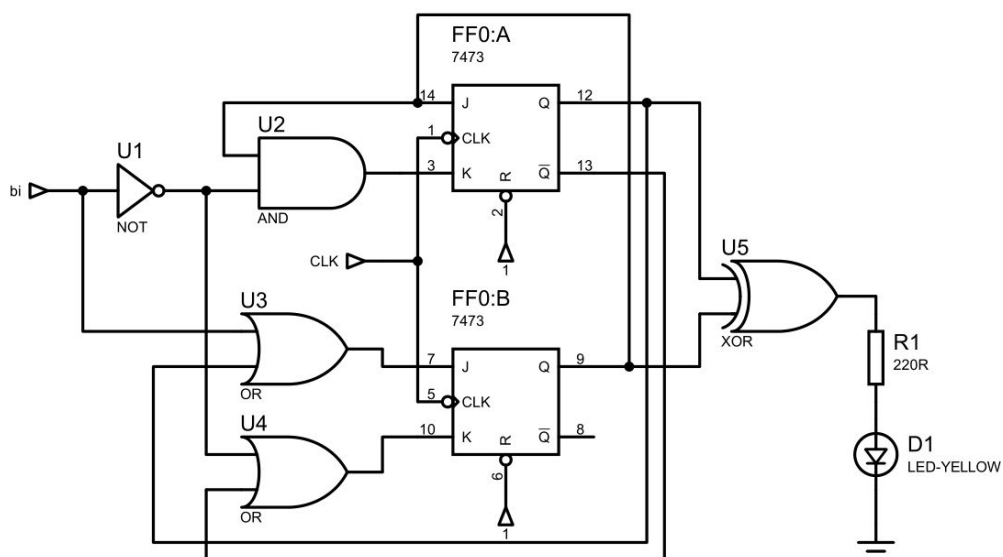


Figura 4 - Circuito implementado no PROTEUS referente ao projeto proposto.

A equação da saída b_0 foi idealizada com uma operação XOR, porém, na aplicação fora utilizada a representação com portas AND e OR, tal como: $b_0 = s_1 s_0 + s'_1 s_0$. As portas AND de duas entradas foram substituídas por portas AND com três entradas, pois só existiam desse tipo à disponibilidade no laboratório de eletrônica da UFRN. O detalhe para o uso da AND com três portas como uma AND de duas portas é que basta ligar uma das entradas direto ao VCC e conectar as outras duas entradas com a operação desejada.

A implementação do circuito acima em protoboard foi feito de forma a minimizar o número de porta, optou-se por escolher na hora da montagem do circuito o uso do flip-flop JK devido a simplificação maior nas portas, além disso, como não se utilizou de um botão, ao se acionar o circuito tivemos uma limitação ao controle de acionamento do circuito, limitando a retirada do fio condutor e acionamento imediato do circuito. A implementação do circuito de 3 pulso de clock de encontra na seção de resultados, teoricamente a lógica é a mesma que a anterior utilizada.

4. Resultados práticos

O funcionamento do circuito, resumidamente, foi de, quando se pressionava o botão de entrada b_i , a saída Q_0 do primeiro flip-flop ia para 1, pois acionava o J_0 e deixava K_0 em 0. Como Q_0 era 1, acionava o próximo flip-flop, já que J_1 só dependia de Q_0 , e só desligava no momento que se desligasse o botão b_i , como podemos ver que K_1 depende do inverso do botão b_i , ou seja, ele segurava para voltar ao estado inicial apenas quando o botão fosse desapertado. Além disso, a saída b_0 só depende se Q_0 ou, exclusivamente, Q_1 era 1.

O funcionamento do circuito implementado com CIs na protoboard pode ser averiguado no seguinte link do vídeo hospedado no YouTube: <https://youtu.be/eFEpD-cjx_A>.

Ainda foi proposto na atividade uma solução para se caso fosse implementado esse mesmo botão, porém com 3 pulsos de clock acionado. A grande diferença será a quantidade de estados, pois, para mais um pulso de clock, é necessário mais um estado ativo. Com isso, a MdE ficará com 5 estados, ou seja, necessitará de mais um bit para ser implementado e, logicamente, mais um flip-flop, de forma a ficar um circuito bem mais denso, com bem mais dispositivos a mais e difícil de ser implementado, dadas as circunstâncias do laboratório de eletrônica do UFRN.

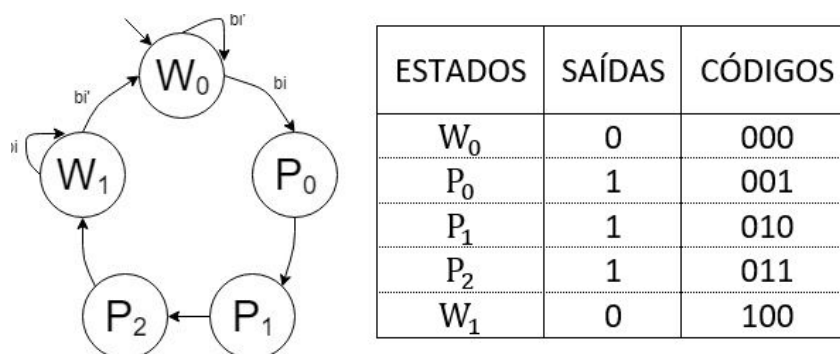


Figura 5 - Diagrama da máquina de estados finitos, à esquerda, seguido da codificação de cada um dos estados e respectiva saída, à direita.

5. Conclusão

O resultado do circuito satisfaz as expectativas, de forma a representar perfeitamente a MdE que foi feita. Ocorreram alguns erros em relação ao nível alto e baixo dos dispositivos, pois já acionaram quando se retirava o fio do nível baixo, mas nada que pudesse comprometer o trabalho.

A solução malfeita foi sobreposta por uma alternativa funcional com maior poder de aplicação dos conceitos em outras práticas ou situações do cotidiano da engenharia.

6. Referências Bibliográficas

ABNT, Associação Brasileira de Normas Técnicas. **NBR 10719 – Apresentação de relatórios técnico-científicos**. Rio de Janeiro: ABNT, Copyright © 1989.

Fairchild Semiconductor, “**Triple 3-Input AND Gate**,” DM74LS11 datasheet, Aug. 1986 [Revised Mar. 2000].

MARCONI, Marina de A. & LAKATOS, Eva M. **Fundamentos de metodologia científica**. 5 ed. Editora Atlas. São Paulo, 2003.

TOCCI, Ronald J. **Digital Systems**: principles and applications. 11 ed. Pearson Education India, 1991.