



Relatório – Projeto de um gerador de clock

Disciplina: ELE0518 – Laboratório de Sistemas Digitais

Alunos: Bruno Matias de Sousa

Data: 23/02/2019

Levy Gabriel da Silva Galvão

Pedro Henrique de Souza Fonsêca dos Santos

1. Introdução

A experiência visa a montagem de um gerador de clock, usando o circuito integrado (CI) 555 que é um multivibrador astável, ou seja, um circuito eletrônico que tem dois estados, mas nenhum dos dois é estável. O circuito portanto se comporta como um oscilador. O tempo gasto em cada estado é controlado pela carga ou descarga de um capacitor através de uma resistência equivalente de dois resistores (R_1 e R_2). Foi pedido na experiência o cálculo dessas resistências e capacitância C_1 necessária para gerar um clock de frequência 1kHz, através das fórmulas disponibilizadas no guia da prática. Com tudo calculado, foi feita a montagem do circuito, disposto no guia, na protoboard e resultado obtido de frequência e do sinal da onda foi analisado através do osciloscópio.

2. Referencial teórico

O gerador de clock é um gerador de ondas quadradas. O pulso é gerado por um oscilador, no caso deste experimento, foi usado o CI 555. Esse CI é um exemplo do dispositivo mais simples para projetar e construir multivibradores. A sua pinagem é descrita logo abaixo de acordo com o seu *datasheet*:

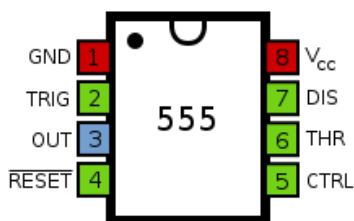


Figura 1 - Pinagem do CI 555.

1	GND	Aterramento (0V)
2	GATILHO	Intervalo de tempo começa com uma tensão abaixo de $\frac{1}{3}V_{CC}$
3	SAÍDA	Saída (forma de onda).
4	RESETAR	Reseta o intervalo de tempo quando ligado ao terra.
5	CONTROLE	Controle para divisor de tensão interno.
6	LIMIAR	Intervalo de tempo acabada se essa tensão de limiar é maior que o controle.

7	DESCARGA	Abre a saída do coletor.
8	VCC	Suprimento de tensão (5V).

Existem três tipos de multivibradores. O primeiro é o monoestável, que produz um pulso quando lhe é aplicado um sinal, ficando estável somente em um estado. O segundo é o biestável, cuja saída fica estável em um dos dois estados possíveis. O último caso é o astável, cuja saída não permanecerá em nenhum dos dois estados possíveis, produzindo o “clock” com dois níveis de saída em uma certa frequência.

Os dispositivos Lógica Transistor-Transistor (TTL) são circuitos digitais de uma família construídos a partir de transistores bipolares de junção (BJT) e resistores. Eles recebem esse nome, pois a função lógica e a função de amplificação são realizadas por transistores. Os CI TTL são amplamente usados em circuitos de controle, computadores, instrumentação, portas lógicas, etc.

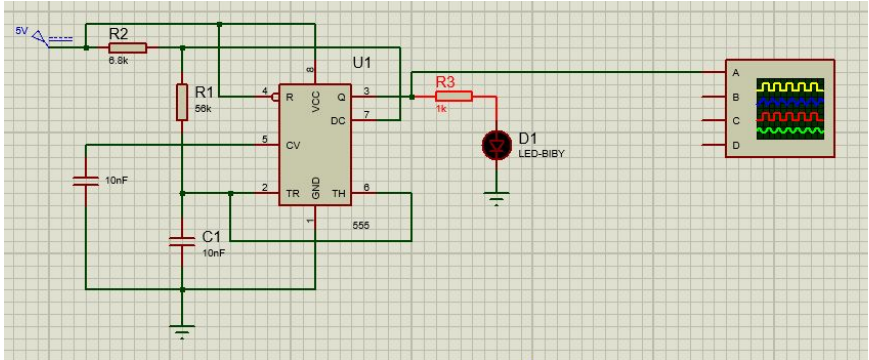


Figura 2 - Diagrama do gerador de *clock* no Proteus

Tomando o circuito a ser praticado, o seu limiar de comparação é dado como $\frac{2}{3} VCC$ e o gatilho comparador é $\frac{1}{3} VCC$. Quando o gatilho de tensão cai abaixo de $\frac{1}{3} VCC$, o comparador muda de estado tornando a saída em um estado alto. O pino de limiar normalmente monitora a tensão do capacitor da rede de carga RC. Quando a tensão do capacitor excede $\frac{2}{3} VCC$, o comparador leva para uma saída baixa. Com a saída em estado baixo, o capacitor de temporização é descarregado. Com sua descarga completa, o temporizador aguardará outro pulso de disparo, completando o ciclo.

O dimensionamento dos componentes do circuito é pelas equações abaixo, que relacionam o período da onda (T), o tempo de tensão alta (t_h) e o tempo de tensão baixa (t_l) com o valor dos resistores e capacitor.

$$T = t_h + t_l$$

$$t_l = 0.7 * R_1 * C_1$$

$$t_h = 0.7 * (R_1 + R_2) * C_1$$

Essas equações são importantes para projetar a forma de onda desejada. Inclusive, a partir desse valor dá para calcular o ciclo de trabalho (*duty cycle*) da onda - porcentagem do período em que a onda permanece no nível lógico alto -, dado por:

$$D(\%) = \frac{t_h}{T}$$

Para um período de 0.001s (frequência de 1kHz), o *duty cycle* de 50% pode ser encontrado com um $t_h=T/2$, ou seja, com $t_h=t_l$. Por manipulação matemática, pode-se encontrar que o resistor R1 deve ser nulo para isso. Porém isso inviabiliza a descarga do capacitor. A solução para isso é colocar um diodo em paralelo com R1. Assim, quando o capacitor é carregado, o diodo será polarizado diretamente, evitando com que a corrente passe por R1. Na descarga do capacitor o diodo está polarizado inversamente e a descarga é feita por R1.

Outros geradores de clock também existem. Como os geradores a cristal que são bem mais precisos contrastando com o CI cuja precisão depende dos valores dos componentes. Os cristais são cortados para serem vibrados em uma frequência específica, ideal para aplicações com frequência críticas. Existe o oscilador com disparador usando o CI 4093, famoso pela característica de histerese, permitindo um menor tempo de comutação no reconhecimento do nível lógico da entrada.

3. Metodologia

Para se fazer um gerador de clock na frequência de 1 kHz, primeiramente liga-se o 555 na configuração da figura 2. O circuito montado em laboratório usou-se um LED e o osciloscópio para mostrar os resultados.

Inicialmente, levando em consideração a folha guia, foi escolhido o valor do capacitor C1 igual ao valor do capacitor já dado no circuito que ajuda a filtrar os picos de saída, pois como a capacitância é um fator determinante para o cálculo da frequência de clock, e também ajuda a controlar os picos de voltagem no sinal de saída analisado.

Uma regra geralmente utilizada para circuitos astáveis é que R2 e R1 devam estar numa faixa de variação entre 1kΩ e 1MΩ. Para se conseguir uma frequência de 1kHz na saída e escolhendo o capacitor de 10nF, utilizamos a equação a seguir:

$$T = \frac{1}{f} = 0.001 \text{ s}$$

E considerando que o valor de R1 é dez vezes maior que o valor de R2 podemos afirmar que o tempo de ligado será aproximadamente igual ao tempo desligado, logo podemos aproximar a equação geral para encontrar R1 :

$$R1 = \frac{0.7}{f \cdot C1} = \frac{0.001 \cdot 0.7}{10^{-8}} = 70\text{k}\Omega$$

Achando R2, temos:

$$R2 = R1/10 = 7\text{k}\Omega$$

Aplicando esses valores a equação geral para verificar se corresponde com esperado em frequência teremos

$$f = \frac{1.4}{(R2+2R1) \cdot C1} = \frac{1.4}{(7\text{k}+2 \cdot 70\text{k}) \cdot 10^{-8}} = 952 \text{ Hz}$$

Um valor próximo ao esperado, pegando os valores comerciais próximos temos R1 = 56.93kΩ (56.93kΩ medido no multímetro da bancada) e R2 = 6.8k (6.667kΩ medido no multímetro).

$$f = \frac{1.4}{(R2+2R1) \cdot C1} = \frac{1.4}{(6.667\text{k}+2 \cdot 56.93\text{k}) \cdot 10^{-8}} = 1.16\text{kHz}$$

Ou seja valores próximos aos esperados.

As imagens a seguir refere-se a montagem do circuito no protoboard.

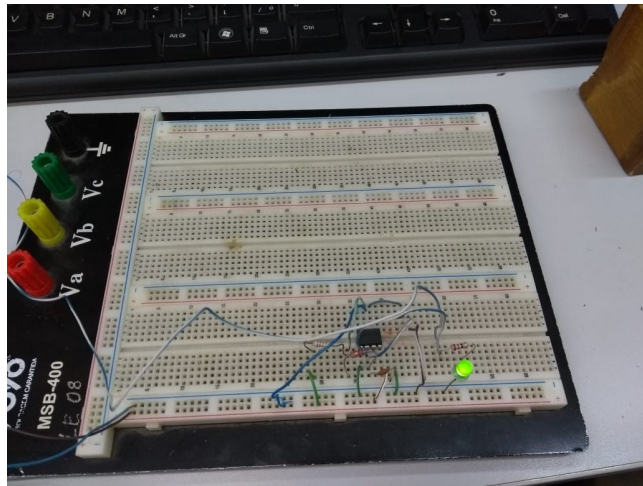


Figura 3 - Circuito montado na *protoboard*.

4. Resultados práticos

Feito os cálculos e com o circuito montado na protoboard, é possível analisar o circuito no osciloscópio. Inicialmente com valores de 56.93kΩ para R1 e de 6.8kΩ para R2. Pelos cálculos para sabermos o período de nível alto e de nível baixo, temos:

$$t_h = 0.7 \times (R_1 + R_2) \times C = 0.7 \times (56.93k + 6.8k) \times 10n = 446\mu s;$$

$$t_l = 0.7 \times R_1 \times C = 0.7 \times 56.93k \times 10n = 398\mu s;$$

Logo, o *duty cycle* será:

$$D(\%) = \frac{t_h}{T} = \frac{446}{844} = 0.53 = 53\%;$$

Assim, é possível perceber que o ciclo de trabalho é aproximadamente metade do período, como podemos ver na imagem. Também é possível ver que a frequência (mostrada na coluna central, última célula no osciloscópio) é bem próxima de 1kHz.

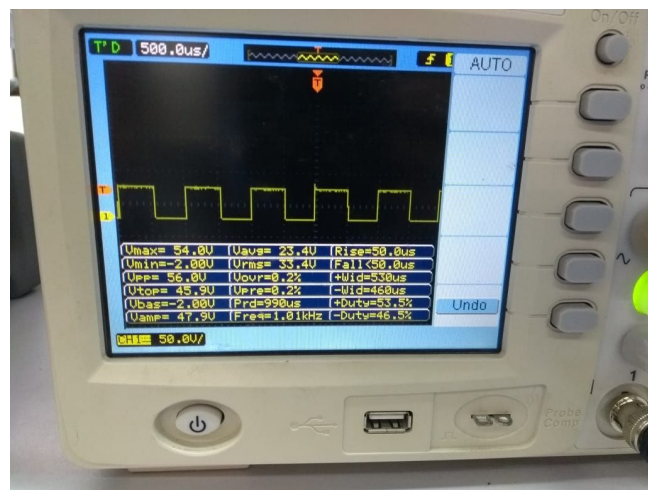


Figura 4 - Sinal de saída mostrado no osciloscópio.

Analisando as variáveis para o circuito, é possível perceber que o valor de R2 altera diretamente o duty cycle, pois o tempo em alto depende diretamente desse valor.

Dessa forma, aumentando-o, o duty cycle aumenta e diminuindo-o, o duty cycle diminui até o momento que o R2 se torna zero, que, como já foi explicado anteriormente, apresenta um duty cycle de 50%.

5. Conclusão

Os resultados obtidos nesta prática se mostraram próximos aos teóricos, distando um pouco devido às imprecisões nos valores dos resistores e capacitores e pela conexão feita com os fios. Algo inevitável e que deve ser considerado em todo e qualquer projeto.

Dessa forma, permitiu-se que diferentes associações de resistores fossem experimentadas para a visualização de diferentes resultados, assim, ajudando a compreender cada vez mais como funciona um gerador de clock e o circuito com o CI 555 e suas aplicações.

6. Referências Bibliográficas

ABNT, Associação Brasileira de Normas Técnicas. **NBR 10719 – Apresentação de relatórios técnico-científicos**. Rio de Janeiro: ABNT, Copyright © 1989.

CAMPOS, A. L. P. de S. - **Laboratório de Princípios de Telecomunicações**. 1 ed. Editora Genio. Rio de Janeiro, 2015.

MARCONI, Marina de A. & LAKATOS, Eva M. **Fundamentos de metodologia científica**. 5 ed. Editora Atlas. São Paulo, 2003.

MORGAN, J. **555 Timer Oscillator**. Disponível em:
<<https://ehelion.com/projects/digitalclock/555timer.html>>, acesso em 22 de fevereiro de 2019.