

## 实验 1 三人表决电路的设计

### 一、实验目的

- (1) 掌握设计文件的设计方法。
- (2) 掌握测试文件的设计方法。
- (3) 掌握 FPGA 下载测试方法。

### 二、实验主要仪器设备

- (1) FPGA 实验板
- (2) FPGA 实验板配套软件，ModelSim 仿真软件

### 三、设计任务与要求

#### 1. 基本任务及要求

- (1) 按照少数服从多数的原则，用 Verilog 设计一个三人表决电路。
- (2) 用 Verilog 测试文件，实现 ModelSim 时序仿真。
- (3) 根据 FPGA 开发板，配置输入和输出管脚，生成下载文件，实现下载测试。

#### 2. 扩展任务及要求

- (1) 用 Verilog 设计三人表决电路，满足如下要求：

三名裁判中有一名主裁判，只有在主裁判同意的前提下，至少有一名副裁判同意决议才能通过。

- (2) 用 Verilog 测试文件，实现 ModelSim 时序仿真。
- (3) 根据 FPGA 开发板，配置输入和输出管脚，生成下载文件，实现下载测试。

## 四、实验内容与步骤

### 1. 基本任务

#### (1) 工作原理

三人各控制三个按键中的一个，以少数服从多数的原则表决事件，按下表示同意，否则为不同意。若两人及两人以上同意，发光二极管点亮，否则不亮。使用触发器存储每个人的投票状态，并通过逻辑门将这些状态进行组合，得到最终的输出结果。

#### (b) Verilog 源程序

```
`timescale 1ns / 10ps
```

```
////////////////////////////////
```

```
// Description:
```

```
////////////////////////////////
```

```
module voter(A,B,C,F);
```

```
    //端口定义
```

```
    input A,B,C;
```

```
    output F;
```

```
    //信号类型
```

```
    wire h1,h2,h3;
```

```
    //逻辑功能
```

```
    assign h1=~(A&B);
```

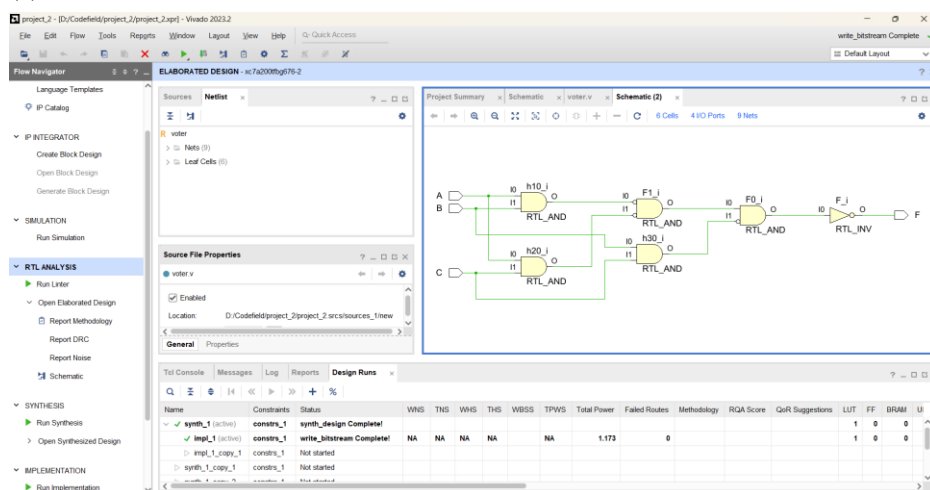
```
    assign h2=~(A&C);
```

```
    assign h3=~(B&C);
```

```
    assign F=~(h1&h2&h3);
```

```
endmodule
```

#### (c) RTL 视图



#### (d) ModelSim 源程序

```
`timescale 1ns / 1ps

module voter_tb;

    reg A,B,C;

    wire F;

    voter DUT(

        .A(A),

        .B(B),

        .C(C),

        .F(F)

    );

    initial begin
        A=0;B=0;C=0;

        #10 A=0;B=0;C=1;

        #10 A=0;B=1;C=0;

        #10 A=0;B=1;C=1;

        #10 A=1;B=0;C=0;

        #10 A=1;B=0;C=1;

        #10 A=1;B=1;C=0;

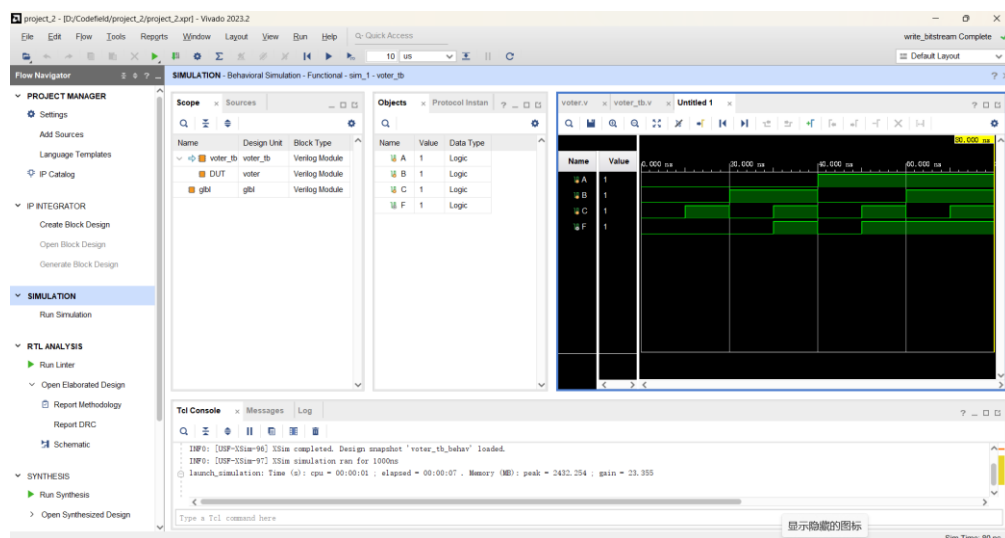
        #10 A=1;B=1;C=1;

        #10 $stop;

    end

endmodule
```

#### (d) ModelSim 仿真结果



#### (e) 下载测试结果

## 管脚配置

```

46 #LEDS
47 set_property -dict {PACKAGE_PIN B24 IOSTANDARD LVCMOS33} [get_ports {F}]
48 set_property -dict {PACKAGE_PIN E21 IOSTANDARD LVCMOS33} [get_ports {leds[1]}]
49 set_property -dict {PACKAGE_PIN A24 IOSTANDARD LVCMOS33} [get_ports {leds[2]}]
50 set_property -dict {PACKAGE_PIN D23 IOSTANDARD LVCMOS33} [get_ports {leds[3]}]
51 set_property -dict {PACKAGE_PIN C22 IOSTANDARD LVCMOS33} [get_ports {leds[4]}]
52 set_property -dict {PACKAGE_PIN C21 IOSTANDARD LVCMOS33} [get_ports {leds[5]}]
53 set_property -dict {PACKAGE_PIN E20 IOSTANDARD LVCMOS33} [get_ports {leds[6]}]
54 set_property -dict {PACKAGE_PIN B22 IOSTANDARD LVCMOS33} [get_ports {leds[7]}]
55 set_property -dict {PACKAGE_PIN C23 IOSTANDARD LVCMOS33} [get_ports {leds[8]}]
56 set_property -dict {PACKAGE_PIN A23 IOSTANDARD LVCMOS33} [get_ports {leds[9]}]
57 set_property -dict {PACKAGE_PIN D21 IOSTANDARD LVCMOS33} [get_ports {leds[10]}]
58 set_property -dict {PACKAGE_PIN A18 IOSTANDARD LVCMOS33} [get_ports {leds[11]}]
59 set_property -dict {PACKAGE_PIN D20 IOSTANDARD LVCMOS33} [get_ports {leds[12]}]
60 set_property -dict {PACKAGE_PIN A22 IOSTANDARD LVCMOS33} [get_ports {leds[13]}]
61 set_property -dict {PACKAGE_PIN A20 IOSTANDARD LVCMOS33} [get_ports {leds[14]}]
62 set_property -dict {PACKAGE_PIN B20 IOSTANDARD LVCMOS33} [get_ports {leds[15]}]
63

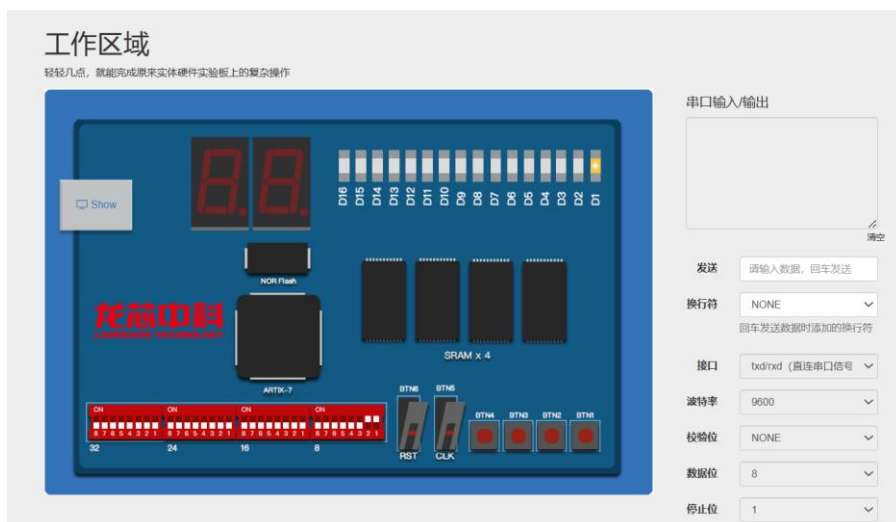
```

```

82 set_property -dict {PACKAGE_PIN G17 IOSTANDARD LVCMOS33} [get_ports {dpy1[7]}]
83
84 #DIP_SW
85 set_property -dict {PACKAGE_PIN T3 IOSTANDARD LVCMOS33} [get_ports {A}]
86 set_property -dict {PACKAGE_PIN J3 IOSTANDARD LVCMOS33} [get_ports {B}]
87 set_property -dict {PACKAGE_PIN M2 IOSTANDARD LVCMOS33} [get_ports {C}]
88 set_property -dict {PACKAGE_PIN P1 IOSTANDARD LVCMOS33} [get_ports {dip_sw[3]}]
89 set_property -dict {PACKAGE_PIN P4 IOSTANDARD LVCMOS33} [get_ports {dip_sw[4]}]
90 set_property -dict {PACKAGE_PIN L5 IOSTANDARD LVCMOS33} [get_ports {dip_sw[5]}]
91 set_property -dict {PACKAGE_PIN L3 IOSTANDARD LVCMOS33} [get_ports {dip_sw[6]}]
92 set_property -dict {PACKAGE_PIN N6 IOSTANDARD LVCMOS33} [get_ports {dip_sw[7]}]
93 set_property -dict {PACKAGE_PIN M6 IOSTANDARD LVCMOS33} [get_ports {dip_sw[8]}]
94 set_property -dict {PACKAGE_PIN N7 IOSTANDARD LVCMOS33} [get_ports {dip_sw[9]}]
95 set_property -dict {PACKAGE_PIN M7 IOSTANDARD LVCMOS33} [get_ports {dip_sw[10]}]
96 set_property -dict {PACKAGE_PIN L7 IOSTANDARD LVCMOS33} [get_ports {dip_sw[11]}]
97 set_property -dict {PACKAGE_PIN M5 IOSTANDARD LVCMOS33} [get_ports {dip_sw[12]}]
98 set_property -dict {PACKAGE_PIN K3 IOSTANDARD LVCMOS33} [get_ports {dip_sw[13]}]
99 set_property -dict {PACKAGE_PIN J1 IOSTANDARD LVCMOS33} [get_ports {dip_sw[14]}]

```

## 测试图



## 2. 扩展任务

- (a) 工作原理
  - (b) Verilog 源程序
  - (c) RTL 视图
  - (d) ModelSim 源程序
  - (d) ModelSim 仿真结果
  - (e) 下载测试结果
- 管脚配置
- 测试图

## 五、实验过程中出现的故障现象、原因分析及解决的办法

实验过程中多次出现仿真失败，查看报错信息得知为 `simulate.log` 正在使用，即可能有其他进程在使用日志，通过查看 `cpu` 进程得知同时有其他进程使用，将该进程杀掉后可正常进行仿真。除此之外还有综合时失败，搜索查看发现是该文件路径与计算机名称均不可包含中文，修改计算机名称后可正常综合。