

2014~2015 上学期《数字逻辑》A卷

一. 填空题 (每空1分, 共12分)

1. $(528)_{10} = (\quad)_2 = (\quad)_{16}$
2. $(-124)_{10} = (\quad)_{12} = (\quad)_8$
3. 函数 $F = AB$ 的最小项表达式是 ()
4. 分析 () 异步时序逻辑电路时, 要用到现态表和总态图
5. 若施密特触发器的正向阈值电压是 $3.2V$, 负向阈值电压是 $1.7V$, 则其回差电压是 () V
6. 三态门在禁止状态下, 输出 ()
7. 正逻辑的与门与负逻辑的 () 门等效
8. 余3码 $0110\ 0101\ 1000$ 对应的十进制数是 ()
9. 若采用奇校验, 当信息位为 010011 时, 校验位应是 ()
10. 要消除 $F(A, B, C) = AB + AC$ 对应的电路中可能出现的险象, 则应增加的冗余项是 ()

二. 单选题 (每空2分, 共20分)

1. 如果8线优先编码器 I_0, I_2, I_4, I_6 输入端都为有效电平, 输入是高电平有效, 则编码器输出是 (I_1 优先级最高)
A. 110 B. 010 C. 100 D. 000
2. 如果比较器 74HC85 的输入 $A=1101$, $B=1011$, 则其输出为
A. $A > B = 0, A < B = 0, A = B = 1$; B. $A > B = 1, A < B = 0, A = B = 0$
C. $A > B = 0, A < B = 1, A = B = 0$; D. $A > B = 1, A < B = 1, A = B = 0$

3. 将8421BCD码表示的十进制数 $(00111001)_{8421} + (00111001)_{8421}$ 的正确结果是 ^{相加后}
 A $(01110010)_{8421}$ B $(01101000)_{8421}$ C $(01111000)_{8421}$ D $(01100010)_{8421}$
4. 由与非门构成的基本R-S触发器维持1的方程的约束条件是
 A $RS=0$ B $RS=1$ C $R+S=1$ D $R+S=0$
5. 下降沿触发的触发器, 其状态翻转发生的时刻是
 A $CP=0$ 时 B $CP=1$ 时 C, CP 由0变1时 D. CP 由1变0时
6. 三八译码器74138能正常工作的前提是三个使能端 $S_1, \bar{S}_2, \bar{S}_3$ 必须接成
 A 011 B 100 C 000 D 111
7. 把串行输入的二进制数10110110串行移位(最先移入0)到一个8位右移寄存器中, 设寄存器的初使状态为11100100, 在二个时钟脉冲之后, 该寄存器的状态为
 A 10101110 B 10110110 C 10111001 D 00100110
8. 具有8个输出端, 16个输入端, 48个与项的PLA容量是
 A 16-48-8 B 8-16-48 C 16-8-48 D 48-8-16
9. 对完全给定原始状态表中的7个状态A、B、C、D、E、F、G进行化简, 若有(AB)、(BC)、(EF)、(FG)等项, 则最简状态表中有几个状态
 A 5 B 4 C 7 D 3
10. 若二输入或非门的输出为1, 则其输入为
 A 11 B 00 C 01 D 10

三. 化简题 (10分)

把 $F(ABCD) = AB\bar{C}\bar{D} + BC\bar{D} + \sum m(2, 3, 12) + \sum d(1, 4, 11, 14)$ 化成最简“与-或”式和最简“或-与”式

四. 分析题 (每小题9分, 共18分)

1. 分析图1所示组合逻辑电路 (包问3分)

1). 写出输出函数表达式

2). 列出真值表

3). 说明电路功能

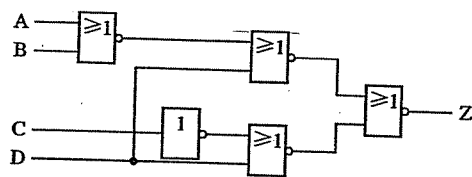


图1

2. 分析图2所示脉冲异步时序逻辑电路 (包问3分)

1). 写出输出函数表达式

2). 作出状态表和状态图

3). 说明电路功能

作出 Q_2, Q_1, Q_0 的波形图

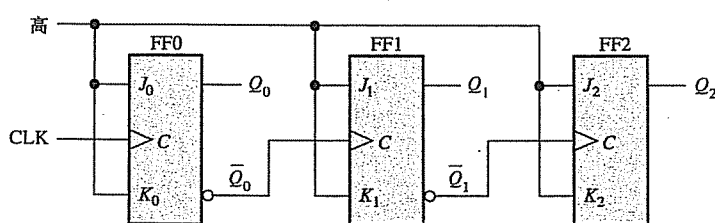


图2

五. 设计题 (每小题9分, 共27分)

1. 用四选一多路选择器设计一个三变量ABC校验码产生电路 (用ABC作地址选择端)

2. 作出“101”序列检测器的 Moore 型原始状态图和状态表 (101 序列不可以重叠)

3. 用 D 触发器实现下面二进制状态表的同步时序逻辑电路

y_3	y_2	y_1	$y_3^{n+1}y_2^{n+1}y_1^{n+1}/Z$	
			$x=0$	$x=1$
0	0	0	010/0	110/0
0	1	0	100/0	101/0
1	1	0	101/0	100/0
1	0	0	000/1	000/0
1	0	1	000/0	000/1

六. 综合应用题 (13分)

下图是4位二进制加法计数器74LS561的引脚图和引脚示意图 (0为高位输入)。其中0C为三态输出控制端, 00C为与时钟同步的进位输出

出。高电平有效。其它各输入端的功能见功能表。

- 1). 说明这个计数器的清零和预置控制信号各有哪几种组合方式(6分)
- 2). 若用该计数器构成十进制计数器, 试给出一一种实现方案, 画出连接图。(7分)

	Q_A	Q_B	Q_C	Q_D
\overline{SLOAD}				\overline{OOC}
\overline{ALOAD}				\overline{ALCR}
CP				\overline{SLCR}
	A	B	C	D

\overline{OC}	\overline{SLOAD}	\overline{ALOAD}	\overline{SLCR}	\overline{ALCR}	CP	DCBA	$Q_D Q_C Q_B Q_A$
1	x	x	x	x	x	xxxx	高阻
0	0	1	1	1	↑	d c b a	d c b a
0	x	0	1	1	x	d c b a	d c b a
0	x	x	0	1	↑	xxxx	0 0 0 0
0	x	x	x	0	x	xxxx	0 0 0 0
0	1	1	1	1	↑	xxxx	加法计数