

**ĐẠI HỌC QUỐC GIA TP. HỒ CHÍ MINH
TRƯỜNG ĐẠI HỌC CÔNG NGHỆ THÔNG TIN
KHOA KỸ THUẬT MÁY TÍNH**



BÁO CÁO ĐỒ ÁN

THIẾT KẾ LUẬN LÝ SỐ

Giảng viên hướng dẫn: Ts. Lâm Đức Khải



NHẬN XÉT CỦA GIẢNG VIÊN HƯỚNG DẪN

MỤC LỤC

I.	SHIFT REGISTER WITH PARALLEL LOAD:	17
1.	MUX 4 to 1:	17
1.1.	Sơ đồ mạch Mux 4 to 1:	17
1.2.	Waveform của mạch Mux 4 to 1:.....	17
1.3.	Chức năng của mạch Mux 4 to 1:.....	17
2.	Shift Register with Parallel Load:	18
1.1.	Sơ đồ mạch SRwPL:	18
1.2.	Wave form mạch SRwPL:.....	18
1.3.	Chức năng của mạch SRwPL:	19
II.	UP/DOWN COUNTER WITH PARALLEL LOAD:	19
1.	Mux 2 to 1:.....	19
1.1.	Sơ đồ mạch Mux 2 to 1:	19
1.2.	Waveform mạch Mux 2 to 1:.....	20
1.3.	Chức năng mạch Mux 2 to 1:	20
2.	Half Adder/Subtract:	20
2.1.	Sơ đồ mạch Half Adder/Subtract:	20
2.2.	Waveform mạch Half Adder/Subtract:.....	21
2.3.	Chức năng mạch Half Adder/Subtract:	21
3.	Up/Down Counter with parallel Load:	21
3.1.	Sơ đồ mạch UDwPL:.....	21
3.2.	Waveform mạch UDwPL:	22
3.3.	Chức năng mạch UDwPL:	22
III.	BCD COUNTER:	22
1.	Mux 0 or 9:.....	22
1.1.	Sơ đồ mạch Mux 0 or 9:	22
1.2.	Waveform mạch Mux 9 or 0:	23
1.3.	Chức năng của mạch Mux 9 or 0:.....	23
2.	Up/Down Counter with Parallel Load:	23
3.	Loader:.....	23

3.1. Sơ đồ mạch Loader:	23
3.2. Waveform mạch Loader:	23
3.3. Chức năng mạch Loader:	23
4. BCD Counter:	24
4.1. Sơ đồ mạch BCD Counter:	24
4.2. Waveform mạch BCD Counter:	24
4.3. Chức năng mạch BCD Counter:	24
IV. REGISTER FILE:	24
1. Register File Cell (RFC):	24
1.1. Sơ đồ mạch RFC:	24
1.2. Waveform mạch RFC:	25
1.3. Chức năng mạch RFC:	25
2. Write/Read Decoder:	25
2.1. Sơ đồ mạch Write/Read Decoder:	25
2.2. Waveform mạch Write/Read Decoder:	26
2.3. Chức năng mạch Write/Read Decoder:	26
3. Register File:	26
3.1. Sơ đồ mạch Register File:	26
3.2. Waveform mạch Register File:	27
3.3. Chức năng mạch Register File:	27
V. RAM:	28
1. Memory Cell:	28
1.1. Sơ đồ mạch của Memory Cell:	28
1.2. Waveform của mạch Memory Cell:	29
1.3. Chức năng của mạch Memory Cell:	29
2. Address Decoder:	29
3. RAM 4x8-bit:	29
3.1. Sơ đồ mạch RAM 4x8-bit:	29
3.2. Waveform mạch RAM 4x8-bit:	30
3.3. Chức năng mạch RAM 4x8-bit:	30
4. RAM 16x8-bit:	30
4.1. Sơ đồ mạch RAM 16x8-bit:	30
4.2. Waveform mạch RAM 16x8-bit:	31

4.3. Chức năng mạch RAM 16x8-bit:	31
VI. STACK:	31
1. Mux 2 to 1 4-bit:	31
2. RAM 16x8-bit:	31
3. Counter:	31
4. Stack:	31
4.1. Sơ đồ mạch Stack:	31
4.2. Waveform mạch Stack:	32
4.3. Chức năng mạch Stack:	32
VII. QUEUE:	32
1. Mux 2 to 1 4-bit:	32
2. RAM 16x8-bit:	32
3. Counter:	32
4. Comparator:	32
4.1. Sơ đồ mạch Comparator:	32
4.2. Waveform mạch Comparator:	33
4.3. Chức năng mạch Comparator:	33
5. Queue:	33
5.1. Sơ đồ mạch Queue:	33
5.2. Waveform mạch Queue:	33
5.3. Chức năng mạch Queue:	34
VIII. SUM FROM 0 TO 9:	34
1. Full Adder 6-bit:	34
1.1. Sơ đồ mạch Full Adder 6-bit:	34
1.2. Waveform mạch Full Adder 6-bit:	34
1.3. Chức năng mạch Full Adder 6-bit:	34
2. Register File 6-bit:	35
2.1. Sơ đồ mạch Register File 6-bit:	35
2.2. Waveform mạch Register File 6-bit:	35
2.3. Chức năng Register File 6-bit:	35
3. Comparator:	35
4. BCD Counter:	35
5. Sum from 0 to 9:	35

5.1.	Sơ đồ mạch Sum from 0 to 9:	35
5.2.	Waveform Sum from 0 to 9:	36
5.3.	Chức năng mạch Sum from 0 to 9:	36
IX.	COUNT ONE'BIT:	37
1.	Thiết kế khối Datapath:	37
1.1.	Khối SRwPL:	37
1.2.	Khối Counter:	37
1.3.	Khối Checkbit1:	37
1.3.1.	Sơ đồ khối Checkbit1:	37
1.3.2.	Chức năng khối Checkbit1:	37
1.4.	Khối Datapath:	37
1.4.1.	Sơ đồ thiết kế khối Datapath Count one'bit:	37
1.4.2.	Chức năng khối Datapath Count one'bit:	37
2.	Thiết kế khối Controller:	38
2.1.	Bảng trạng thái và các tín hiệu điều khiển:	38
2.2.	Khối Controller:	38
2.2.1.	Sơ đồ mạch khối NextState Count One'bit:	38
2.2.2.	Sơ đồ mạch khối Output Count One'bit:	39
2.2.3.	Sơ đồ mạch khối Controller Count One'bit:	39
3.	Count One'bit:	40
3.1.	Sơ đồ mạch Count One'bit:	40
3.2.	Waveform mạch Count One'bit:	40
X.	SRA REGISTER SHARING (VARIABLE MERGING):	41
1.	Tổng quan thiết kế:	41
2.	Thiết kế khối Datapath:	44
2.1.	Absolute:	44
2.1.1.	Sơ đồ mạch Absolute:	44
2.1.2.	Waveform mạch Absolute:	45
2.1.3.	Chức năng mạch Absolute:	45
2.2.	Khối Max:	45
2.2.1.	Sơ đồ mạch khối Max:	45
2.2.2.	Waveform mạch khối Max:	46
2.2.3.	Chức năng khối Max:	46

2.3. Khối Min:	46
2.3.1. Sơ đồ mạch khối Min:	46
2.3.2. Waveform khối Min:	46
2.3.3. Chức năng khối Min:	47
2.4. Khối Add:	47
2.4.1. Sơ đồ mạch khối Add:	47
2.4.2. Waveform mạch khối Add:	47
2.4.3. Chức năng khối Add:	47
2.5. Khối Subtract:	47
2.5.1. Sơ đồ mạch khối Subtract:	47
2.6. Khối Shift 1 or 3:	48
2.6.1. Sơ đồ mạch khối Shift 1 or 3:	48
2.6.2. Waveform khối Shift 1 or 3:	48
2.6.3. Chức năng khối Shift 1 or 3:	48
2.7. Khối Mux 4 to 1:	49
2.7.1. Sơ đồ mạch khối Mux 4 to 1:	49
2.7.2. Chức năng khối Mux 4 to 1:	49
2.8. Khối Mux 8 to 1:	49
2.8.1. Sơ đồ mạch khối Mux 8 to 1:	49
2.8.2. Chức năng khối Mux 8 to 1:	50
2.9. Khối Register:	50
2.9.1. Sơ đồ mạch khối Register:	50
2.9.2. Chức năng khối Register:	50
2.10. Khối Datapath:	51
2.10.1. Sơ đồ mạch khối Datapath:	51
2.10.2. Waveform khối Datapath:	51
2.10.3. Chức năng khối Datapath:	51
3. Thiết kế khối Controller:	51
3.1. Bảng trạng thái và các tín hiệu điều khiển:	51
3.2. Hoàn thiện khối Controller:	54
3.2.1. Next State:	54
3.2.2. Output:	55
3.2.3. Controller:	55

4. Mạch SRA Register Sharing:	55
4.1. Sơ đồ mạch Registrer Sharing:	55
4.2. Waveform mạch Register Sharing:	55
XI. SRA FUNCTIONAL-UNIT SHARING:	56
1. Tổng quan thiết kế:	56
2. Thiết kế khối Datapath:	57
2.1. Khối Absolute or Max (AU1):	57
2.1.1. Sơ đồ mạch khối Absolute or Max:	57
2.1.2. Waveform khối Absolute or Max:	58
2.1.3. Chức năng khối Add or Max:	58
2.2. Khối Abs, Sub, Add, Min (AU2):	58
2.2.1. Sơ đồ mạch khối AU2:	58
2.2.2. Waveform khối AU2:	58
2.2.3. Chức năng khối AU2:	58
2.3. Khối Shift 1 or Shift 3:	59
2.4. Khối Mux 4 to 1:	59
2.5. Khối Register:	59
2.6. Datapath:	59
2.6.1. Sơ đồ mạch khối Datapath:	59
2.6.2. Waveform khối Datapath:	59
2.6.3. Chức năng khối Datapath:	60
3. Thiết kế khối Controller:	60
3.1. Bảng trạng thái và các tín hiệu điều khiển:	60
3.2. Hoàn thiện khối Controller:	63
3.2.1. NextState:	63
3.2.2. Output:	63
4. SRA Functional-unit Sharing:	64
4.1. Sơ đồ mạch SRA Functiona-unit Sharing:	64
4.2. Waveform mạch SRA Functiona-unit Sharing:	64
XII. SRA BUS SHARING:	65
1. Tổng quan thiết kế:	65
2. Thiết kế khối Datapath:	67
2.1. Khối Absolute or Max (AU1):	67

2.2.	Khối Add, Sub, Min, Absolute (AU2):	67
2.3.	Khối Shift 1 or 3:	67
2.4.	Khối Register:	67
2.5.	Khối Datapath:	67
2.5.1.	Sơ đồ khối Datapath:	67
2.5.2.	Waveform khối Datapath:	68
2.5.3.	Chức năng khối Datapath:	68
3.	Thiết kế khối Controller:	68
3.1.	Bảng trạng thái và các tín hiệu điều khiển:	68
3.2.	Hoàn thiện khối Controller:	72
3.2.1.	Khối NextState:	72
3.2.2.	Khối Output:	72
3.2.3.	Khối Controller:	73
4.	SRA Bus Sharing:	73
4.1.	Sơ đồ mạch SRA Bus Sharing:	73
4.2.	Waveform mạch SRA Bus Sharing:	73
XIII.	SRA REGISTER MERGING:	74
1.	Tổng quan thiết kế:	74
2.	Thiết kế Datapath:	74
2.1.	Khối Absolute or Max (AU1):	74
2.2.	Khối Add, Sub, Min, Absolute (AU2):	74
2.3.	Khối Shift 1 or 3:	75
2.4.	Khối Register:	75
2.5.	Khối Register R1, R3:	75
2.5.1.	Sơ đồ khối Register R1 R3:	75
2.5.2.	Chức năng khối Register R1 R3:	75
2.6.	Khối Datapath SRA Register Merging:	75
2.6.1.	Sơ đồ khối SRA Register Merging:	75
2.6.2.	Chức năng khối SRA Register Merging:	76
3.	Thiết kế Controller:	76
3.1.	Bảng trạng thái và các tín hiệu điều khiển:	76
3.2.	Hoàn thiện khối Controller:	80
3.2.1.	Khối NextState:	80

3.2.2. Khối Output:	80
3.2.3. Khối Controller:	81
4. SRA Register Merging:	81
4.1. Sơ đồ mạch SRA Register Merging:	81
4.2. Waveform mạch SRA Register Merging:	81
XIV. SRA UNITS PINELINING:	82
1. Tổng quan thiết kế:	82
2. Thiết kế khối Datapath:	82
2.1. Khối Shift 1 or 3:	83
2.2. Khối Register:	83
2.3. Khối AU:	83
2.3.1. Khối AU1:	83
2.3.2. Khối AU2:	83
2.3.3. Khối RFC:	84
2.3.4. Khối AU:	84
3. Thiết kế khối Controller:	85
3.1. Bảng trạng thái và các tín hiệu điều khiển:	85
3.2. Khối Controller:	88
4. SRA Units Pilining:	90
XV. SRA DATAPATH PINELINING:	91
1. Tổng quan thiết kế:	91
2. Thiết kế khối Datapath:	92
2.1. Shift 1 or 3:	92
2.2. Register:	92
2.3. AU1:	92
2.4. AU2:	93
3. Thiết kế khối Controller:	94
3.1. Bảng trạng thái và các tín hiệu điều khiển:	94
3.2. Khối Controller:	97
4. SRA Datapath Pinelining:	99
XVI. SRA FUNCTION VS DATAPATH PINELINE:	100
1. Tổng quan thiết kế:	100
2. Thiết kế khối Datapath:	100

2.1.	Shift 1 or 3:	100
2.2.	Register:	100
2.3.	AU1:	101
2.4.	AU2:	101
2.5.	Khối Datapath:	102
3.	Thiết kế khối Controller:	102
3.1.	Bảng trạng thái và các tín hiệu điều khiển:	102
3.2.	Khối Controller:	106
4.	SRA Function vs Datapath Pineline:	107

MỤC LỤC ẢNH

Hình 1. Sơ đồ mạch Mux 4 to 1	17
Hình 2. Waveform của mạch Mux 4 to 1	17
Hình 3. Sơ đồ mạch SRwPL	18
Hình 4. Waveform mạch SRwPL.....	18
Hình 5. Sơ đồ mạch Mux 2 to 1	19
Hình 6. Sơ đồ mạch Mux 2 to 1	20
Hình 7. Sơ đồ mạch Half Adder/Subtract	20
Hình 8. Waveform mạch Half Adder/Subtract	21
Hình 9. Sơ đồ mạch UDwPL	21
Hình 10. Waveform mạch UDwPL	22
Hình 11. Sơ đồ mạch Mux 0 or 9	22
Hình 12. Waveform mạch Mux 9 or 0	23
Hình 13. Sơ đồ mạch Loader	23
Hình 14. Waveform mạch Loader	23
Hình 15. Sơ đồ mạch BCD Counter.....	24
Hình 16. Waveform mạch BCD Counter	24
Hình 17. Sơ đồ mạch RFC	24
Hình 18. Waveform mạch RFC.....	25
Hình 19. Sơ đồ mạch Write/Read Decoder	25
Hình 20. Waveform mạch Write/Read Decoder.....	26
Hình 21. Sơ đồ mạch Register File	27
Hình 22. Waveform mạch Register File:.....	27
Hình 23. Sơ đồ mạch Memory Cell	28
Hình 24. Waveform của mạch Memory Cell	29
Hình 25. Sơ đồ mạch RAM 4x8-bit:	29
Hình 26. Waveform mạch RAM 4x8-bit.....	30
Hình 27. Sơ đồ mạch của RAM 16x8-bit	30
Hình 28. Waveform của mạch RAM 16x8-bit	31
Hình 29. Sơ đồ mạch Stack.....	31
Hình 30. Waveform của mạch Stack	32
Hình 31. Sơ đồ mạch Comparator.....	33
Hình 32. Waveform mạch Comparator	33
Hình 33. Sơ đồ mạch Queue	33
Hình 34. Waveform mạch Queue.....	34
Hình 35. Sơ đồ mạch Full Adder 6-bit.....	34
Hình 36. Waveform mạch Full Adder 6-bit.....	34
Hình 37. Sơ đồ mạch Register File 6-bit.....	35
Hình 38. Waveform mạch Register File 6-bit	35
Hình 39. Sơ đồ mạch Sum from 0 to 9	36
Hình 40. Waveform Sum from 0 to 9.....	36
Hình 41. Sơ đồ khối Checkbit1	37
Hình 42. Sơ đồ khối Count one'bit	37
Hình 43. Sơ đồ trạng thái Count one'bit.....	38

Hình 44. Sơ đồ mạch khối NextState Count One'bit.....	39
Hình 45. Sơ đồ mạch khối Output Count One'bit	39
Hình 46. Sơ đồ khooisController Count One'bit	39
Hình 47. Sơ đồ mạch Count One'bit.....	40
Hình 48. Waveform mạch Count One'bit	40
Hình 49. Lưu đồ mạch SRA.....	41
Hình 50. Bảng Variable Usage (Register Sharing).....	42
Hình 51. Sơ đồ ban đầu.....	43
Hình 52. Sơ đồ sau khi gộp t_3, t_4, t_6	43
Hình 53. Sơ đồ sau khi gộp t_1, x và t_7	43
Hình 54. Sơ đồ sau khi gộp y và t_2	44
Hình 55. Sơ đồ cuối cùng sau khi tối ưu.....	44
Hình 56. Sơ đồ mạch Absolute	44
Hình 57. Waveform mạch Absolute	45
Hình 58. Sơ đồ mạch khối Max	45
Hình 59. Waveform khối Max	46
Hình 60. Sơ đồ mạch khối Min.....	46
Hình 61. Waveform khối Min	46
Hình 62. Sơ đồ mạch khối Add.....	47
Hình 63. Waveform của khối Add.....	47
Hình 64. Sơ đồ mạch khối Subtract	47
Hình 65. Waveform khối Subtract	48
Hình 66. Sơ đồ mạch khối Shift 1 or 3	48
Hình 67. Waveform khối Shift 1 or 3	48
Hình 68. Sơ đồ mạch khối Mux 4 to 1	49
Hình 69. Sơ đồ mạch khối Mux 8 to 1	49
Hình 70. Sơ đồ mạch khối Register	50
Hình 71. Sơ đồ mạch khối Datapath	51
Hình 72. Waveform khối Datapath	51
Hình 73. Sơ đồ Moore.....	52
Hình 74. Sơ đồ mạch trạng thái Next State.....	54
Hình 75. Sơ đồ mạch trạng thái Output	55
Hình 76. Sơ đồ mạch khối Controller	55
Hình 77. Sơ đồ mạch SRA Register Sharing	55
Hình 78. Waveform mạch SRA Register Sharing	55
Hình 79. Sơ đồ Functional-unit Sharing	56
Hình 80. Sơ đồ sau khi gom nhóm.....	57
Hình 81. Sơ đồ mạch khối Absolute or Max.....	57
Hình 82. Waveform khối Absolute or Max	58
Hình 83. Sơ đồ mạch khối AU2	58
Hình 84. Waveform khối AU2	58
Hình 85. Sơ đồ mạch khối Datapath	59
Hình 86. Waveform khối Datapath	59
Hình 87. Sơ đồ Moore.....	60

Hình 88. Sơ đồ mạch NextState SRA Functional-unit Sharing	63
Hình 89. Sơ đồ mạch Output Functional-unit Sharing	64
Hình 90. Sơ đồ mạch SRA Functional-unit Sharing	64
Hình 91. Waveform SRA Functional-unit Sharing	64
Hình 92. Tên các dây của Datapath	65
Hình 93. Đồ thị Bus đầu vào.....	66
Hình 94. Đồ thị Bus đầu ra	66
Hình 95. Bảng sử dụng các cổng	66
Hình 96. Sơ đồ khối Datapath SRA Bus Sharing.....	67
Hình 97. Waveform khối Datapath SRA Bus Sharing	68
Hình 98. Sơ đồ Moore.....	68
Hình 99. Sơ đồ mạch khối NextState.....	72
Hình 100.Sơ đồ mạch khối Output	72
Hình 101. Sơ đồ khối Controller.....	73
Hình 102. Sơ đồ mạch khối SRA Bus Sharing	73
Hình 103. Waveform SRA Bus Sharing.....	73
Hình 104. Đồ thị Register Merging	74
Hình 105. Bảng địa chỉ thanh ghi	74
Hình 106. Sơ đồ khối mạch Register R1 R3	75
Hình 107. Sơ đồ khối mạch Datapath Register Merging	75
Hình 108. Sơ đồ Moore.....	76
Hình 109. Sơ đồ mạch khối Next State.....	80
Hình 110. Sơ đồ mạch Output.....	80
Hình 111. Sơ đồ mạch Controller SRA Register Merging	81
Hình 112. Sơ đồ mạch SRA Register Sharing	81
Hình 113. Waveform khối SRA Register Sharing.....	81
Hình 114. Sơ đồ mạch khối AU1	83
Hình 115. Waveform mạch AU1	83
Hình 116. Sơ đồ khối AU2.....	84
Hình 117. Sơ đồ mạch khối RFC 8-bit.....	84
Hình 118. Sơ đồ mạch khối AU	84
Hình 119. Tín hiệu điều khiển AU	85
Hình 120. Lưu đồ giải thuật.....	85
Hình 121. Sơ đồ trạng thái của SRA Function Pineline.....	86
Hình 122. Sơ đồ mạch NextState SRA Units Pinelining	89
Hình 123. Sơ đồ mạch Output SRA Units Pinelining	90
Hình 124. Sơ đồ mạch Controller SRA Units Pinelining.....	90
Hình 125. Sơ đồ mạch SRA Units Pinelining	90
Hình 126. Waveform SRA Units Pinelining	90
Hình 127. Biểu đồ ASM cho thiết kế Datapath Pineline.....	91
Hình 128. Sơ đồ mạch khối AU1	93
Hình 129. Waveform khối AU1	93
Hình 130. Sơ đồ mạch khối AU2	94
Hình 131. Waveform khối AU2	94

Hình 132. Sơ đồ trạng thái SRA Datapath Pineline	95
Hình 133. Sơ đồ mạch NextState SRA Datapath Pineline	98
Hình 134. Sơ đồ khối Output SRA Datapath Pineline	98
Hình 135. Sơ đồ khối Controller SRA Datapath Pineline.....	99
Hình 136. Sơ đồ khối SRA Datapath Pineline	99
Hình 137. Waveform mạch SRA Datapath Pineline	99
Hình 138. Sơ đồ mạch khối AU1	101
Hình 139. Waveform mạch AU1	101
Hình 140. Sơ đồ mạch AU2	102
Hình 141. Waveform mạch AU2.....	102
Hình 142. Sơ đồ mạch khối Datapath Function vs Datapath Pineline	102
Hình 143. Waveform khối Datapath Function vs Datapath Pineline	102
Hình 144. Sơ đồ trạng thái SRA Function vs Datapath Pineline	103
Hình 145. Sơ đồ mạch NextState SRA Function vs Datapath Pineline	106
Hình 146. Sơ đồ mạch SRA Function vs Datapath Pineline.....	107
Hình 147. Khối Controller SRA Function vs Datapath Pineline	107
Hình 148. Sơ đồ khối SRA Function vs Datapath Pineline	108
Hình 149. Waeform SRA Function vs Datapath Pineline	108

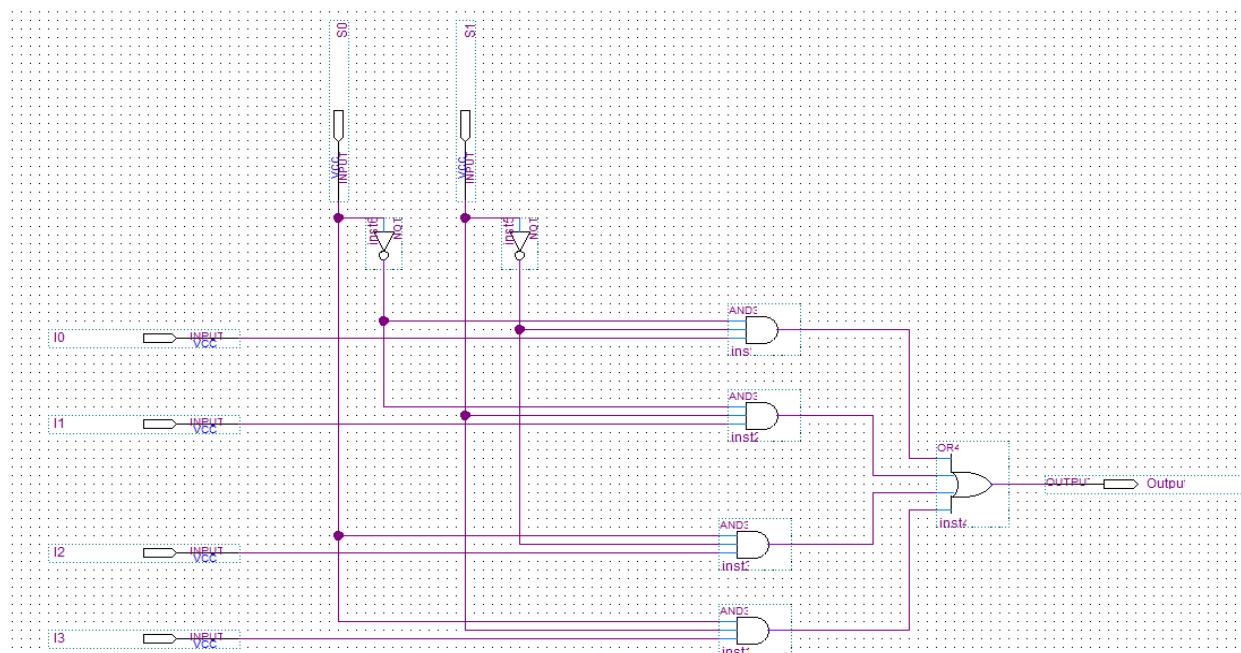
MỤC LỤC BẢNG

Bảng 1. Trạng thái đầu vào của Count One'bit.....	38
Bảng 2. Trang thái ngõ vào của SRA Register Sharing	52
Bảng 3. Bảng trạng thái ngõ ra của SRA Register Sharing.....	53
Bảng 4. Trang thái ngõ vào của SRA Function-unit Sharing.....	60
Bảng 5. Bảng trạng thái ngõ ra của SRA Functional-unit Sharing	61
Bảng 6. Bảng trạng thái điều khiển của các khối AU	62
Bảng 7. Trang thái ngõ vào của SRA Bus Sharing	69
Bảng 8. Bảng trạng thái ngõ ra của SRA Bus Sharing.....	70
Bảng 9. Bảng trạng thái điều khiển của các khối AU	71
Bảng 10. Trang thái ngõ vào của SRA Register Merging	76
Bảng 11. Bảng trạng thái ngõ ra của SRA Register Merging.....	77
Bảng 12. Bảng trạng thái điều khiển của các khối AU	78
Bảng 13. Giản đồ thời gian của khối Datapath thực thi pipeline khối chức năng.....	82
Bảng 14. Trạng thái ngõ vào SRA Units Pineling.....	86
Bảng 15. Trạng thái ngõ ra SRA Units Pineling	87
Bảng 16. Giản đồ thời gian dựa trên biểu đồ ASM.....	92
Bảng 17. Trạng thái ngõ ra SRA Datapath Pinelining	95
Bảng 18. Trạng thái ngõ ra SRA Datapath Pinelining	96
Bảng 19. Giản đồ ASM dựa trên biểu đồ thời gian.....	100
Bảng 20. Trạng thái ngõ vào SRA Function Units vs Datapath Pinelining	103
Bảng 21. Trạng thái ngõ ra SRA Function Units vs Datapath Pinelining	104

I. SHIFT REGISTER WITH PARALLEL LOAD:

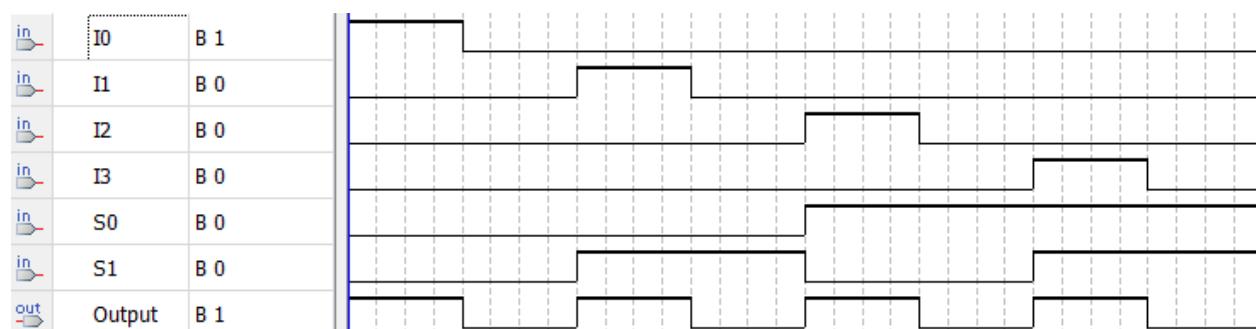
1. MUX 4 to 1:

1.1. Sơ đồ mạch Mux 4 to 1:



Hình 1. Sơ đồ mạch Mux 4 to 1

1.2. Waveform của mạch Mux 4 to 1:



Hình 2. Waveform của mạch Mux 4 to 1

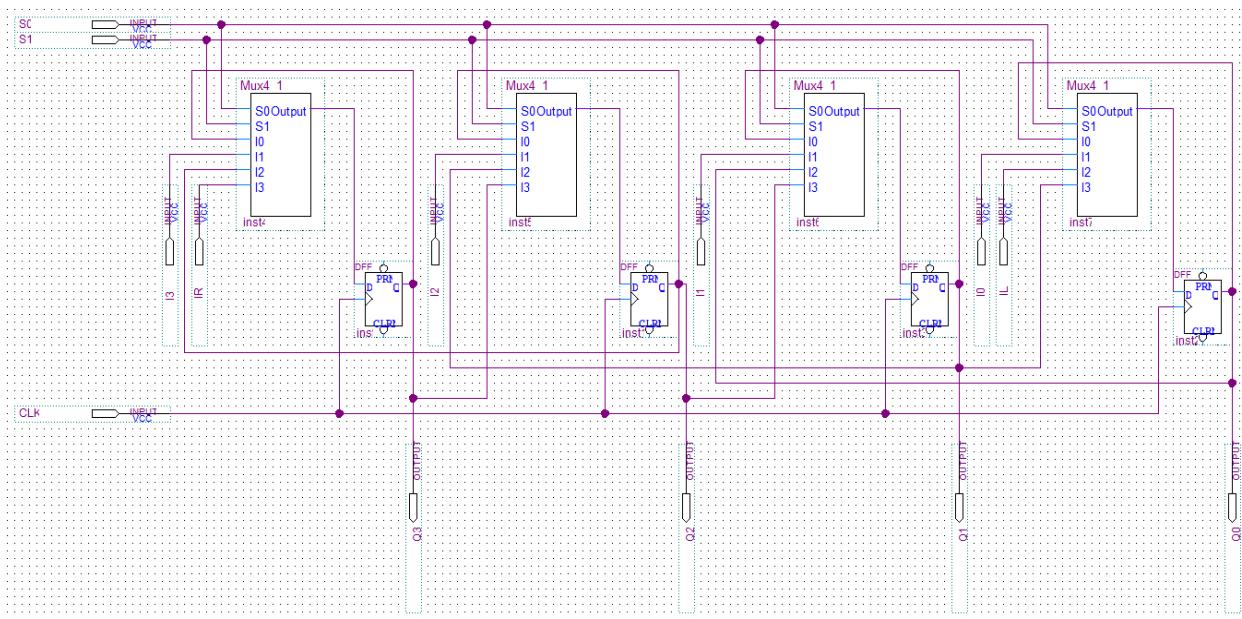
1.3. Chức năng của mạch Mux 4 to 1:

Mạch Mux 4 to 1 là mạch có chức năng chọn, có 4 input là I0, I1, I2, I3 và 2 cổng chọn là S0 và S1.

- Khi S0 và S1 lần lượt là 00: ngõ ra sẽ là giá trị I0.
- Khi S0 và S1 lần lượt là 01: ngõ ra sẽ là giá trị I1.
- Khi S0 và S1 lần lượt là 10: ngõ ra sẽ là giá trị I2.
- Khi S0 và S1 lần lượt là 11: ngõ ra sẽ là giá trị I3.

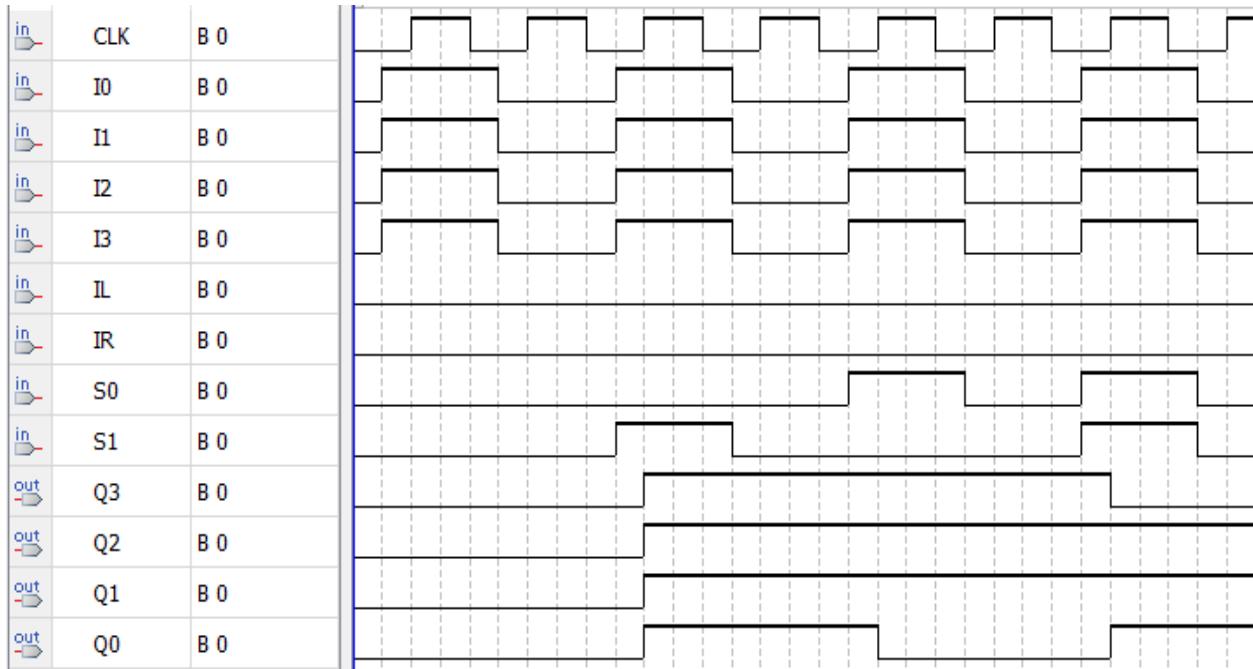
2. Shift Register with Parallel Load:

1.1. Sơ đồ mạch SRwPL:



Hình 3. Sơ đồ mạch SRwPL

1.2. Wave form mạch SRwPL:



Hình 4. Waveform mạch SRwPL

1.3. Chức năng của mạch SRwPL:

Mạch Shift Register with Parallel Load là mạch tích hợp nhiều chức năng, vừa có thể load các giá trị và vừa có thể dịch trái hay dịch phải tùy vào tín hiệu điều khiển truyền vào. Mạch có 6 input lần lượt là I0, I1, I2, I3, IR, IL. 2 input có chức năng là chọn chức năng muốn thực hiện là S0 và S1 và 4 output để hiển thị kết quả. Ngoài ra còn có 1 input CLK có chức năng cấp xung clock cho mạch.

- Khi S0 và S1 lần lượt là 00: mạch không thực hiện chức năng nào.
- Khi S0 và S1 lần lượt là 01: Mạch thực hiện chức năng Parallel load mỗi khi có xung clock, load lần lượt các input I0, I1, I2, I3 vào.

(Ví dụ: giá trị ban đầu là 0000, input của I0, I1, I2, I3 lần lượt là 1111. Sau khi Parallel load thì giá trị mớiẽ là 1111).

- Khi S0 và S1 lần lượt là 10: Mạch thực hiện chức năng Shift Left mỗi khi có xung clock, dịch trái các giá trị và chèn IL vào bên trái giá trị vừa bị dịch.

(Ví dụ: giá trị ban đầu là 1111, sau khi dịch trái với IL là 0 thì giá trị sau khi dịch sẽ là 1110).

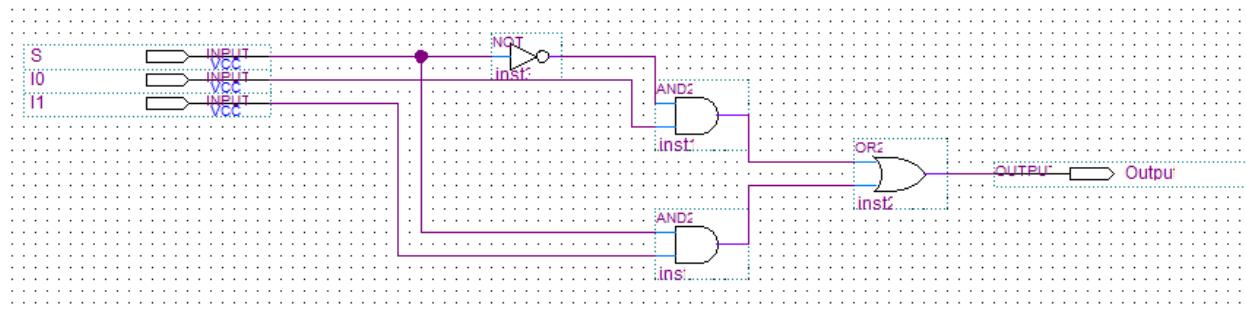
- Khi S0 và S1 lần lượt là 11: Mạch thực hiện chức năng Shift Right mỗi khi có xung clock, dịch phải các giá trị và chèn IR vào bên phải giá trị vừa bị dịch.

(Ví dụ: giá trị ban đầu là 1111, sau khi dịch phải với IR là 0 thì giá trị sau khi dịch sẽ là 0111).

II. UP/DOWN COUNTER WITH PARALLEL LOAD:

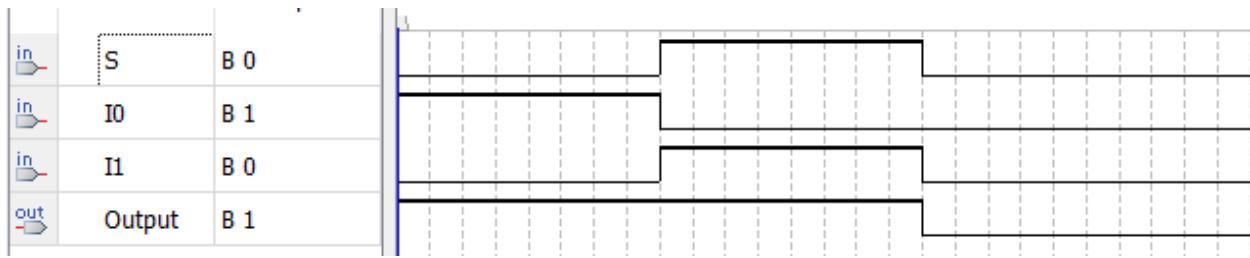
1. Mux 2 to 1:

1.1. Sơ đồ mạch Mux 2 to 1:



Hình 5. Sơ đồ mạch Mux 2 to 1

1.2. Waveform mạch Mux 2 to 1:



Hình 6. Sơ đồ mạch Mux 2 to 1

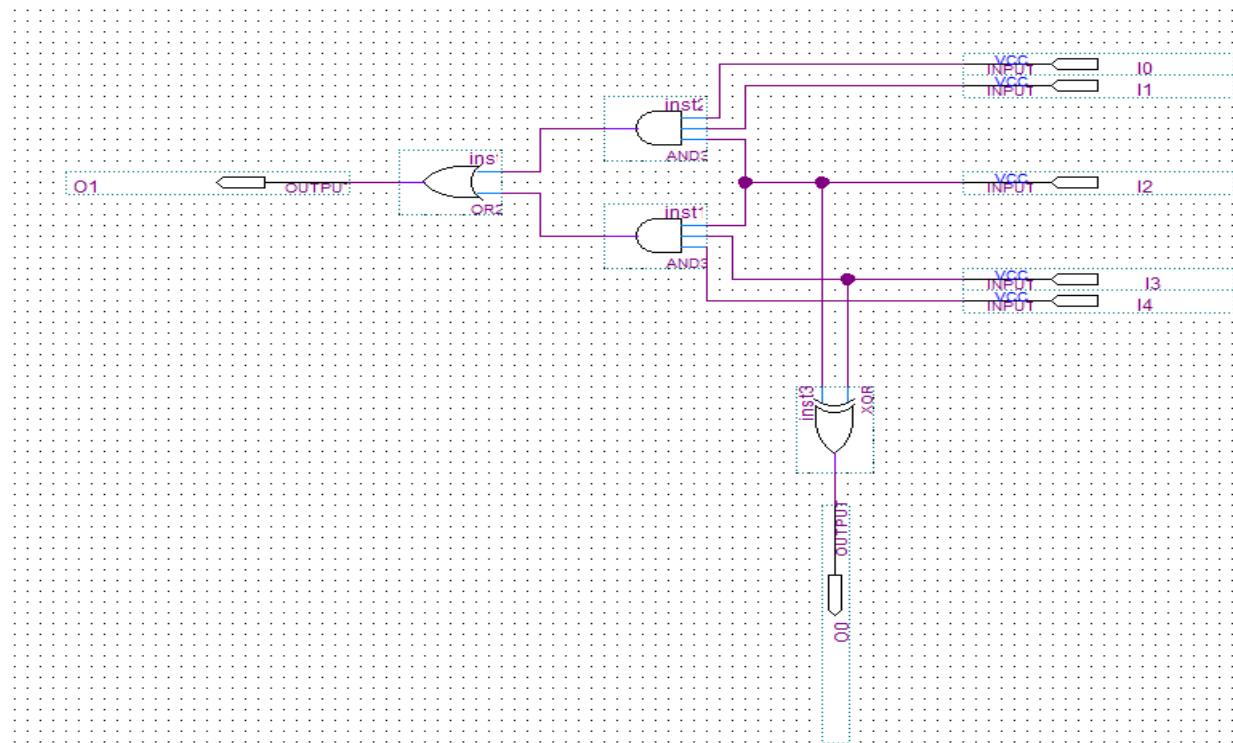
1.3. Chức năng mạch Mux 2 to 1:

Mạch có chức năng tương tự như Mux 4 to 1 ở mục I. có 2 input là I0, I1 và 1 input chọn S.

- Khi S = 0: Output là I0.
- Khi S = 1: Output là I1.

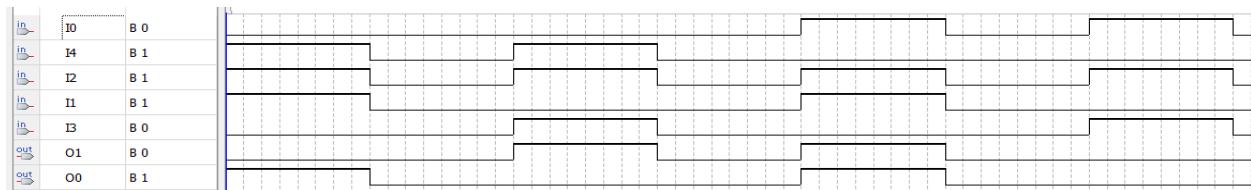
2. Half Adder/Subtract:

2.1. Sơ đồ mạch Half Adder/Subtract:



Hình 7. Sơ đồ mạch Half Adder/Subtract

2.2. Waveform mạch Half Adder/Subtract:



Hình 8. Waveform mạch Half Adder/Subtract

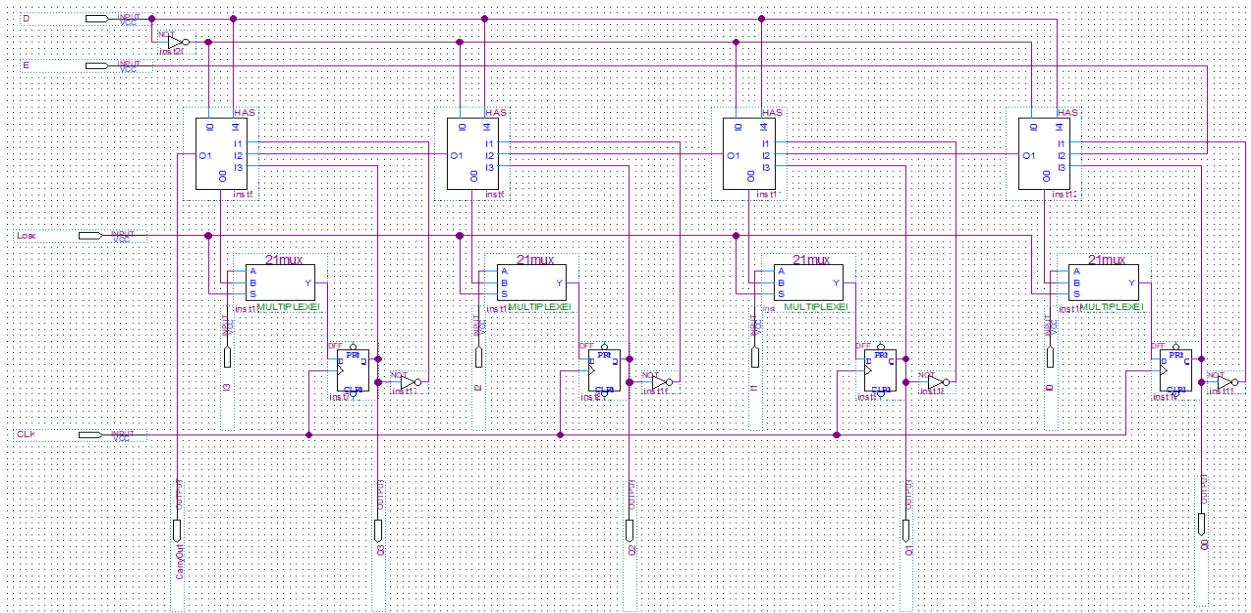
2.3. Chức năng mạch Half Adder/Subtract:

Mạch cộng trừ bán phần, có 5 input lần lượt là I0 và I4 điều khiển để trừ hoặc cộng, I2 cho phép thực hiện cộng trừ, I1 và I3 đầu vào để thực hiện xuất ra ngoài ra. Ngoài ra còn có 2 output là O1 và O0.

- Khi I0 và I4 lần lượt là 0 và 1 mạch sẽ thực hiện phép cộng ngược lại khi I0 và I4 lần lượt là 10 mạch sẽ thực hiện phép trừ.
- I2 là input Enable, khi I2 = 1 thì mạch sẽ hoạt động.
- Nếu giá trị ban đầu là 0 tức là I1 và I3 lần lượt là 1 và 0 và đang thực hiện phép cộng thì O0 = 1 và O1 = 0. Nếu giá trị ban đầu là 1 tức là I1 và I3 lần lượt là 0 và 1 và đang thực hiện phép cộng thì O1 = 1 và O0 = 0.
- Nếu giá trị ban đầu là 0 tức là I1 và I3 lần lượt là 1 và 0 và đang thực hiện phép trừ thì O0 = 1 và O1 = 1. Nếu giá trị ban đầu là 1 tức là I1 và I3 lần lượt là 0 và 1 và đang thực hiện phép trừ thì O1 = 0 và O0 = 0.

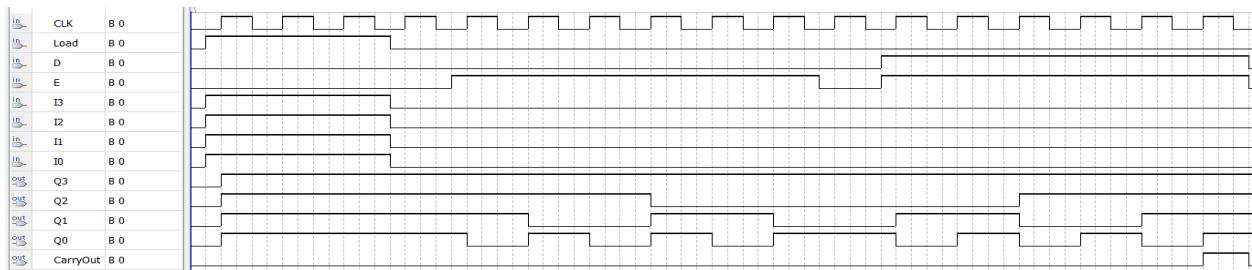
3. Up/Down Counter with parallel Load:

3.1. Sơ đồ mạch UDwPL:



Hình 9. Sơ đồ mạch UDwPL

3.2. Waveform mạch UDwPL:



Hình 10. Waveform mạch UDwPL

3.3. Chức năng mạch UDwPL:

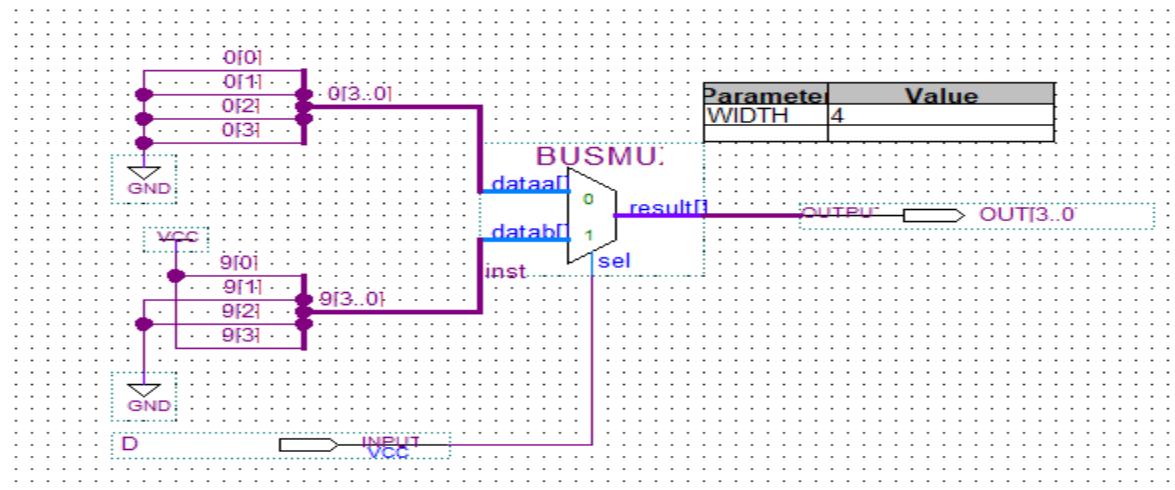
Mạch Up/Down Counter with Parallel Load là mạch tích hợp nhiều chức năng vừa có thể Load giá trị vừa có thể đếm lên cũng như đếm xuống. Mạch có 8 input lần lượt là I0, I1, I2, I3 bộ input đầu vào. Load, E, D, CLK bộ input điều khiển. Ngoài ra còn có ngõ ra là Q0, Q1, Q2, Q3, CarryOut.

- Ngõ vào CLK có chức năng cấp xung clock để mạch hoạt động.
- Khi Load = 1 và E = 0: Thực hiện khả năng load các Input I0, I1, I2, I3 vào mạch khi ở cách lên xung clock.
- Khi Load = 0, E = 1 và D = 1: Mạch thực hiện đếm lên ở mỗi cạnh lên xung clock. Đếm cho đến khi các Output Q0, Q1, Q2, Q3 lần lượt là 1111, khi đếm thêm 1 lần nữa thì ngõ ra CarryOut sẽ được bật lên 1 cảnh báo đã tràn.
- Khi Load = 0, E = 1, D = 0: Mạch thực hiện đếm xuống ở mỗi cạnh lên xung clock.

III. BCD COUNTER:

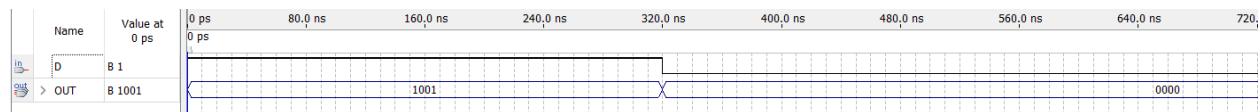
1. Mux 0 or 9:

1.1. Sơ đồ mạch Mux 0 or 9:



Hình 11. Sơ đồ mạch Mux 0 or 9

1.2. Waveform mạch Mux 9 or 0:



Hình 12. Waveform mạch Mux 9 or 0

1.3. Chức năng của mạch Mux 9 or 0:

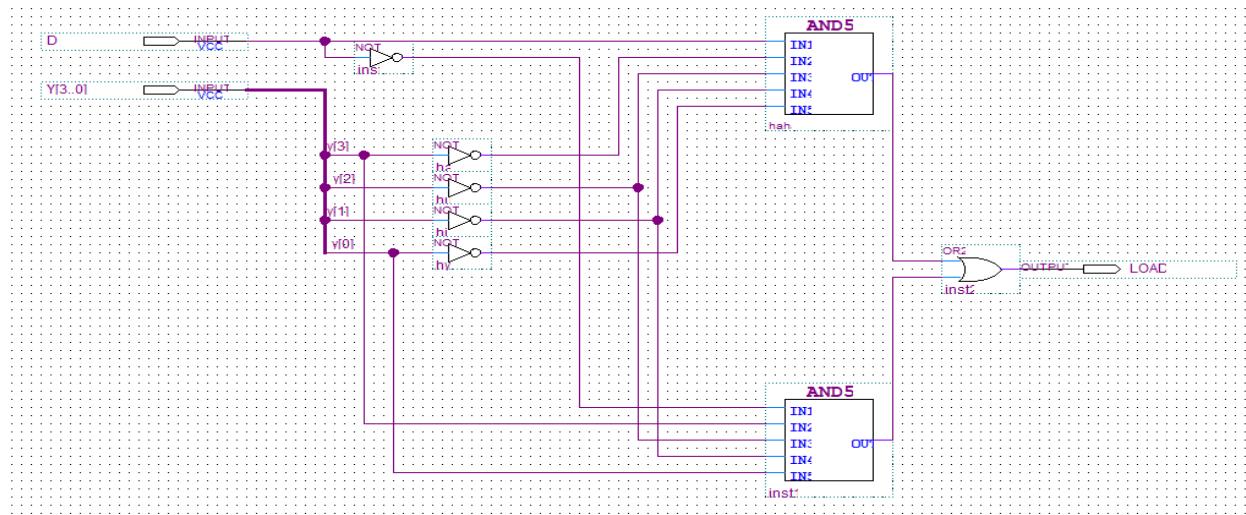
Mạch tương tự như các mạch Mux 2 to 1 thông thường nhưng cố định I0 và I1 là 0 và 9.

2. Up/Down Counter with Parallel Load:

Tương tự như mạch ở mục II. Up/Down Counter with Parallel Load.

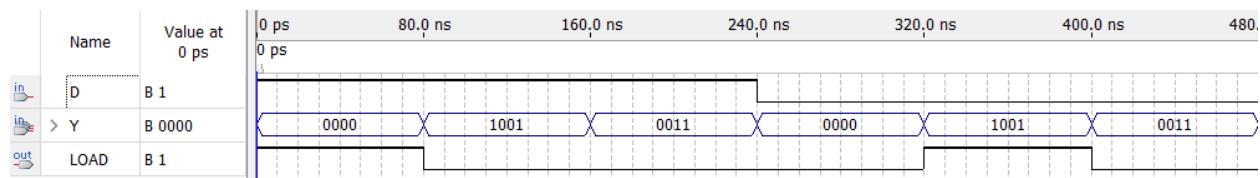
3. Loader:

3.1. Sơ đồ mạch Loader:



Hình 13. Sơ đồ mạch Loader

3.2. Waveform mạch Loader:



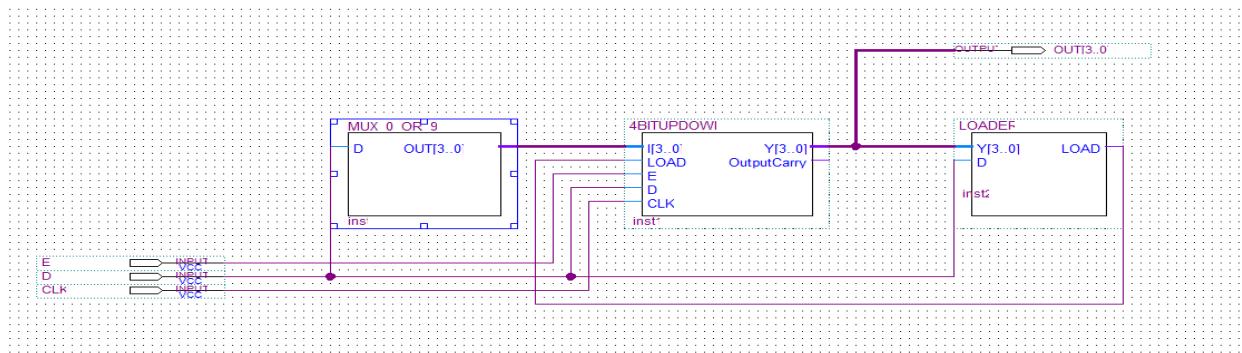
Hình 14. Waveform mạch Loader

3.3. Chức năng mạch Loader:

Chức năng là khi đầu vào Y[3..0] là 0000 hoặc 1001 thì đầu ra được bật lên 1.

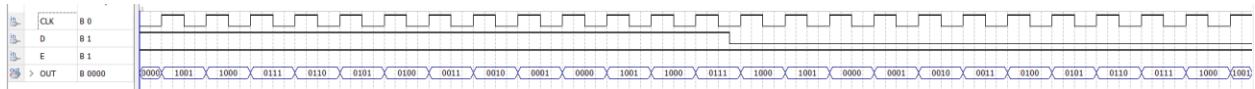
4. BCD Counter:

4.1. Sơ đồ mạch BCD Counter:



Hình 15. Sơ đồ mạch BCD Counter

4.2. Waveform mạch BCD Counter:



Hình 16. Waveform mạch BCD Counter

4.3. Chức năng mạch BCD Counter:

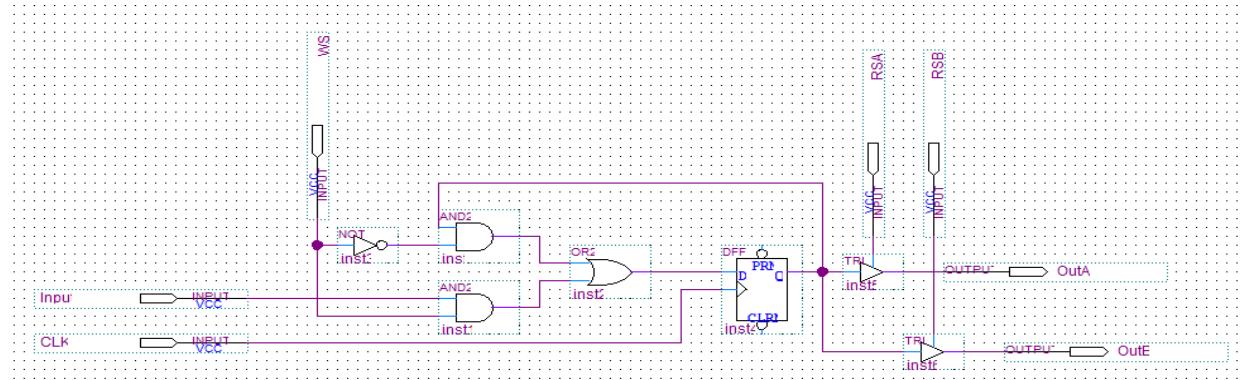
Mạch có chức năng đếm lên từ 0 đến 9 hoặc đếm xuống từ 9 về 0 và lặp lại.

- Khi D = 0 và E = 1: Sau mỗi xung clock mạch sẽ đếm lên 1 đơn vị và đến 9 thì mạch quay ngược lại 0 và tiếp tục đếm lên.
- Khi D = 1 và E = 0: Sau mỗi xung clock mạch sẽ đếm xuống 1 đơn vị và đến 0 thì mạch sẽ quay ngược lại 9 và tiếp tục đếm xuống.

IV. REGISTER FILE:

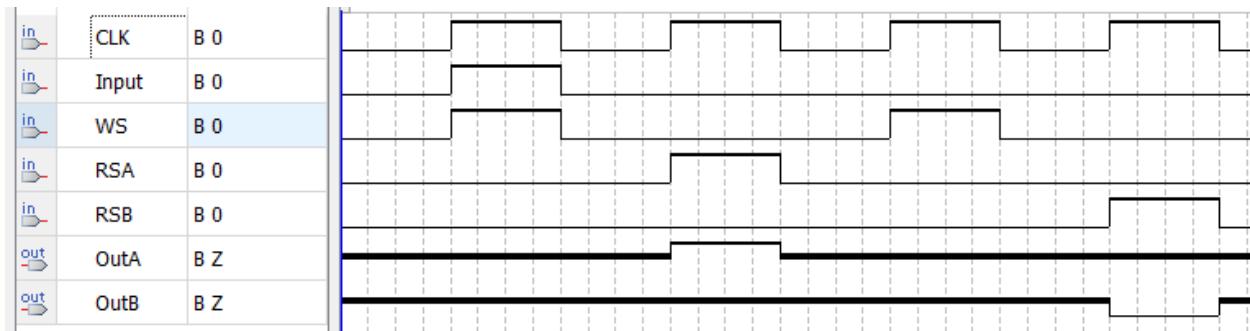
1. Register File Cell (RFC):

1.1. Sơ đồ mạch RFC:



Hình 17. Sơ đồ mạch RFC

1.2. Waveform mạch RFC:



Hình 18. Waveform mạch RFC

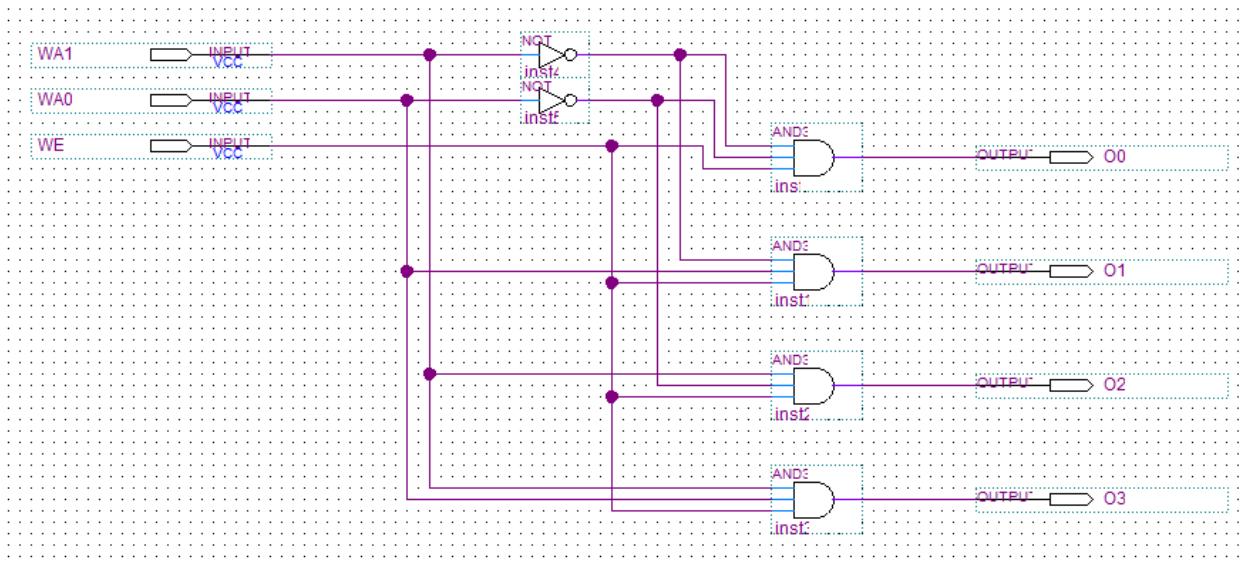
1.3. Chức năng mạch RFC:

Register File Cell có chức năng lưu trữ dữ liệu tạm thời, mỗi RFC lưu trữ 1-bit dữ liệu. Có phép ghi vào cũng như cho phép đọc dữ liệu ra ngoài. RFC trên có 1 input dữ liệu, 3 input điều khiển, 1 input CLK để cấp xung cho mạch. Ngoài ra có 2 output là OutA và OutB.

- Khi chân WS = 1: cho phép ghi dữ liệu vào RFC.
- Khi chân RSA = 1: cho phép xuất dữ liệu ra cổng OutA.
- Khi chân RSB = 1: Cho phép xuất dữ liệu ra cổng OutB.

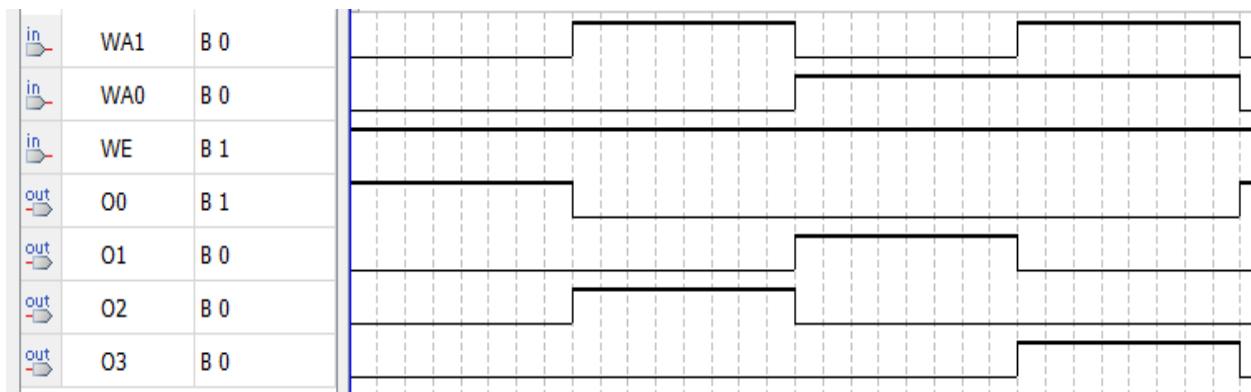
2. Write/Read Decoder:

2.1. Sơ đồ mạch Write/Read Decoder:



Hình 19. Sơ đồ mạch Write/Read Decoder

2.2. Waveform mạch Write/Read Decoder:



Hình 20. Waveform mạch Write/Read Decoder

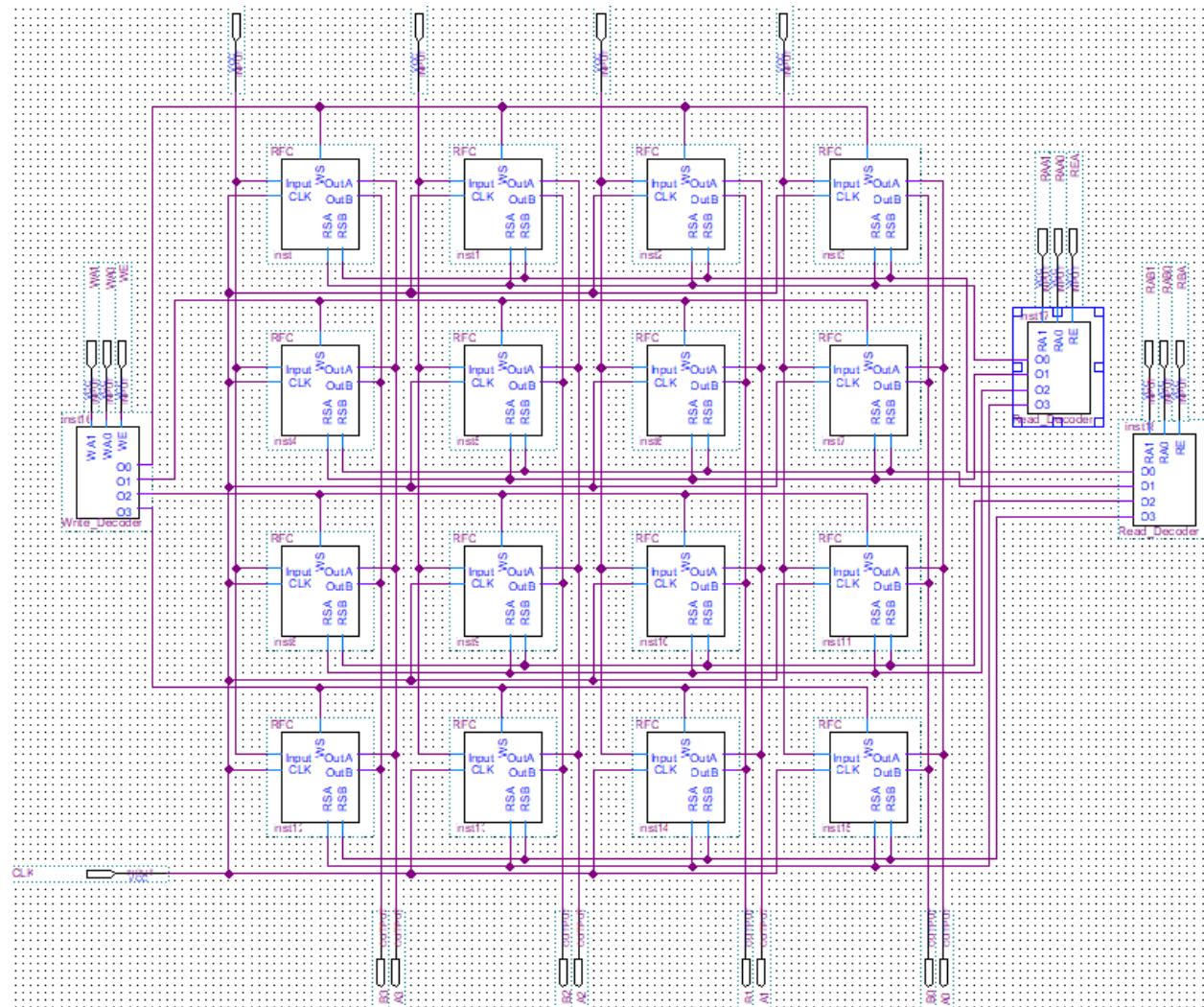
2.3. Chức năng mạch Write/Read Decoder:

Mạch có chức năng bật các ngõ ra lên 1 dựa vào các tín hiệu điều khiển nhị phân. Mạch có 3 ngõ vào và 4 ngõ ra.

- WE là tín hiệu cho phép ghi hoặc đọc (WE = 0 không cho phép, WE = 1 Cho phép).
- Khi WA1 và WA0 lần lượt bằng 00 và WE = 1: O0 = 1
- Khi WA1 và WA0 lần lượt bằng 01 và WE = 1: O1 = 1
- Khi WA1 và WA0 lần lượt bằng 10 và WE = 1: O2 = 1
- Khi WA1 và WA0 lần lượt bằng 11 và WE = 1: O3 = 1

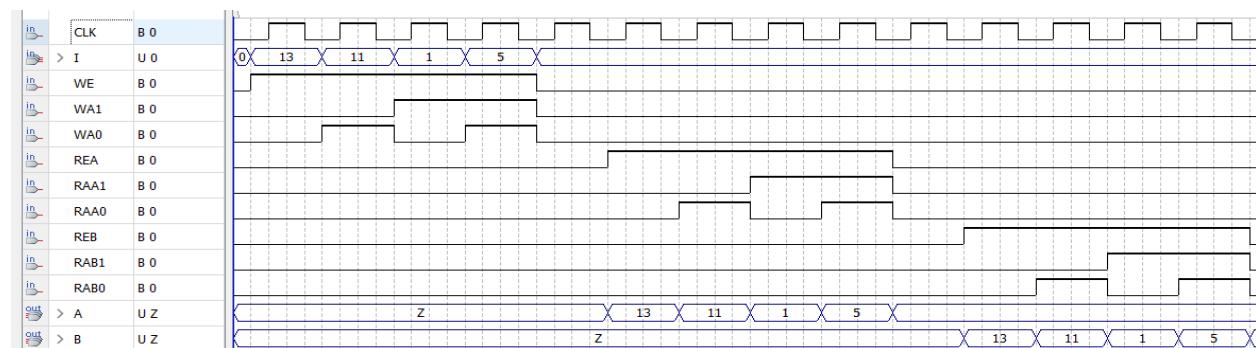
3. Register File:

3.1. Sơ đồ mạch Register File:



Hình 21. Sơ đồ mạch Register File

3.2. Waveform mạch Register File:



Hình 22. Waveform mạch Register File:

3.3. Chức năng mạch Register File:

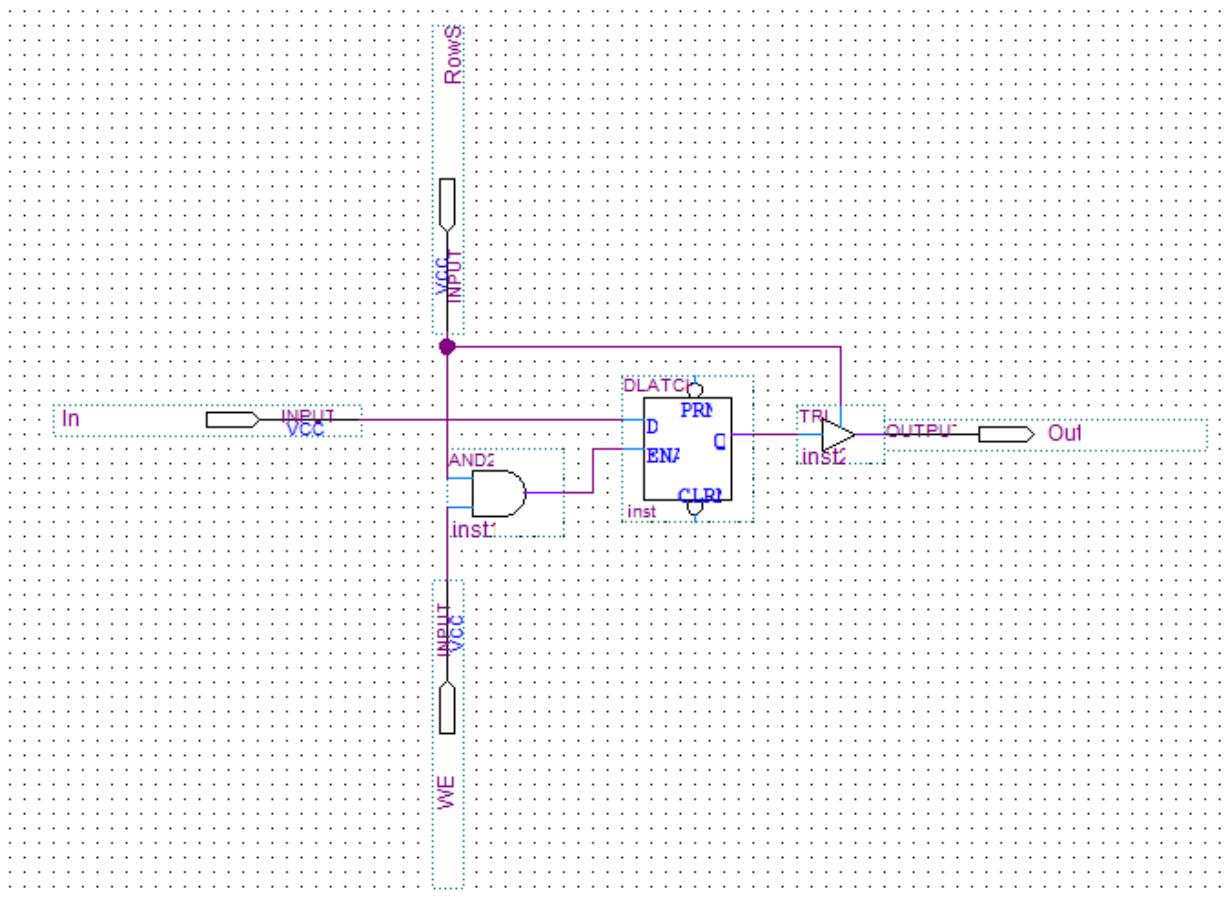
Register File là một tập hợp các thanh ghi được tổ chức để lưu trữ và truy xuất dữ liệu tạm thời.

- Input sẽ được ghi vào các RFC khi mà WE = 1. Khi WA1 và WA0 lần lượt là 00 thì input sẽ được lưu vào hàng RFC đầu tiên. Tương tự khi WA1 và WA0 bằng 01, 10, 11.
- Khi REA = 1, cho phép đọc dữ liệu trong Register File ra ngoài. Khi RA1 và RA0 lần lượt là 00 thì output lưu trong Register File sẽ xuất ra ở các chân output A.
- Khi REB = 1, cho phép đọc dữ liệu từ Register File ra Output B. Cơ chế tương tự như khi REA = 1.

V. RAM:

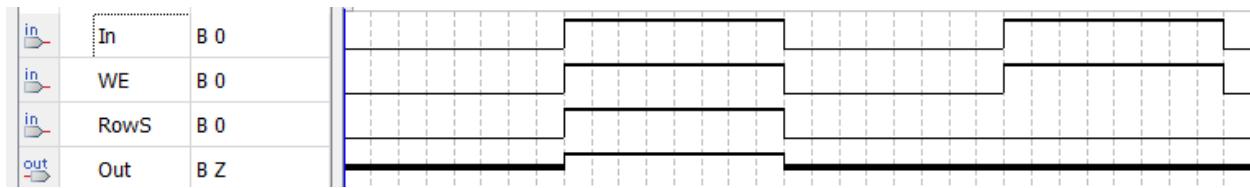
1. Memory Cell:

1.1. Sơ đồ mạch của Memory Cell:



Hình 23. Sơ đồ mạch Memory Cell

1.2. Waveform của mạch Memory Cell:



Hình 24. Waveform của mạch Memory Cell

1.3. Chức năng của mạch Memory Cell:

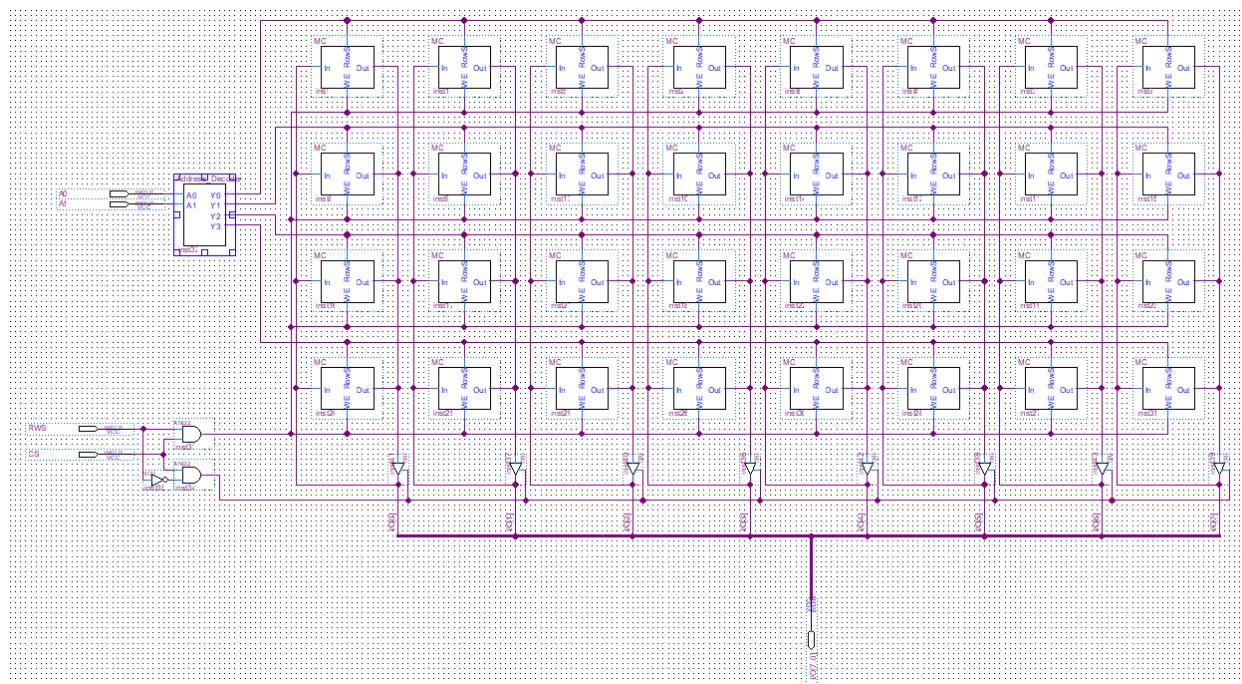
Tương tự như RFC, lưu 1-bit dữ liệu tạm thời. Khi WE và RowS lần lượt bằng 1 thì Input sẽ được lưu vào Cell.

2. Address Decoder:

Tương tự như Write/Read Decoder ở mục 2, V. Register File.

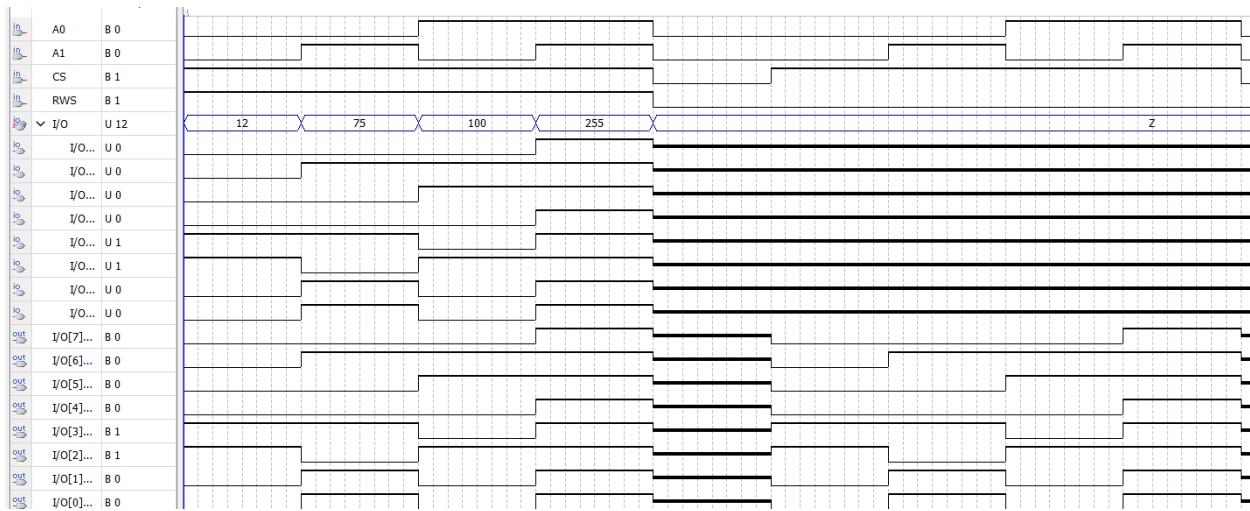
3. RAM 4x8-bit:

3.1. Sơ đồ mạch RAM 4x8-bit:



Hình 25. Sơ đồ mạch RAM 4x8-bit:

3.2. Waveform mạch RAM 4x8-bit:



Hình 26. Waveform mạch RAM 4x8-bit

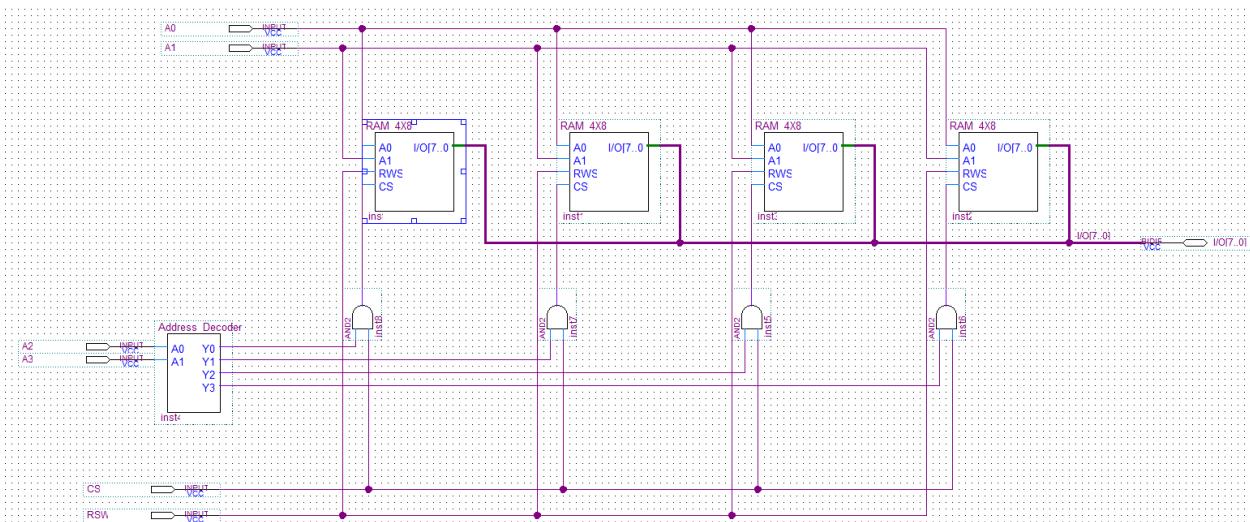
3.3. Chức năng mạch RAM 4x8-bit:

Mạch như một thanh RAM, có chức năng lưu trữ tương tự Register File.

- Khi A0 và A1 lần lượt là 00, CS = 1 và RWS = 1: Giá trị sẽ được ghi vào hàng Cell đầu tiên. Tương tự vẫn với CS và RWS bằng 1, giá trị A0 và A1 lần lượt là 01, 10, 11 đồng nghĩa với việc Input sẽ được lưu lần lượt vào hàng Cell thứ 2, 3, 4.
- Khi A0 và A1 lần lượt là 00, CS = 1 và RWS = 0: Giá trị của hàng Cell đầu tiên sẽ được đọc ra Output. Tương tự khi A0 và A1 lần lượt bằng 01, 10, 11.

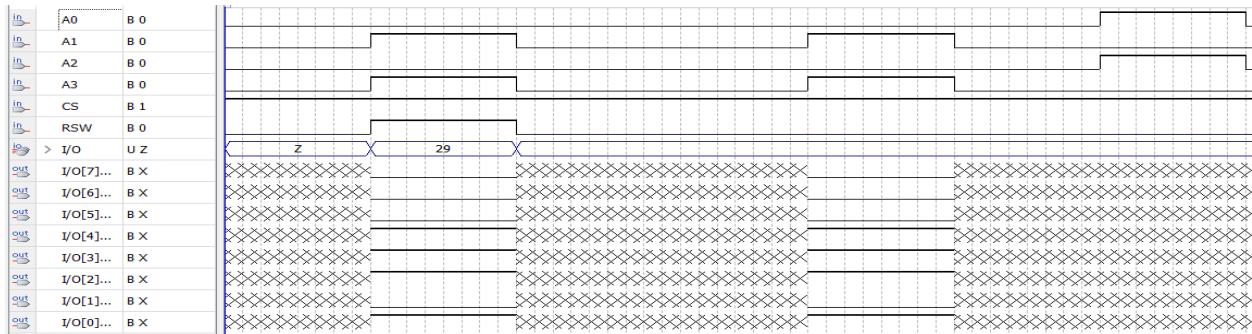
4. RAM 16x8-bit:

4.1. Sơ đồ mạch RAM 16x8-bit:



Hình 27. Sơ đồ mạch của RAM 16x8-bit

4.2. Waveform mạch RAM 16x8-bit:



Hình 28. Waveform của mạch RAM 16x8-bit

4.3. Chức năng mạch RAM 16x8-bit:

Đây là mở rộng của RAM 4x8-bit nên chức năng tương tự như mạch RAM 4x8-bit.

VI. STACK:

1. Mux 2 to 1 4-bit:

Tương tự như Mux 2 to 1 ở mục 1, mục II. Up/Down Counter with Parallel Load.

2. RAM 16x8-bit:

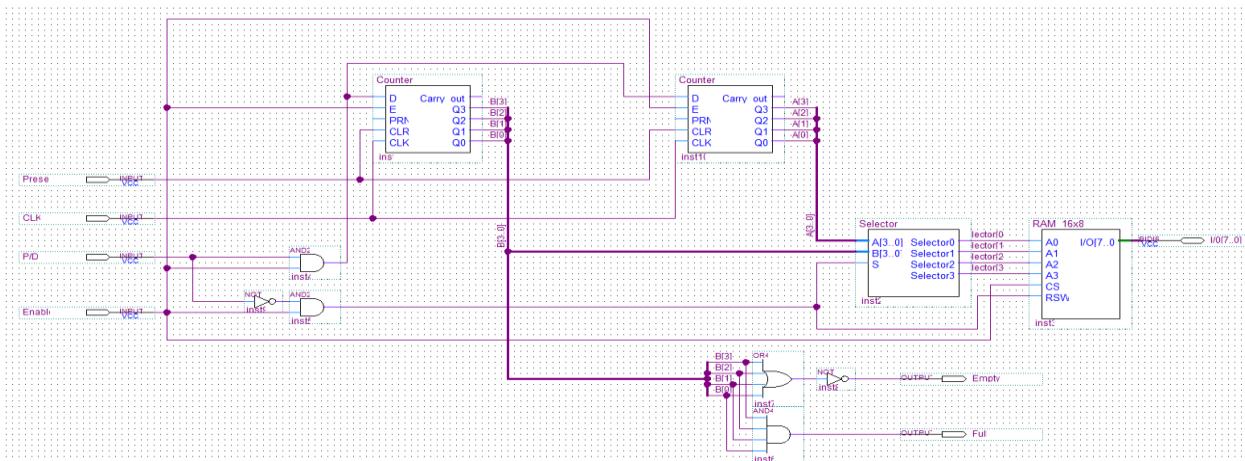
Tương tự RAM 16x8-bit ở mục 4, mục V. RAM.

3. Counter:

Tương tự như mạch ở mục II. Up/Down Counter with Parallel Load.

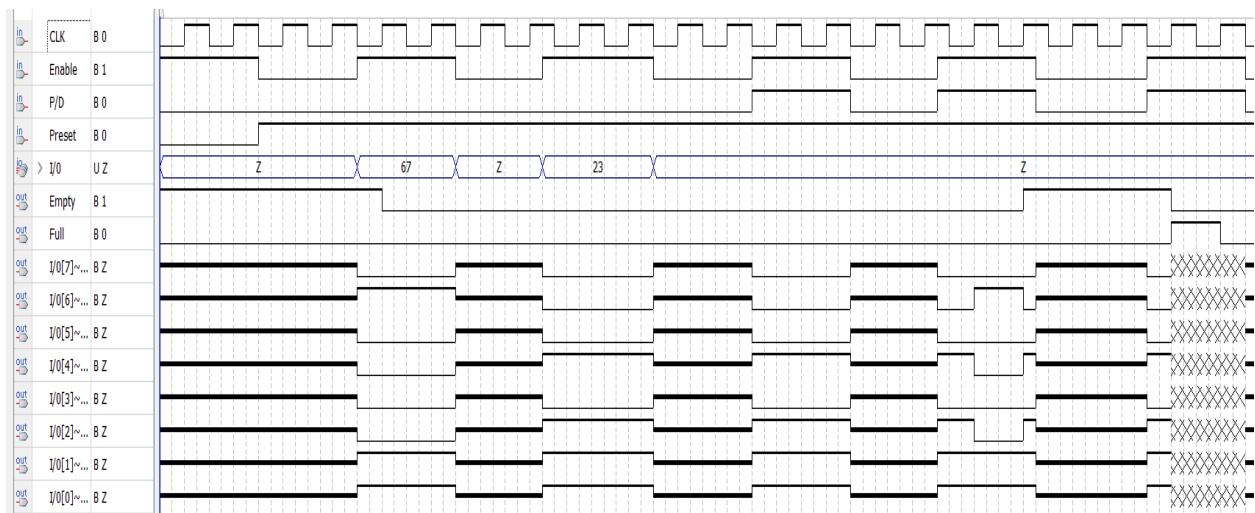
4. Stack:

4.1. Sơ đồ mạch Stack:



Hình 29. Sơ đồ mạch Stack

4.2. Waveform mạch Stack:



Hình 30. Waveform của mạch Stack

4.3. Chức năng mạch Stack:

Có chức năng lưu trữ dữ liệu theo cơ chế LIFO (Last in First Out).

- Khi trong Stack không có dữ liệu, chân Empty được bật là 1 để báo hiệu là Stack trống, ngược lại khi trong Stack đã đầy dữ liệu thì chân Full được bật lên 1.
- Khi P/D= 0 và Enable = 1, Khối Counter thực hiện điểm lên 1 đơn vị, Giá trị của khối Counter bên trái sẽ được chọn gắn với lần lượt các chân A0, A1, A2, A3 để chọn hàng lưu giá trị Input vào.
- Khi P/D và Enable đều bằng 1, Khối Counter sẽ thực hiện đếm xuống 1 đơn vị. Giá trị của khối Counter bên phải sẽ được chọn để gắn với lần lượt các chân A0, A1, A2, A3 để chọn hàng đưa giá trị Ouput ra.

VII. QUEUE:

1. Mux 2 to 1 4-bit:

Tương tự như Mux 2 to 1 ở mục 1, mục II. Up/Down Counter with Parallel Load.

2. RAM 16x8-bit:

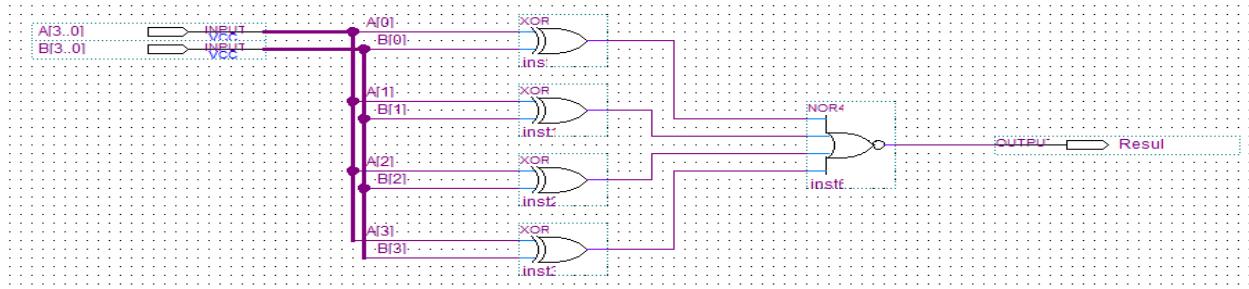
Tương tự RAM 16x8-bit ở mục 4, mục V. RAM

3. Counter:

Tương tự như mạch ở mục II. Up/Down Counter with Parallel Load.

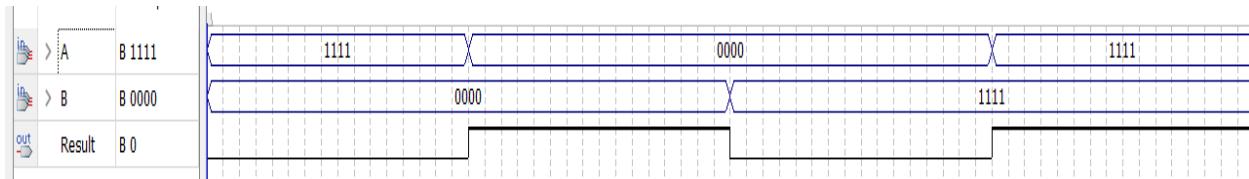
4. Comparator:

4.1. Sơ đồ mạch Comparator:



Hình 31. Sơ đồ mạch Comparator

4.2. Waveform match Comparator:



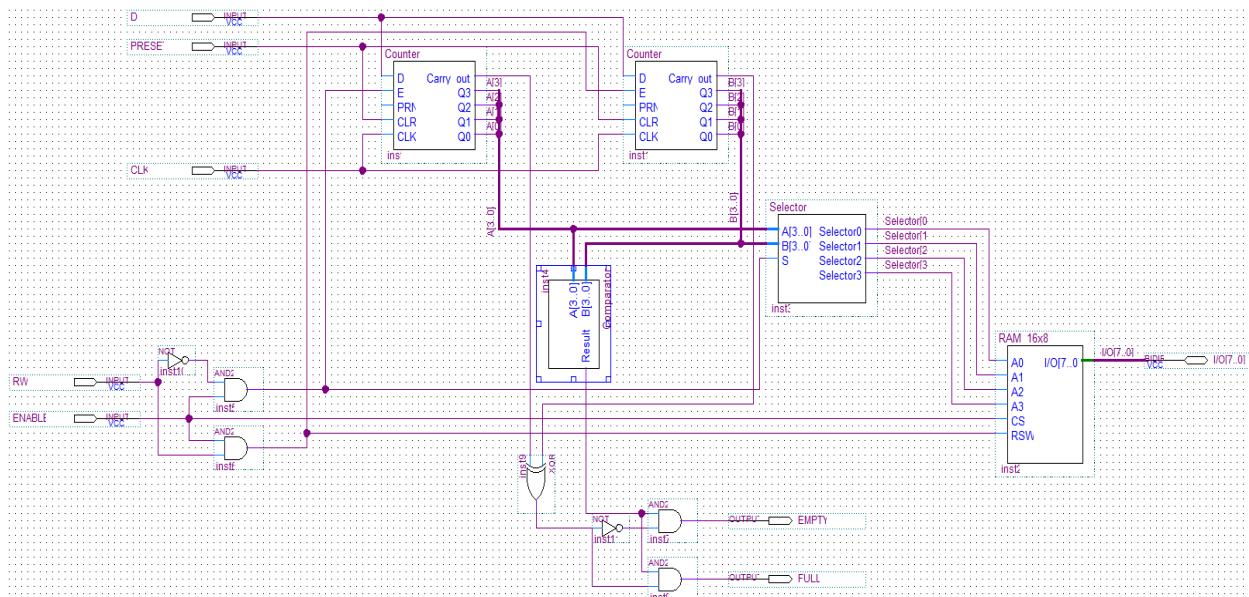
Hình 32. Waveform mạch Comparator

4.3. Chức năng mạch Comparator:

Mạch có chức năng so sánh. Xuất ra kết quả 0 khi A khác B và xuất ra kết quả 1 nếu A = B.

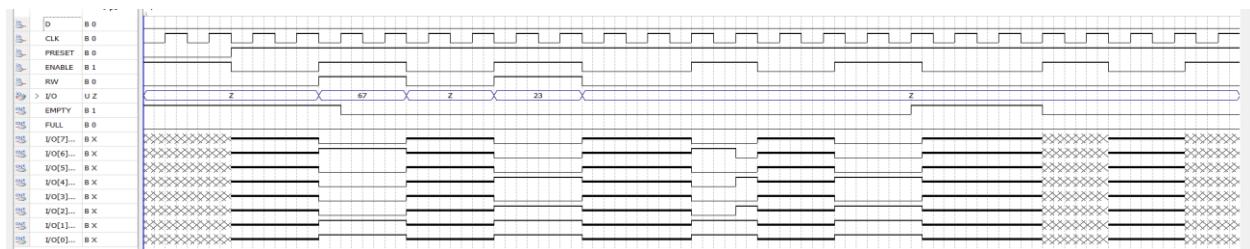
5. Queue:

5.1. Sơ đồ mạch Queue:



Hình 33. Sơ đồ mạch Queue

5.2. Waveform mach Queue:



Hình 34. Waveform mạch Queue

5.3. Chức năng mạch Queue:

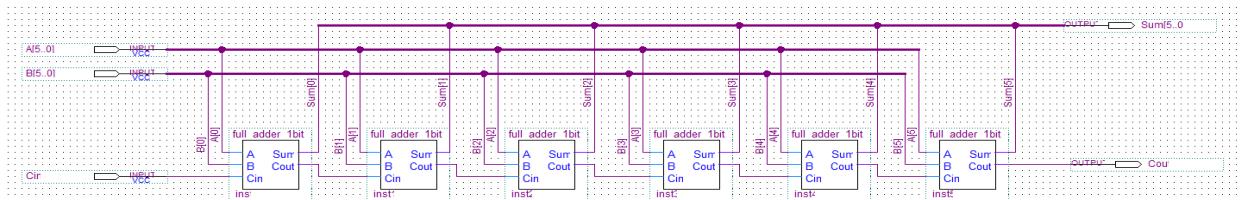
Có chức năng lưu trữ dữ liệu theo cơ chế FIFO (First in First Out).

- Khi trong Queue không có dữ liệu, chân Empty được bật là 1 để báo hiệu là Stack trống, ngược lại khi trong Stack đã đầy dữ liệu thì chân Full được bật lên 1.
- Khối Comparator so sánh 2 giá trị của Counter A và B để xuất ra giá trị điều khiển chân Empty và Full.
- Khi RW = 0 và Enable = 1. Khối Counter bên trái sẽ đếm lên 1 đơn vị. truyền tín hiệu đầu ra của Counter vào khối Select để tạo tín hiệu cho RAM ghi dữ liệu vào hàng tương ứng.
- Khi RW và Enable đều bằng 1. Khối Counter bên phải đếm lên 1 đơn vị. Truyền tín hiệu đầu ra của Counter vào khối Select để tạo tín hiệu cho RAM đọc dữ liệu ở hàng tương ứng ra khỏi Queue.

VIII. SUM FROM 0 TO 9:

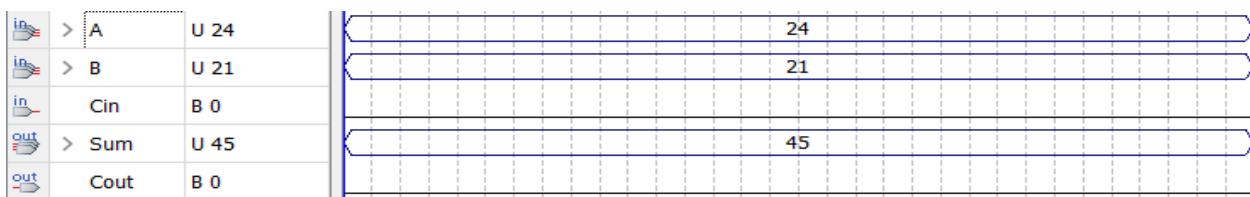
1. Full Adder 6-bit:

1.1. Sơ đồ mạch Full Adder 6-bit:



Hình 35. Sơ đồ mạch Full Adder 6-bit

1.2. Waveform mạch Full Adder 6-bit:



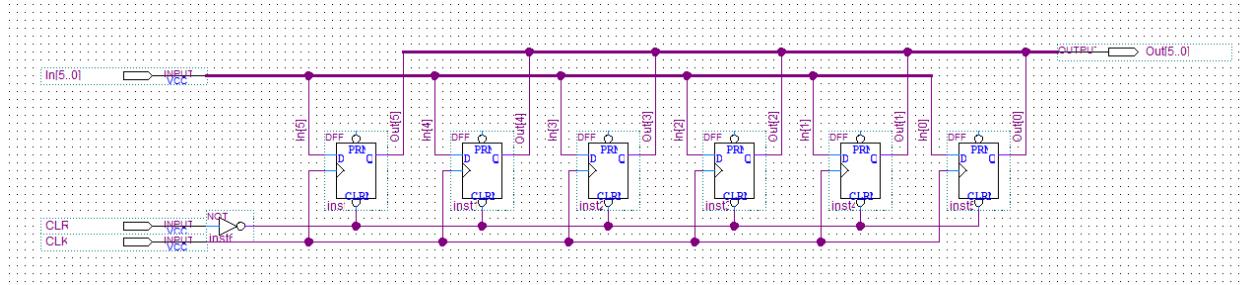
Hình 36. Waveform mạch Full Adder 6-bit

1.3. Chức năng mạch Full Adder 6-bit:

Mạch có chức năng cộng 2 số với độ rộng tối đa là 6-bit.

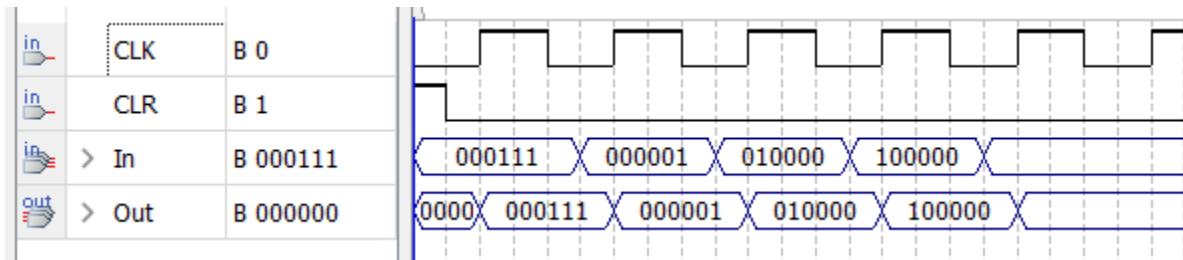
2. Register File 6-bit:

2.1. Sơ đồ mạch Register File 6-bit:



Hình 37. Sơ đồ mạch Register File 6-bit

2.2. Waveform mạch Register File 6-bit:



Hình 38. Waveform mạch Register File 6-bit

2.3. Chức năng Register File 6-bit:

Chức năng tương tự như Register file ở mục IV.

3. Comparator:

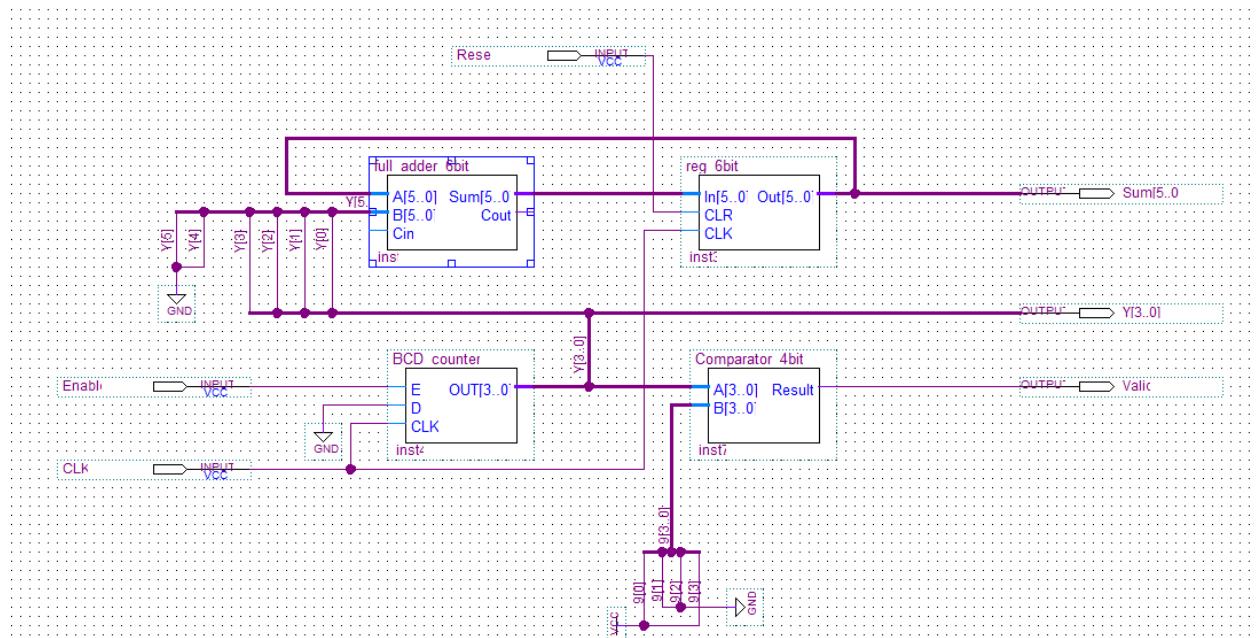
Thiết kế và chức năng tương tự như Comparator ở mục 4, VII. QUEUE.

4. BCD Counter:

Thiết kế và chức năng tương tự BCD Counter ở mục III.

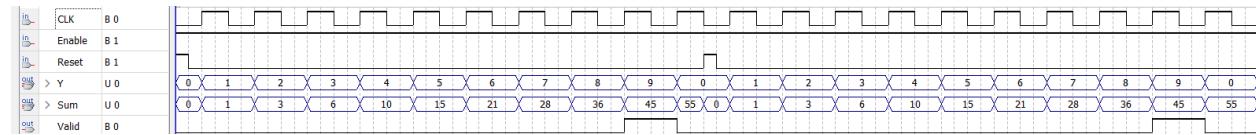
5. Sum from 0 to 9:

5.1. Sơ đồ mạch Sum from 0 to 9:



Hình 39. Sơ đồ mạch Sum from 0 to 9

5.2. Waveform Sum from 0 to 9:



Hình 40. Waveform Sum from 0 to 9

5.3. Chức năng mạch Sum from 0 to 9:

Mạch có chức năng tính tổng từ 0 đến 9 và lặp lại.

- Khi Enable bật lên, cứ mỗi xung clock BCD Counter sẽ đếm lên, Comparator có chức năng so sánh kết quả từ BCD Counter ra với 9 để có thể báo khi BCD Counter đếm đến 9.
- Giá trị của BCD Counter sẽ qua khói cộng Full Adder 6-bit để thực hiện cộng 2 số (1 số từ BCD Counter, 1 số là kết quả trước đó) và lưu kết quả vào Register File. Sau khi BCD Counter đếm đến 9 thì kết quả sẽ là 55.

IX. COUNT ONE'BIT:

1. Thiết kế khối Datapath:

1.1. Khối SRwPL:

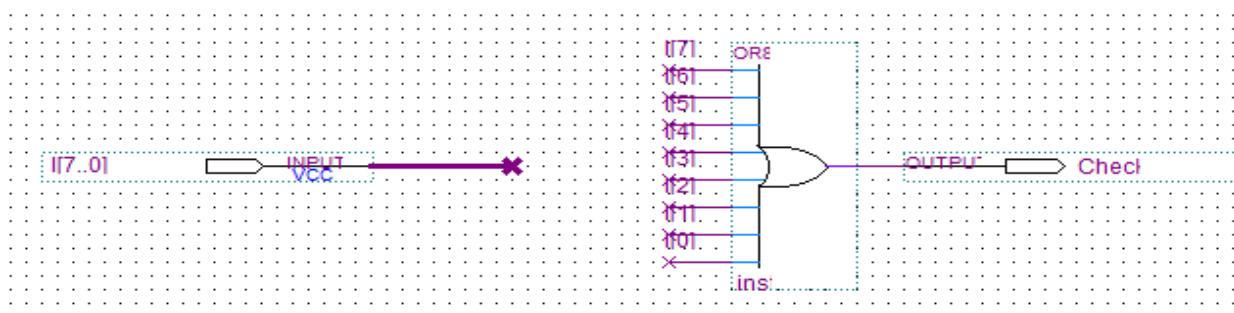
Khối này có thiết kế và chức năng tương tự khói SRwPL ở mục I.

1.2. Khối Counter:

Khối này có thiết kế và chức năng tương tự khói Counter ở mục II.

1.3. Khối Checkbit1:

1.3.1. Sơ đồ khói Checkbit1:



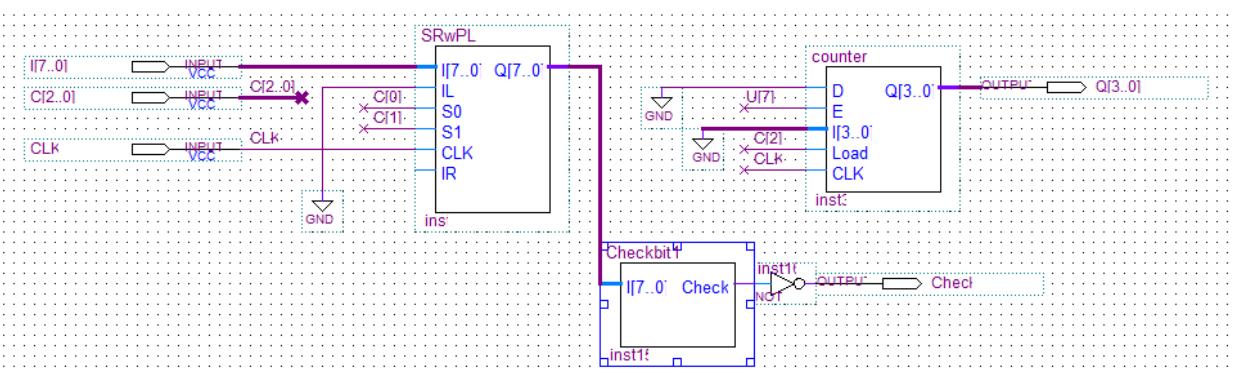
Hình 41. Sơ đồ khói Checkbit1

1.3.2. Chức năng khói Checkbit1:

Khối có chức năng kiểm tra đầu vào, nếu có ít nhất 1 đầu vào có giá trị 1 thì đầu ra sẽ là 1.

1.4. Khối Datapath:

1.4.1. Sơ đồ thiết kế khói Datapath Count one'bit:



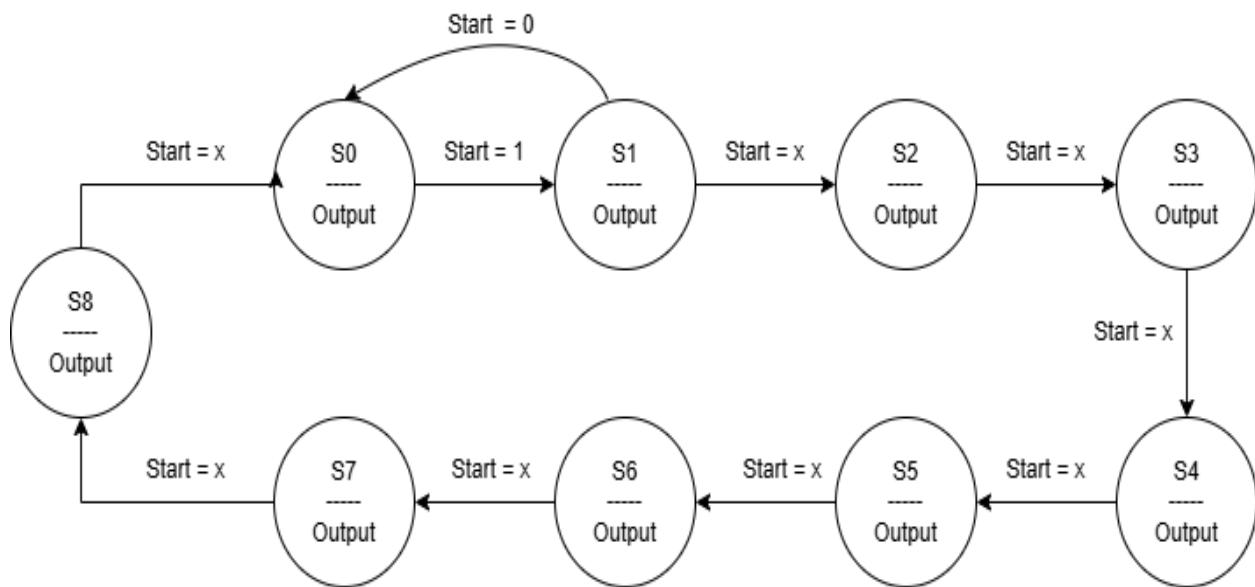
Hình 42. Sơ đồ khói Count one'bit

1.4.2. Chức năng khói Datapath Count one'bit:

Khối có chức năng đếm từng bit 1 của 1 số nhị phân 8-bit. Khối SRwPL sẽ dịch tung bit và khói Counter khi có bit 1 chạy vào chân E thì sẽ đếm lên 1.

2. Thiết kế khối Controller:

2.1. Bảng trạng thái và các tín hiệu điều khiển:



Hình 43. Sơ đồ trạng thái Count one'bit

TTHT	S	Ch	TTKT				Output		
			D ₃	D ₂	D ₁	D ₀	C[2]	C[1]	C[0]
0000	0	x	0	0	0	0	1	0	1
0001	1	x	0	0	0	1	0	1	0
0010	x	0	0	0	1	0	0	1	0
0011	x	0	0	0	1	1	0	1	0
0100	x	0	0	1	0	0	0	1	0
0101	x	0	0	1	0	1	0	1	0
0110	x	0	0	1	1	0	0	1	0
0111	x	0	0	1	1	1	0	1	0
1000	x	0	1	0	0	0	0	1	0

Bảng 1. Trạng thái đầu vào của Count One'bit

$$D_3 = Ch'Q_3'Q_2Q_1Q_0$$

$$D_1 = Ch'Q_3'(Q_1 \text{ xor } Q_0)$$

$$C[2] = SQ_3'Q_2'Q_1'Q_0'$$

$$C[0] = SQ_3'Q_2'Q_1'Q_0'$$

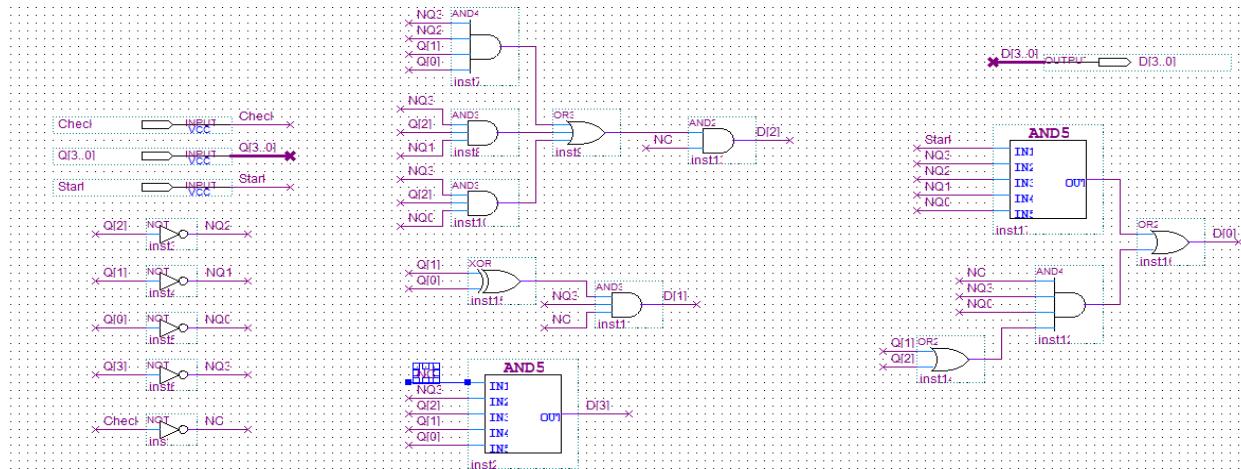
$$D_2 = Ch'(Q_3'Q_2'Q_1Q_0 + Q_3'Q_2Q_1 + Q_3'Q_2Q_0')$$

$$D_0 = Ch'Q_3'Q_0'(Q_1 + Q_0) + SQ_3'Q_3'Q_2'Q_1'Q_0'$$

$$C[1] = Ch(Q_3'Q_0 + Q_3'Q_1 + Q_3'Q_2 + Q_3Q_2'Q_1'Q_0')$$

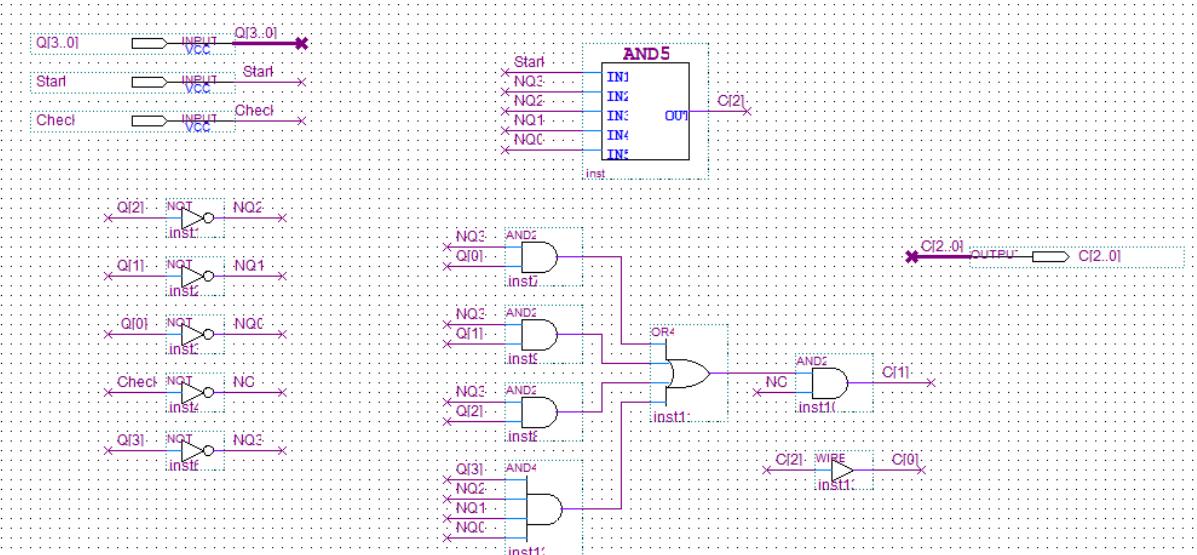
2.2. Khối Controller:

2.2.1. Sơ đồ mạch khối NextState Count One'bit:



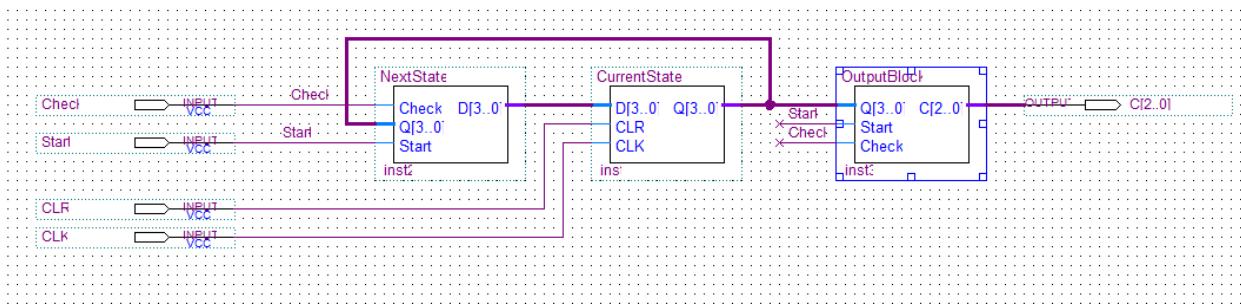
Hình 44. Sơ đồ mạch khối NextState Count One'bit

2.2.2. Sơ đồ mạch khối Output Count One'bit:



Hình 45. Sơ đồ mạch khối Output Count One'bit

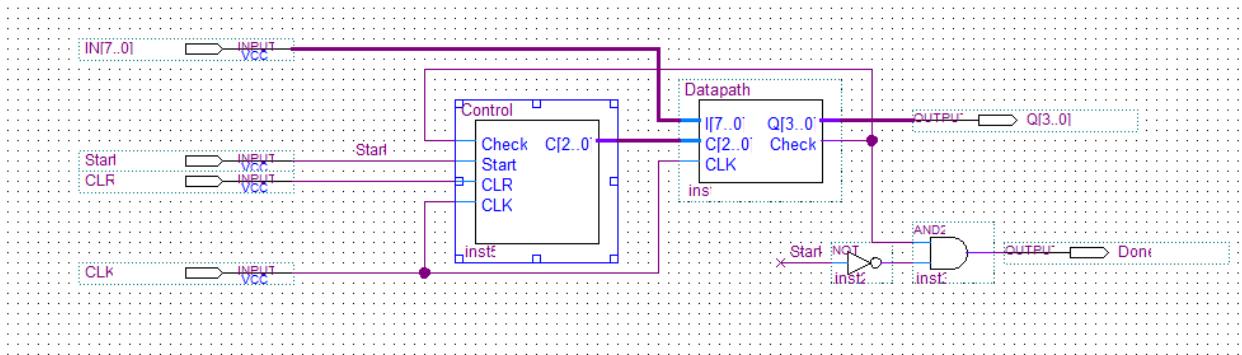
2.2.3. Sơ đồ mạch khởi Controller Count One'bit:



Hình 46. Sơ đồ khooisController Count One'bit

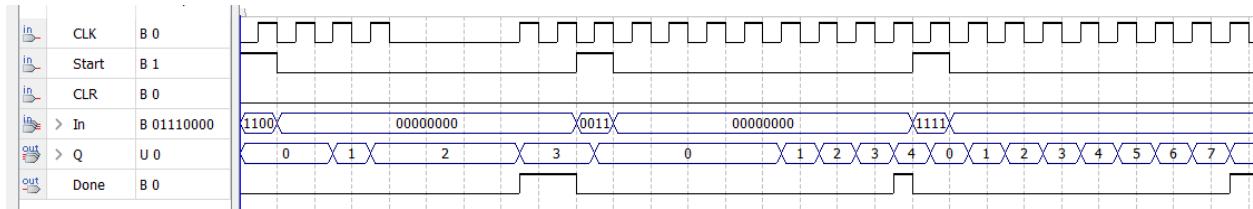
3. Count One'bit:

3.1. Sơ đồ mạch Count One'bit:



Hình 47. Sơ đồ mạch Count One'bit

3.2. Waveform mạch Count One'bit:

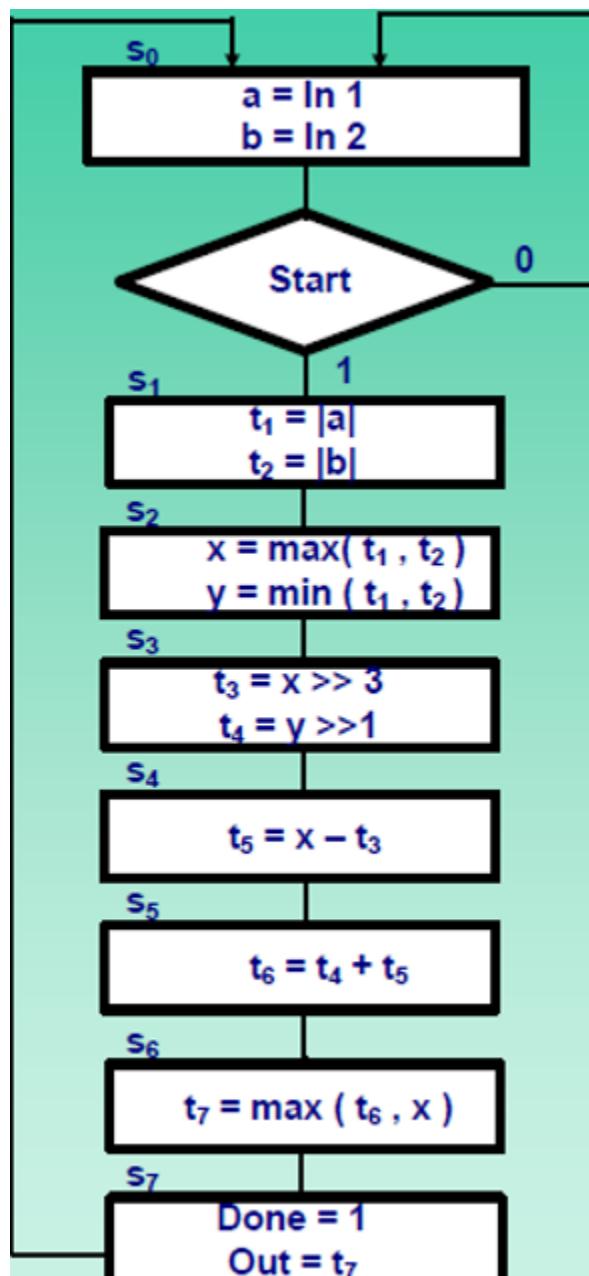


Hình 48. Waveform mạch Count One'bit

X. SRA REGISTER SHARING (VARIABLE MERGING):

1. Tổng quan thiết kế:

- Thiết kế mạch tính căn bậc 2 có khả năng Register Sharing (Variable Merging) sử dụng Graph-Patitioing Alogrithm.
- Lưu đồ của mạch:



Hình 49. Lưu đồ mạch SRA

- Bảng Variable-usage:

	s_1	s_2	s_3	s_4	s_5	s_6	s_7
a	X						
b	X						
t_1		X					
t_2		X					
x			X	X	X	X	
y			X				
t_3				X			
t_4				X			
t_5					X		
t_6						X	
t_7							X
No. of live variables	2	2	2	3	3	2	1

Hình 50. Bảng Variable Usage (Register Sharing)

- Vẽ sơ đồ theo quy ước:

Node represents a variable

Edge: incompatibility edge and priority edge

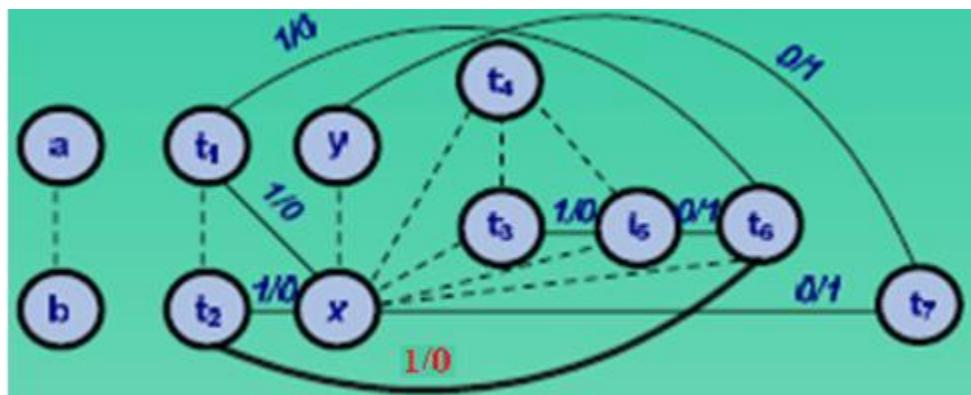
+ **Incompatibility edge** (dashed line): connect 2 nodes indicates 2 variables with overlapping lifetimes

+ **Priority edge**: connect 2 nodes indicates 2 non-overlapping lifetime variables that serve as the same source (input) or same destination (output) to the *same functional units or units in used library*.

Priority weight (s/d) on priority edge: the number of selector inputs can be saved

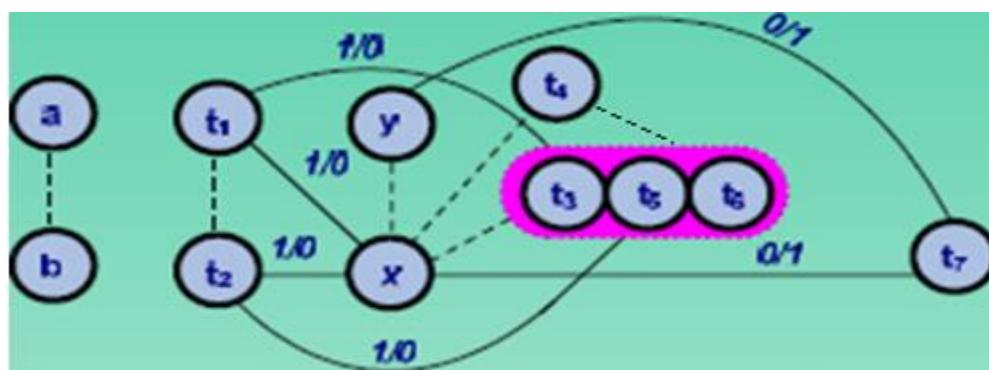
- **s** is equal to the number of the *same* functional units that use both nodes as right operands (input).
- **d** is equal to the number of the *same* functional units that generate results (output) for both nodes.

- Dựa vào quy ước trên và lưu đồ của bài toán, ta có thể vẽ được sơ đồ ban đầu.

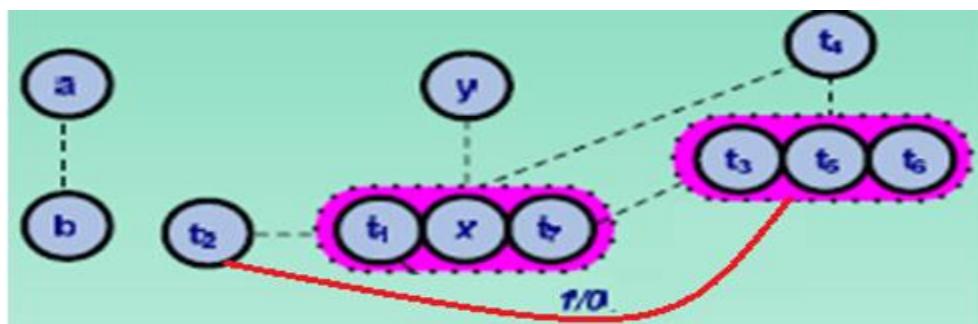


Hình 51. Sơ đồ ban đầu

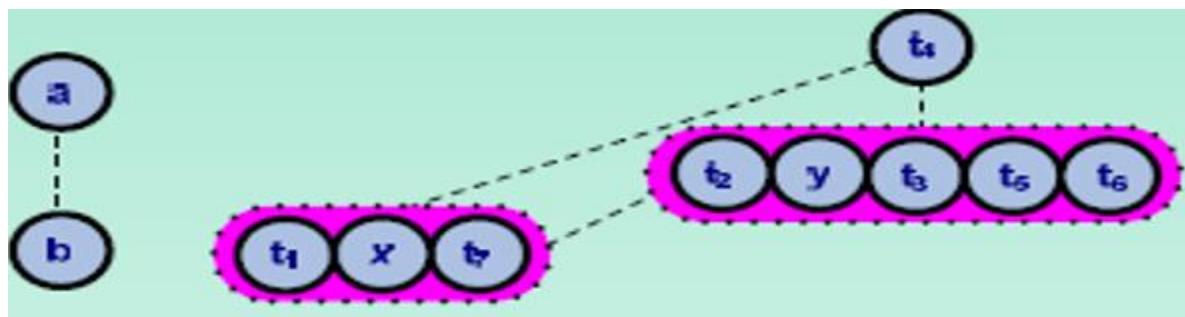
- Ta thấy t₃, t₅ và t₆ được nối với nhau bằng nét liền, vì vậy ta tiến hành gộp t₃, t₄, t₆ lại và được sơ đồ sau:

Hình 52. Sơ đồ sau khi gộp t₃, t₄, t₆

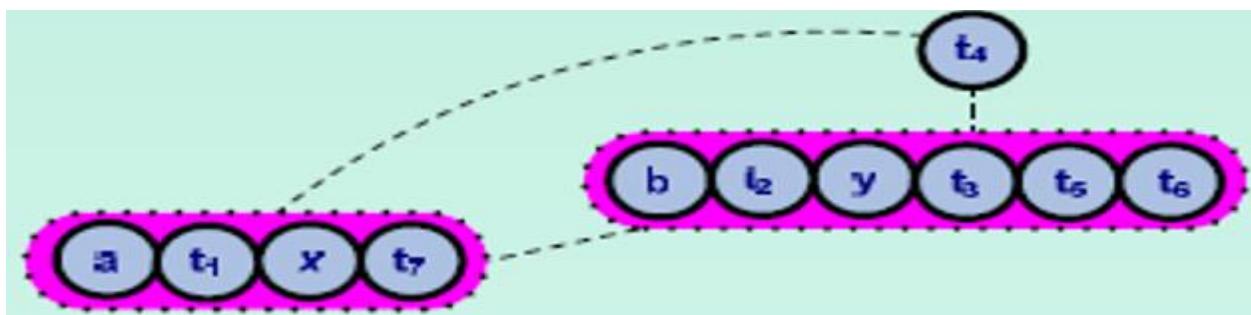
- Sau khi gộp t₃, t₅ và t₆, ta tiếp tục tiến hành gộp các biến được nối với nhau bằng nét liền. Ta gộp t₁, x và t₇ lại với nhau. Do y và t₂ nối với x và t₁ bằng nét đứt nên không gom vào chung một nhóm. Ta được sơ đồ sau khi gộp t₁, x và t₇.

Hình 53. Sơ đồ sau khi gộp t₁, x và t₇

- Đặt R1{t₁, x, t₇} và R2{t₃, t₅, t₆}, ta thấy t₂ và y nối với R1 bằng nét đứt, vì vậy ta gom t₂ và y và R2 => R2{t₃, t₅, t₆, t₂, y}.

Hình 54. Sơ đồ sau khi gộp y và t_2

- Sau khi gộp y và t_2 , ta thấy a và b nối với nhau bằng nét đứt nhưng không nối với $R1$ và $R2$. Vì vậy gom a và $R1$ và b vào $R2$. Còn t_4 nối với $R1$ và $R2$ bằng nét đứt nên đặt $R3\{t_4\}$.



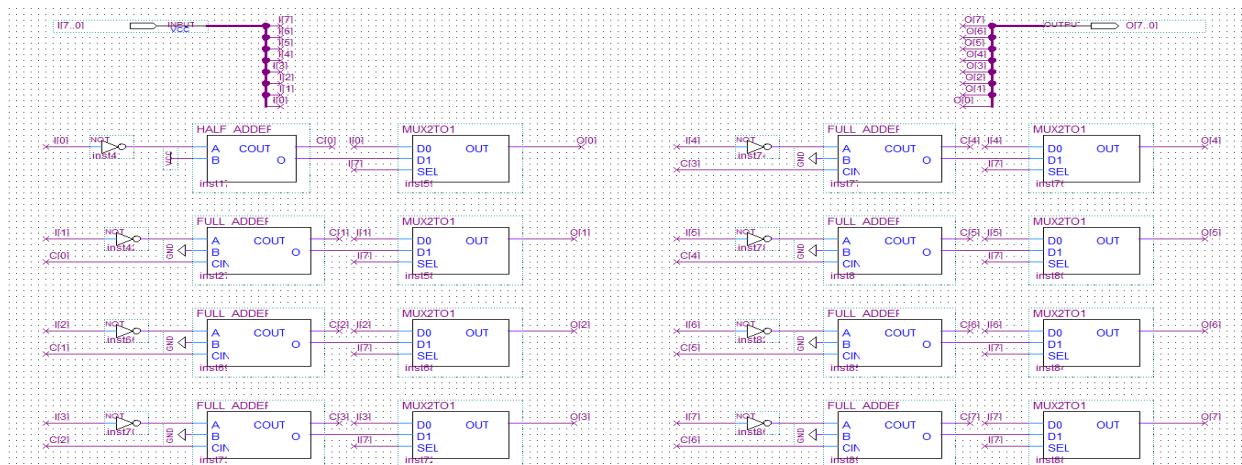
Hình 55. Sơ đồ cuối cùng sau khi tối ưu

- Kết quả cuối cùng ta được $R1\{a, t_1, x, t_7\}$, $R2\{b, t_3, t_5, t_6\}$ và $R3\{t_4\}$.

2. Thiết kế khối Datapath:

2.1. Absolute:

2.1.1. Sơ đồ mạch Absolute:



Hình 56. Sơ đồ mạch Absolute

2.1.2. Waveform mạch Absolute:



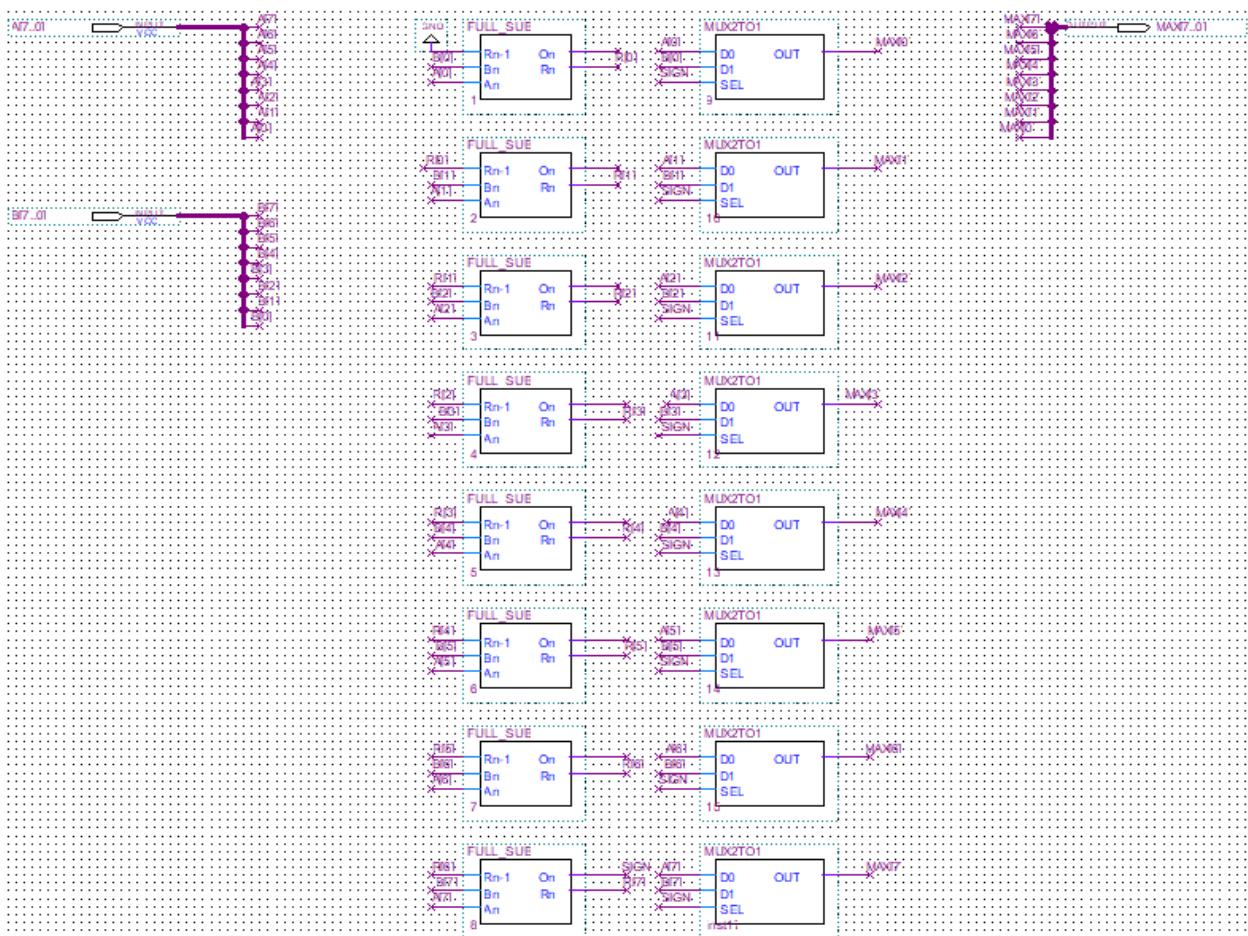
Hình 57. Waveform mạch Absolute

2.1.3. Chức năng mạch Absolute:

Mạch có chức năng trị tuyệt đối. được thiết kế từ khối Full-Adder với giá trị đầu vào B = 0 và CIN = 1.

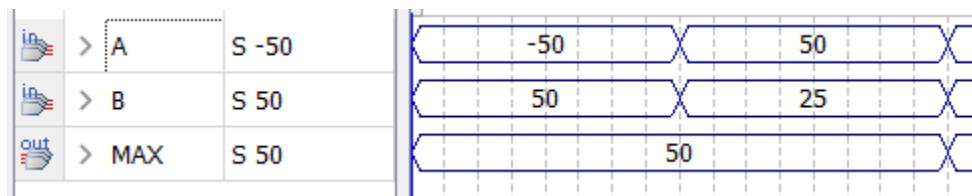
2.2. Khối Max:

2.2.1. Sơ đồ mạch khối Max:



Hình 58. Sơ đồ mạch khối Max

2.2.2. Waveform mạch khối Max:



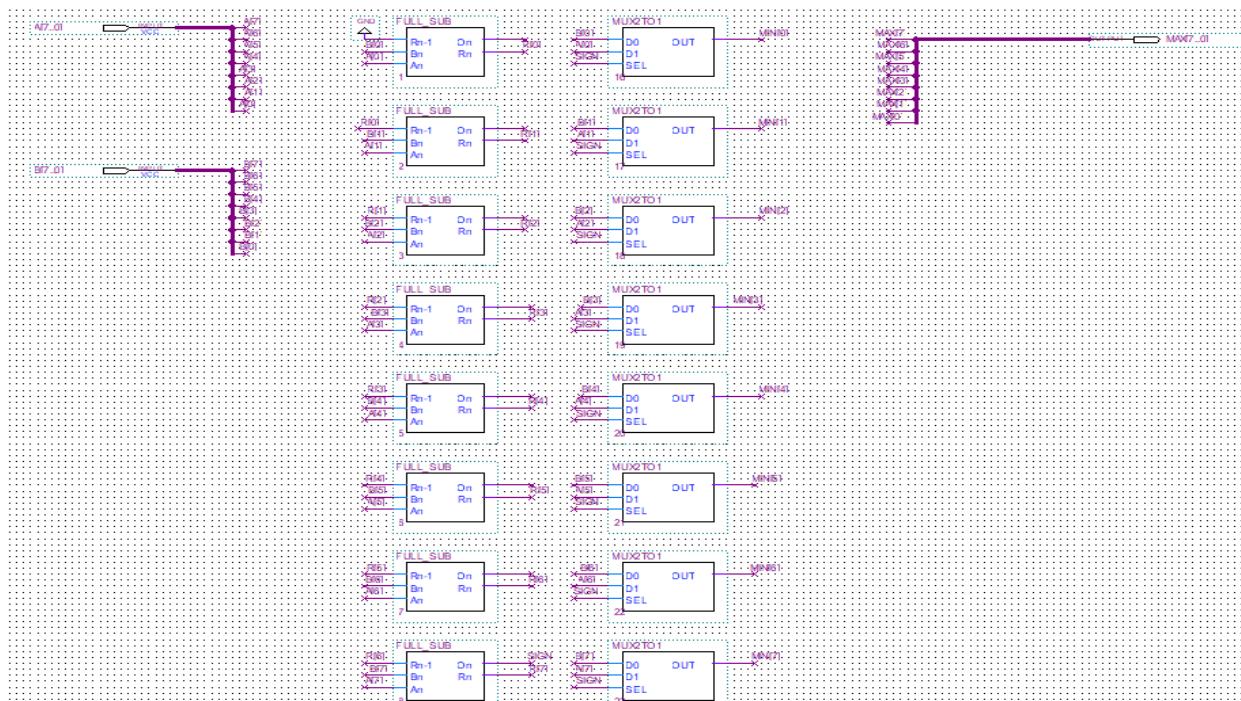
Hình 59. Waveform khối Max

2.2.3. Chức năng khối Max:

Khối Max có chức năng so sánh 2 giá trị A và B sau đó lấy kết quả lớn hơn.

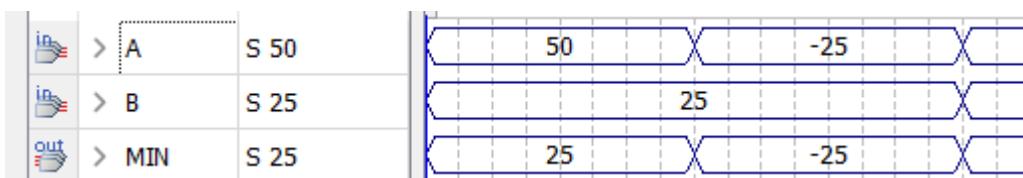
2.3. Khối Min:

2.3.1. Sơ đồ mạch khối Min:



Hình 60. Sơ đồ mạch khối Min

2.3.2. Waveform khối Min:



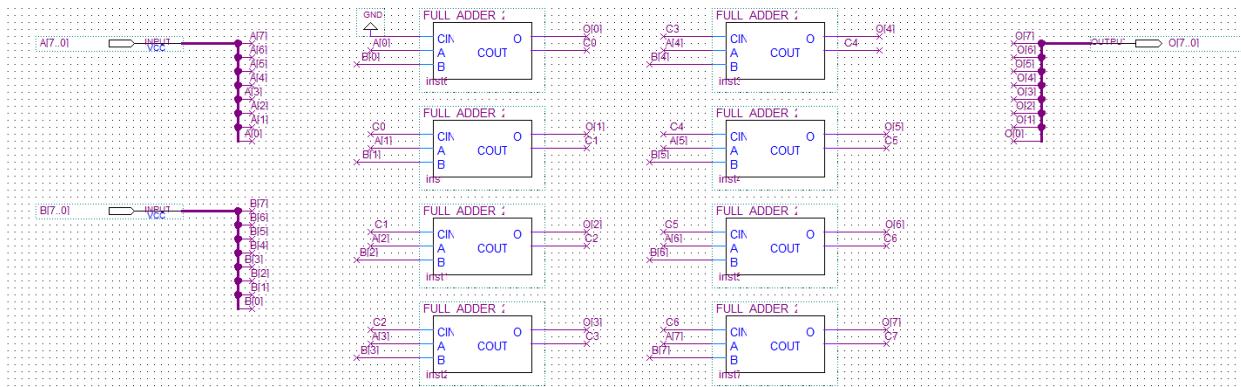
Hình 61. Waveform khối Min

2.3.3. Chức năng khối Min:

Khối Min có chức năng so sánh 2 giá trị A và B sau đó lấy kết quả nhỏ hơn.

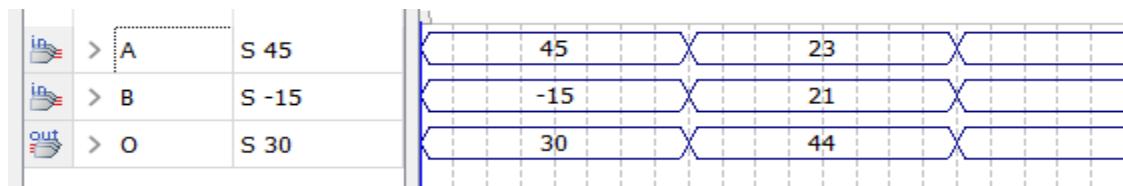
2.4. Khối Add:

2.4.1. Sơ đồ mạch khối Add:



Hình 62. Sơ đồ mạch khối Add

2.4.2. Waveform mạch khối Add:



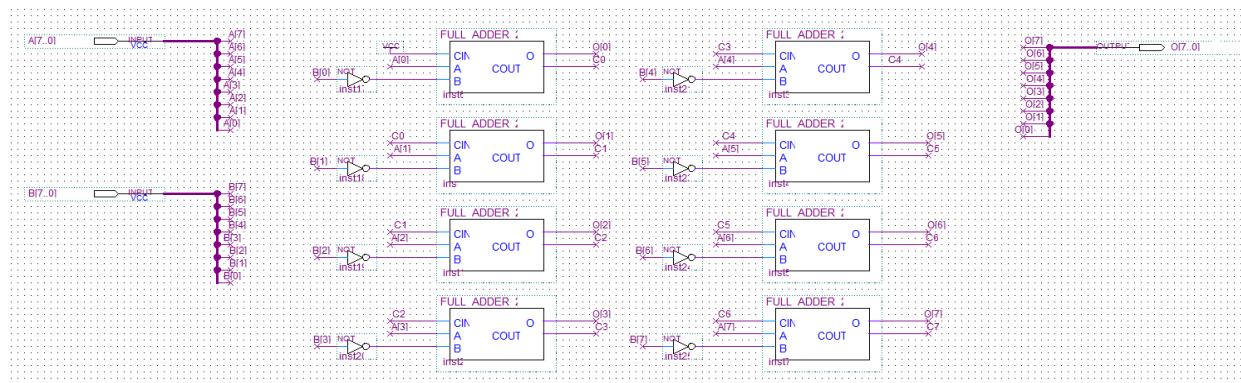
Hình 63. Waveform của khối Add

2.4.3. Chức năng khối Add:

Tương tự như các khía cạnh Full-Adder thông thường.

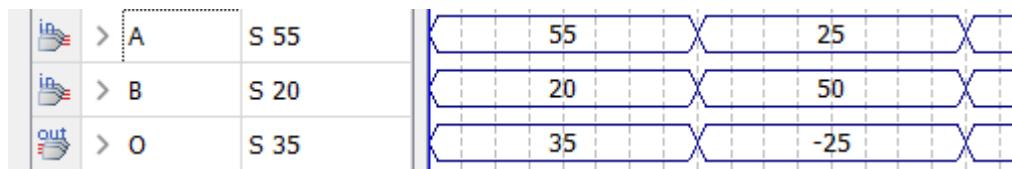
2.5. Khối Subtract:

2.5.1. Sơ đồ mạch khối Subtract:



Hình 64. Sơ đồ mạch khối Subtract

2.5.2. Waveform khối Subtract:



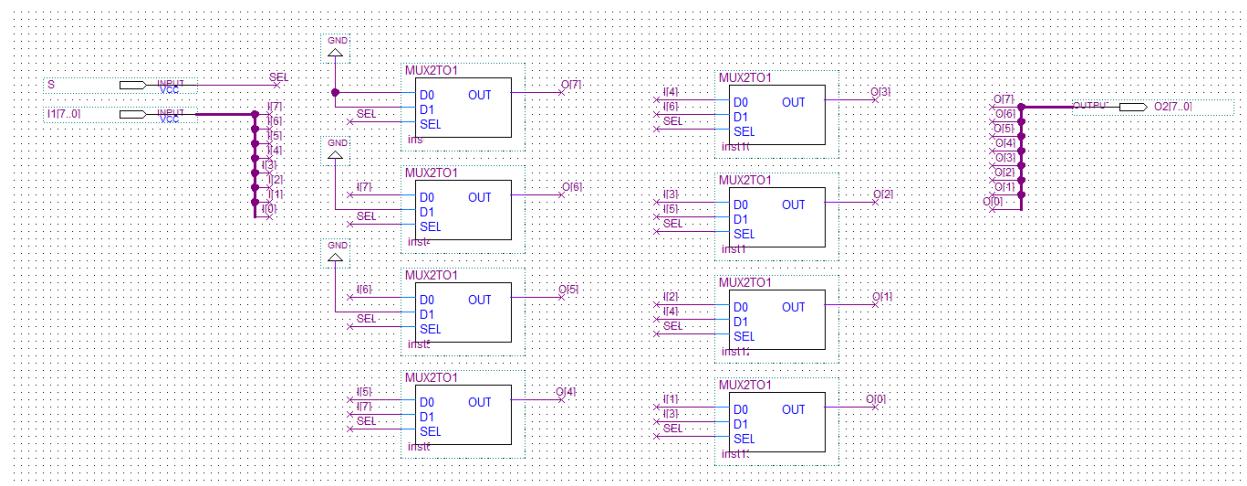
Hình 65. Waveform khối Subtract

2.5.3. Chức năng khối Subtract:

Khối có chức năng thực hiện phép trừ 2 số A và B. Được thiết kế bằng khối Full-Adder khói Cin = 1.

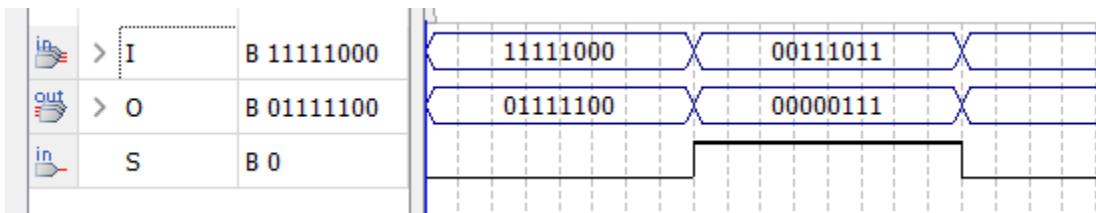
2.6. Khối Shift 1 or 3:

2.6.1. Sơ đồ mạch khối Shift 1 or 3:



Hình 66. Sơ đồ mạch khối Shift 1 or 3

2.6.2. Waveform khối Shift 1 or 3:



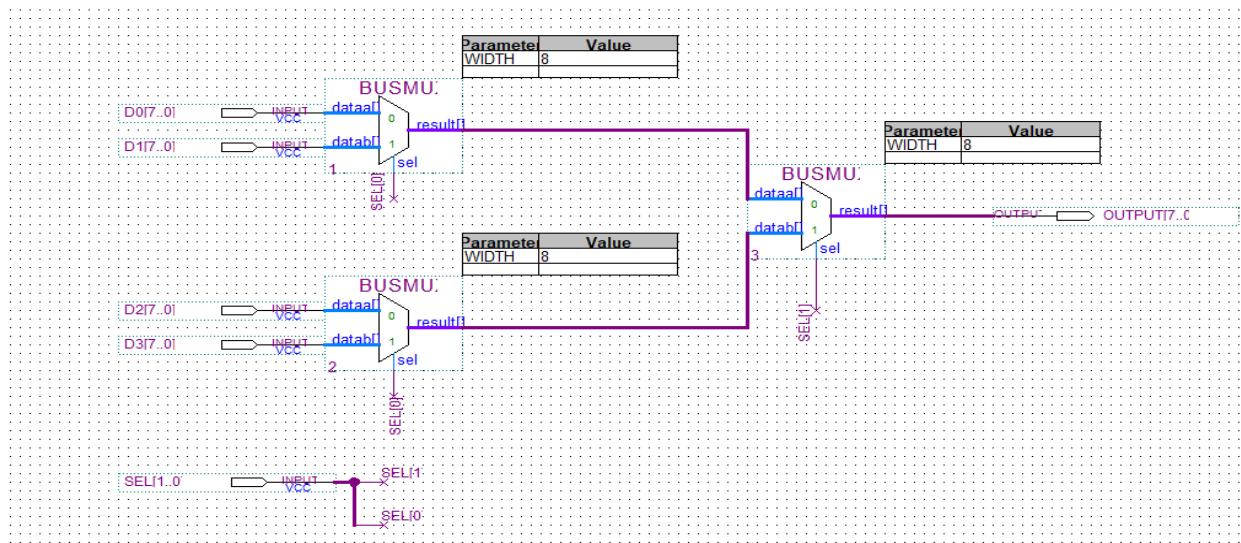
Hình 67. Waveform khối Shift 1 or 3

2.6.3. Chức năng khối Shift 1 or 3:

Khối có chức năng dịch sang phải 1 hoặc 3-bit tùy vào tín hiệu điều khiển. Khi S = 0 thì dịch 1-bit, khi S = 1 thì dịch 3-bit.

2.7. Khối Mux 4 to 1:

2.7.1. Sơ đồ mạch khối Mux 4 to 1:



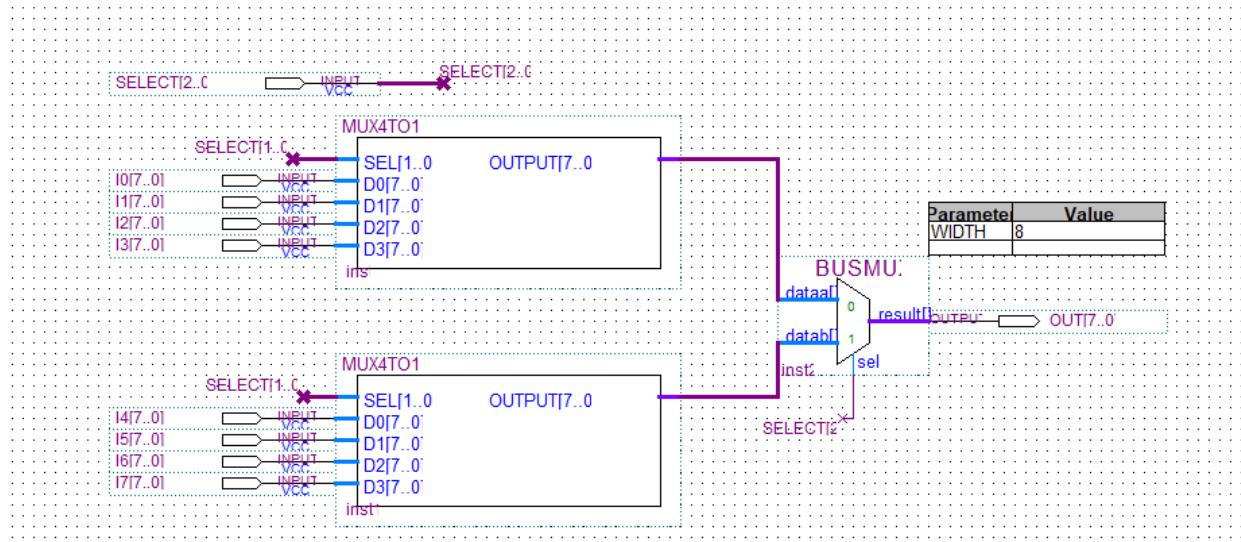
Hình 68. Sơ đồ mạch khối Mux 4 to 1

2.7.2. Chức năng khối Mux 4 to 1:

Chức năng tương tự như khối Mux 2 to 1 nhưng có 4 cổng vào và 2 cổng tín hiệu để chọn xuất ra.

2.8. Khối Mux 8 to 1:

2.8.1. Sơ đồ mạch khối Mux 8 to 1:



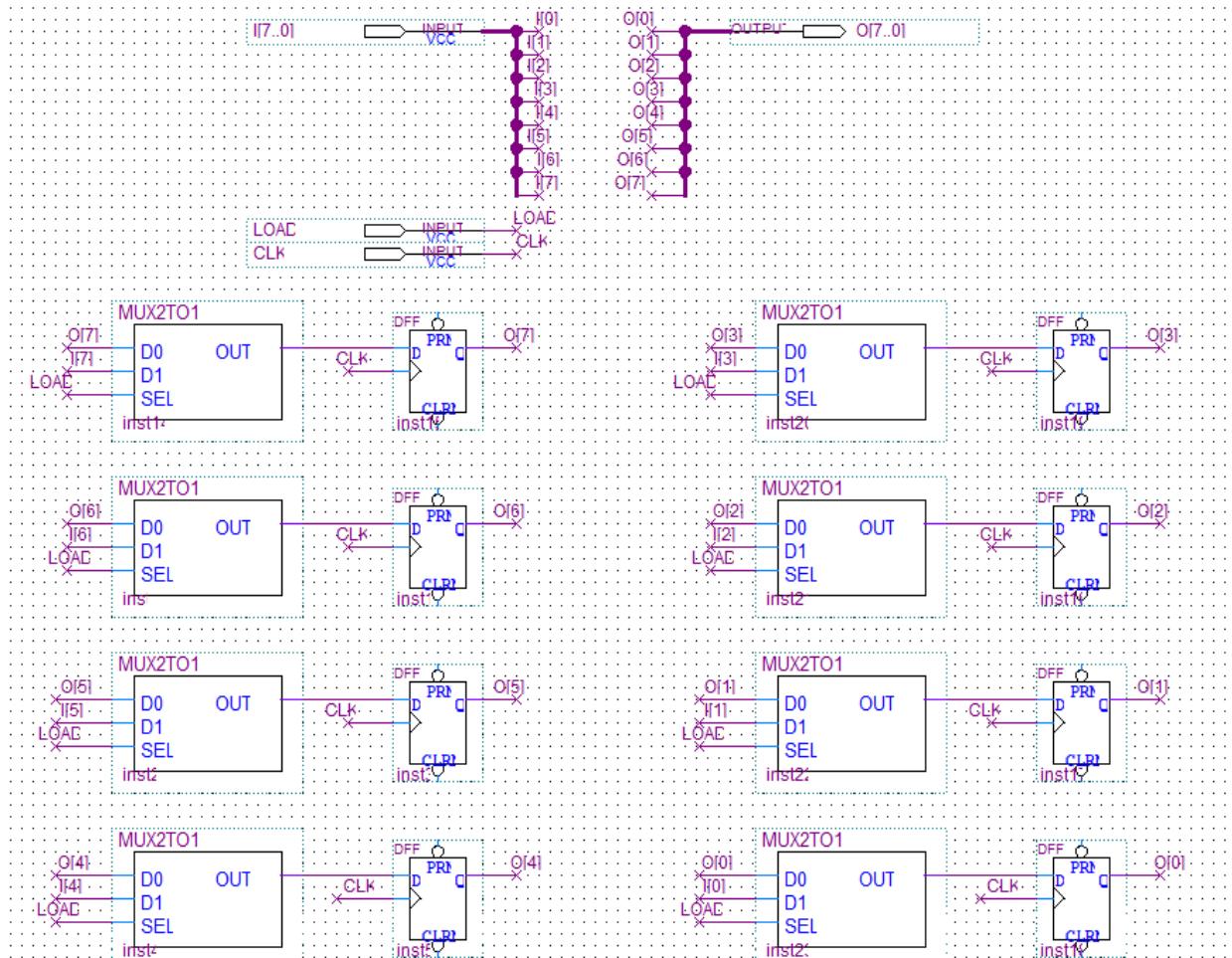
Hình 69. Sơ đồ mạch khối Mux 8 to 1

2.8.2. Chức năng khối Mux 8 to 1:

Chức năng tương tự như khối Mux 2 to 1 nhưng có 8 cổng vào và 3 cổng tín hiệu để chọn xuất ra.

2.9. Khối Register:

2.9.1. Sơ đồ mạch khối Register:



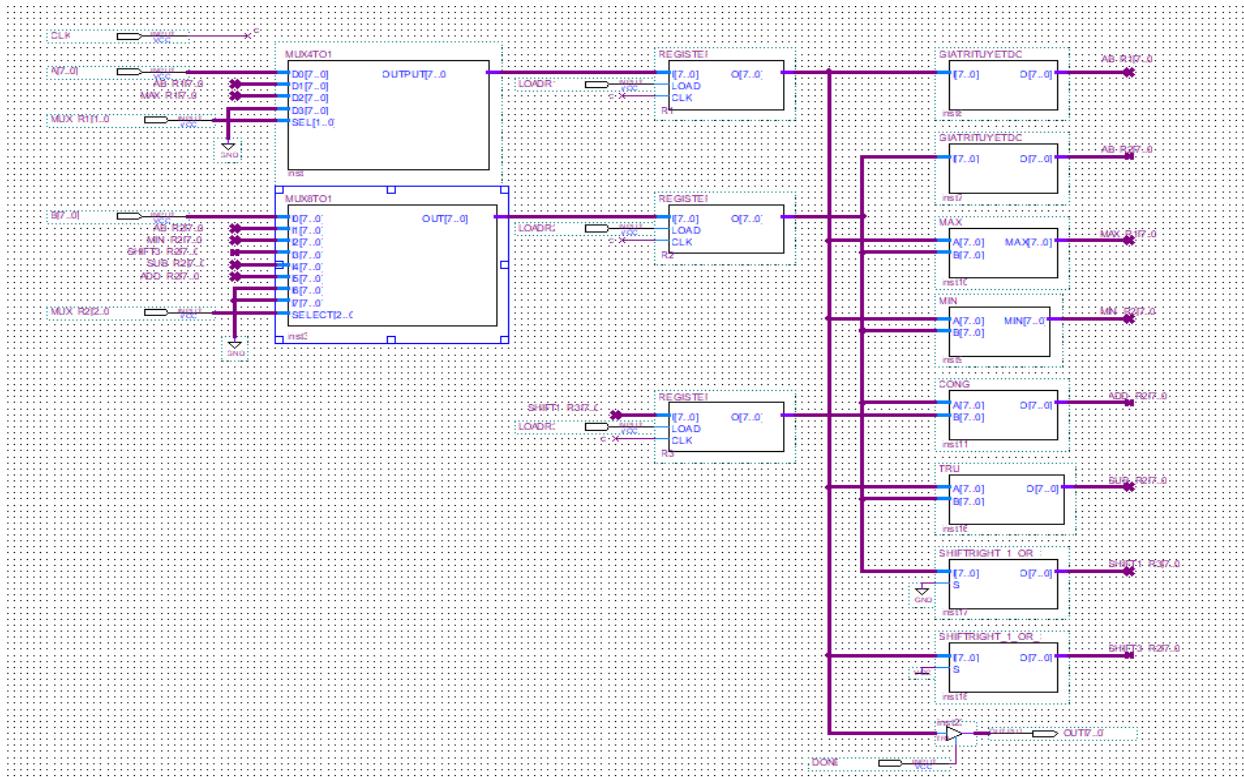
Hình 70. Sơ đồ mạch khối Register

2.9.2. Chức năng khối Register:

Chức năng như một bộ nhớ tạm để lưu trữ dữ liệu tương tự như Register File ở mục IV.

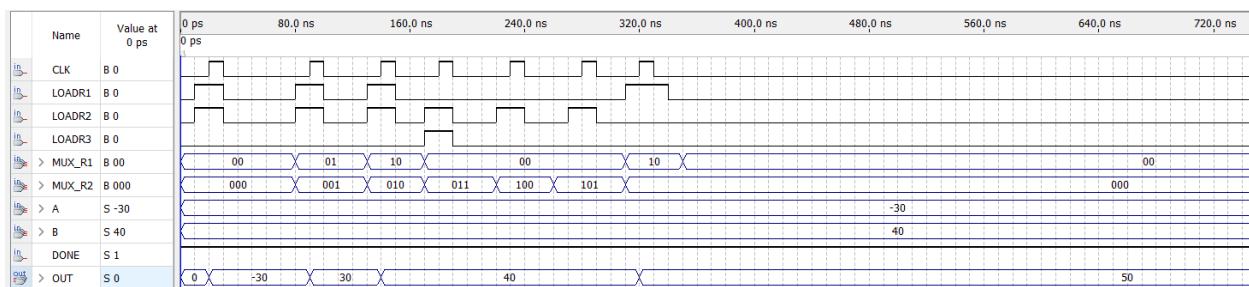
2.10. Khối Datapath:

2.10.1.Sơ đồ mạch khối Datapath:



Hình 71. Sơ đồ mạch khối Datapath

2.10.2. Waveform khối Datapath:



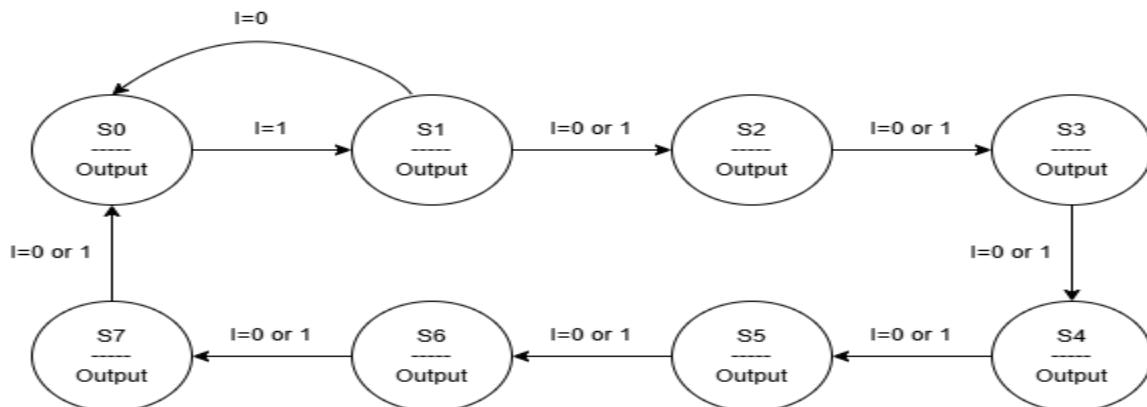
Hình 72. Waveform khói Datapath

2.10.3.Chức năng khôi Datapath:

Thực hiện phép tính căn bậc 2. Cấp các tín hiệu điều khiển các sao cho thực hiện các phép tính theo lưu đồ ở hình 41.

3. Thiết kế khối Controller:

3.1. Bảng trạng thái và các tín hiệu điều khiển:



Hình 73. Sơ đồ Moore

*Output = MUXR1[1..0], MUXR2[2..0], LOADR1, LOADR2, LOADR3, DONE.

		TTHT		TTKT	
		Q ₂ Q ₁ Q ₀		D ₂ D ₁ D ₀	D ₂ D ₁ D ₀
				I = 0	I = 1
S0	000		000	001	
S1	001		010	010	
S2	010		011	011	
S3	011		100	100	
S4	100		101	101	
S5	101		110	110	
S6	110		111	111	
S7	111		000	000	

Bảng 2. Trang thái ngõ vào của SRA Register Sharing

		Q ₂ Q ₁	00	01	11	10
		Q ₀ I	00	01	11	10
00	0	0	0	1	1	
01	0	0	0	1	1	
11	0	1	1	0	1	
10	0	1	0	1		

Bảng 2.1: Bìa K ngõ vào D2

		Q ₂ Q ₁	00	01	11	10
		Q ₀ I	00	01	11	10
00	0	0	1	1	0	
01	0	0	1	1	0	
11	1	1	0	0	1	
10	1	0	0	0	1	

Bảng 2.2: Bìa K ngõ vào D1

		Q ₂ Q ₁	00	01	11	10
		Q ₀ I	00	01	11	10
00	0	0	1	1	1	
01	1	1	1	1	1	
11	0	0	0	0	0	
10	0	0	0	0	0	

Bảng 2.3: Bìa K ngõ vào D0

Kết quả D2, D1 và D0 sau khi thực hiện bìa K.

$$D2 = Q2Q0' + Q2Q1' + Q2'Q1Q0$$

$$D1 = Q1Q0' + Q1'Q0$$

$$D0 = Q0'I + Q1Q0' + Q2Q0'$$

TTHT		Trạng thái tín hiệu ngõ ra								
	Q ₂ Q ₁ Q ₀	MUXR1[1]	MUXR1[0]	MUXR2[2]	MUXR2[1]	MUXR2[0]	LOADR1	LOADR2	LOADR3	DONE
S0	000	0	0	0	0	0	1	1	0	0
S1	001	0	1	0	0	1	1	1	0	0
S2	010	1	0	0	1	0	1	1	0	0
S3	011	x	x	0	1	1	0	1	1	0
S4	100	x	x	1	0	0	0	1	0	0
S5	101	x	x	1	0	1	0	1	0	0
S6	110	1	0	x	x	x	1	0	0	0
S7	111	x	x	x	x	x	0	x	x	1

Bảng 3. Bảng trạng thái ngõ ra của SRA Register Sharing

		Q ₂ Q ₁	00	01	11	10
		Q ₀	0	1	1	x
		0	0	x	x	x
		0	0	1	1	x
		1	0	x	x	x

Bảng 3.1: Bìa K ngõ ra MUXR1[1]

		Q ₂ Q ₁	00	01	11	10
		Q ₀	0	0	0	x
		0	0	1	x	x
		0	0	0	0	x
		1	1	x	x	x

Bảng 3.2: Bìa K ngõ ra MUXR1[0]

		Q ₂ Q ₁	00	01	11	10
		Q ₀	0	0	x	1
		0	0	x	1	1
		0	0	0	x	1
		1	0	x	1	1

Bảng 3.3: Bìa K ngõ ra MUXR2[2]

		Q ₂ Q ₁	00	01	11	10
		Q ₀	0	1	x	0
		0	0	1	x	0
		0	0	1	x	0
		1	1	x	1	0

Bảng 3.4: Bìa K ngõ ra MUXR2[1]

		Q ₂ Q ₁	00	01	11	10
		Q ₀	0	0	0	x
		0	1	1	1	x
		0	0	0	0	x
		1	1	1	1	x

Bảng 3.5: Bìa K ngõ ra MUXR2[0]

		Q ₂ Q ₁	00	01	11	10
		Q ₀	1	1	1	0
		1	0	1	0	0
		1	1	1	1	0
		0	0	1	0	0

Bảng 3.6: Bìa K ngõ ra LOADR1

$Q_2 Q_1$	00	01	11	10
Q_0	0	1	0	1
	1	1	x	1

Bảng 3.7: Bìa K ngõ ra LOADR2

$Q_2 Q_1$	00	01	11	10
Q_0	0	0	0	0
	1	0	1	x

Bảng 3.8: Bìa K ngõ ra LOADR3

$Q_2 Q_1$	00	01	11	10
Q_0	0	0	0	0
	1	0	0	1

Bảng 3.9: Bìa K ngõ ra DONE

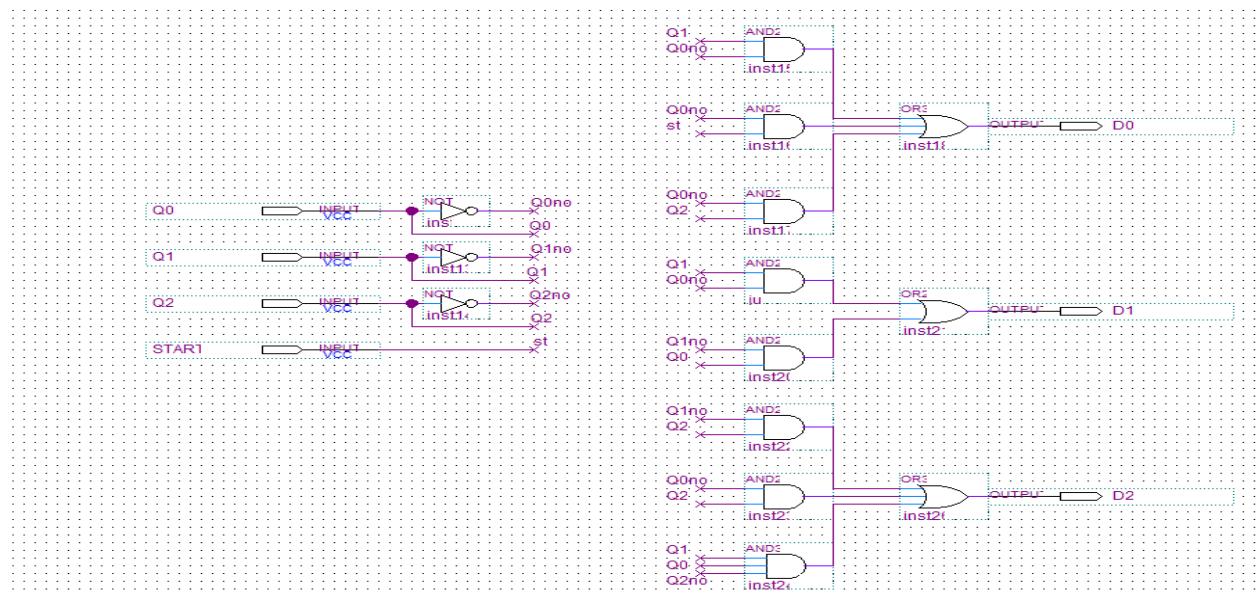
Kết quả các cổng ngõ ra sau khi thực hiện bìa K.

$$\begin{aligned} \text{MUXR1[1]} &= Q1 \\ \text{MUXR2[2]} &= Q2 \\ \text{MUXR2[0]} &= Q0 \\ \text{LOADR2} &= Q2' + Q1' \\ \text{DONE} &= Q2Q1Q0 \end{aligned}$$

$$\begin{aligned} \text{MUXR1[0]} &= Q0 \\ \text{MUXR2[1]} &= Q1 \\ \text{LOADR1} &= Q2'Q1' + Q1Q0' \\ \text{LOADR3} &= Q1Q0 \end{aligned}$$

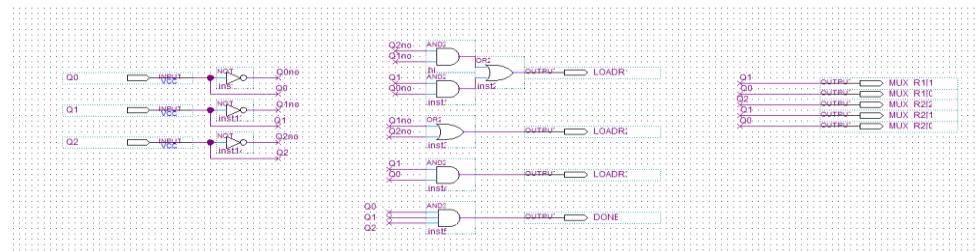
3.2. Hoàn thiện khối Controller:

3.2.1. Next State:



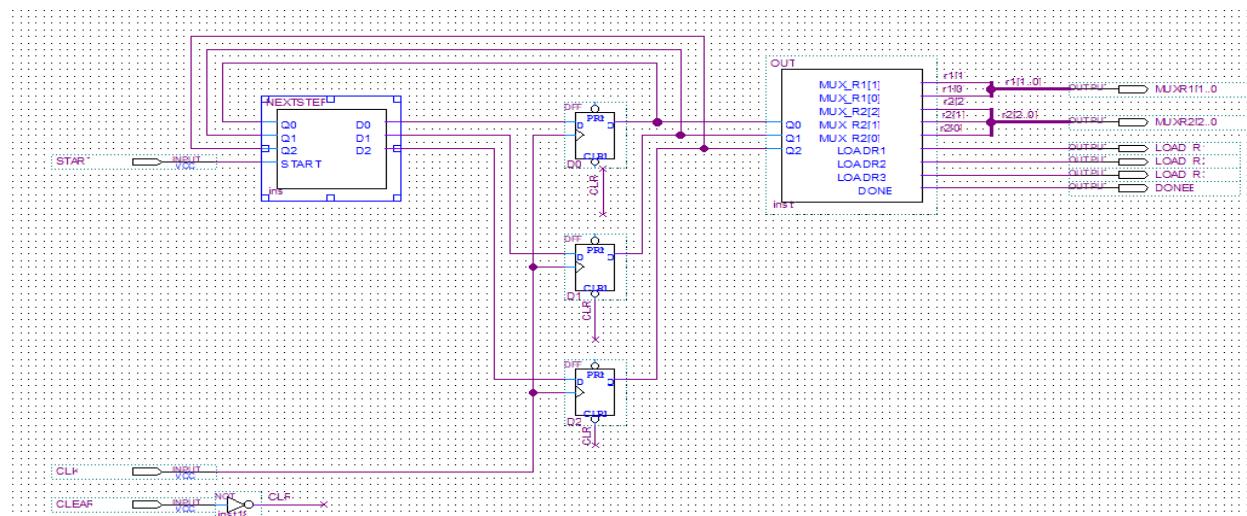
Hình 74. Sơ đồ mạch trạng thái Next State

3.2.2. Output:



Hình 75. Sơ đồ mạch trang thái Output

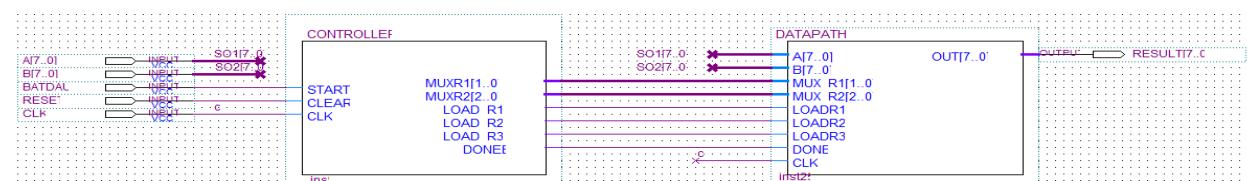
3.2.3. Controller:



Hình 76. Sơ đồ mạch khói Controller

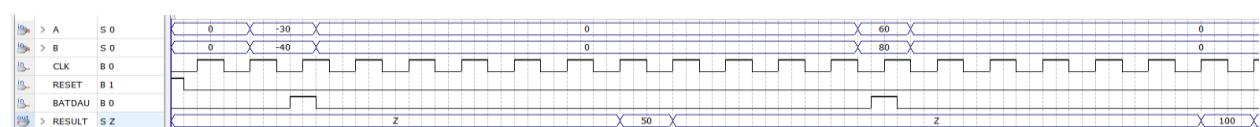
4. Mạch SRA Register Sharing:

4.1. Sơ đồ mạch Register Sharing:



Hình 77. Sơ đồ mạch SRA Register Sharing

4.2. Waveform mạch Register Sharing:



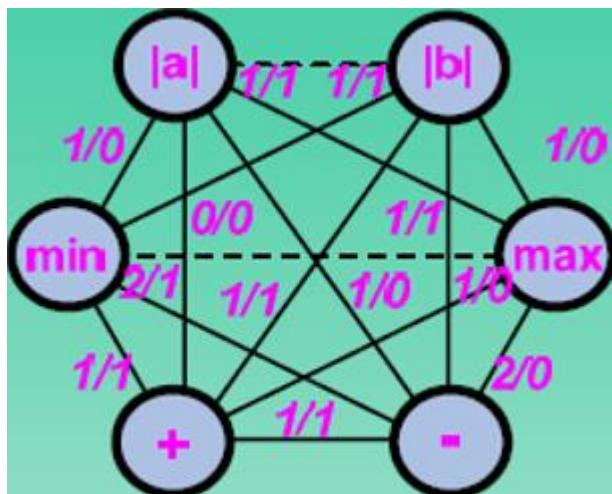
Hình 78. Waveform mạch SRA Register Sharing

XI. SRA FUNCTIONAL-UNIT SHARING:

1. Tổng quan thiết kế:

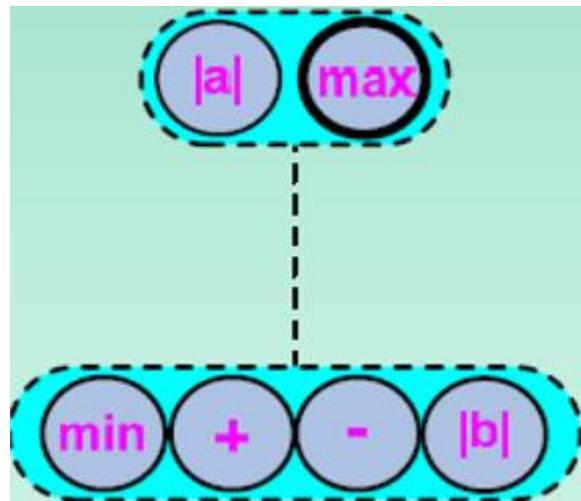
- Thiết kế mạch tính căn bậc 2 có khả năng Functional-unit Sharing sử dụng Graph Partitioning Algorithm.
- Công dụng thiết kế: Nhóm các hoạt động đồng thời, mỗi nhóm sẽ chia sẻ 1 đơn vị chức năng, chia sẻ làm giảm số lượng đơn vị chức năng, ưu tiên nhóm bằng các giảm kết nối.
- Lưu đồ giải thuật: Tương tự như hình 41 mục X.

- Vẽ sơ đồ thỏa mãn các điều kiện:
 - * Node đại diện cho một toán tử
 - * Edge: cạnh không tương thích và cạnh ưu tiên
 - + Cạnh không tương thích (đường gạch ngang): kết nối 2 nút cho thấy 2 toán tử xảy ra đồng thời trong cùng một trạng thái.
 - + Cạnh ưu tiên: kết nối 2 nút cho thấy 2 toán tử có sự tương đồng trong cấu trúc (tùy thuộc vào thư viện thành phần) hoặc giảm đáng kể chi phí (tùy thuộc vào trọng số ưu tiên) của kết nối đường dẫn dữ liệu.
 - * Trọng số ưu tiên (s/d) trên cạnh ưu tiên: số lượng kết nối có thể được tiết kiệm
 - + s bằng số nguồn chung giữa hai toán tử
 - + d bằng số đích chung giữa hai toán tử.
- Sơ đồ dựa trên quy tắc vẽ trên:



Hình 79. Sơ đồ Functional-unit Sharing

- Gọi AU1 và AU2 là 2 nhóm. Tiến hành gom các function không nối với nhau bằng nét đứt, ta được: AU1{|a|, Max}, AU2{+, -, Min, |b|}, S1{Shift1}, S2{Shift3}.



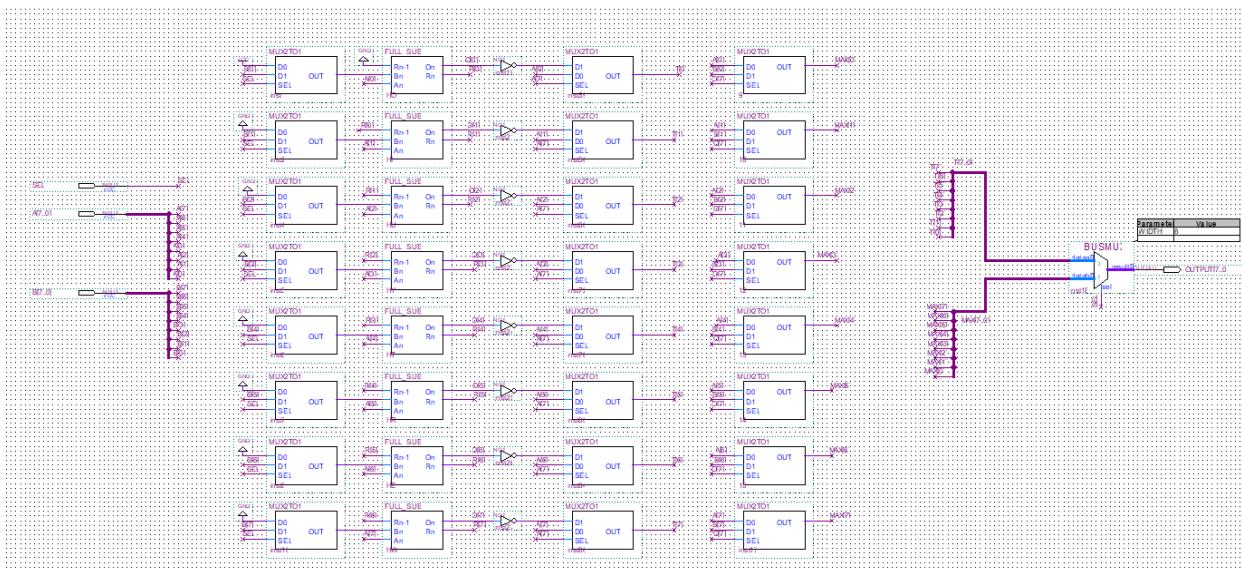
Hình 80. Sơ đồ sau khi gom nhóm

- Kết quả sau khi Functional-unit Sharing ta được: AU1{|a|, Max}, AU2{+, -, Min, |b|}, S1{Shift1}, S2{Shift3}.

2. Thiết kế khối Datapath:

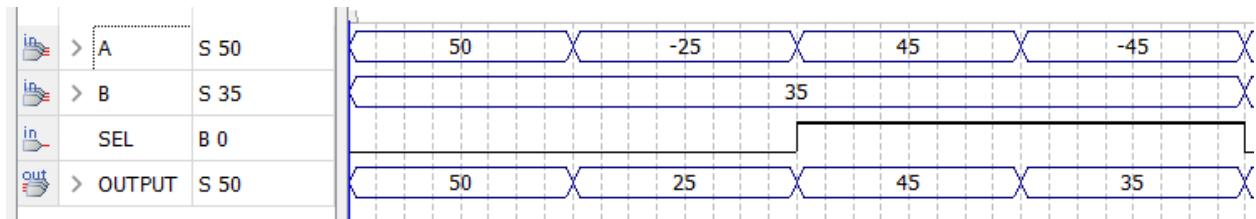
2.1. Khối Absolute or Max (AU1):

2.1.1. Sơ đồ mạch khối Absolute or Max:



Hình 81. Sơ đồ mạch khối Absolute or Max

2.1.2. Waveform khối Absolute or Max:



Hình 82. Waveform khối Absolute or Max

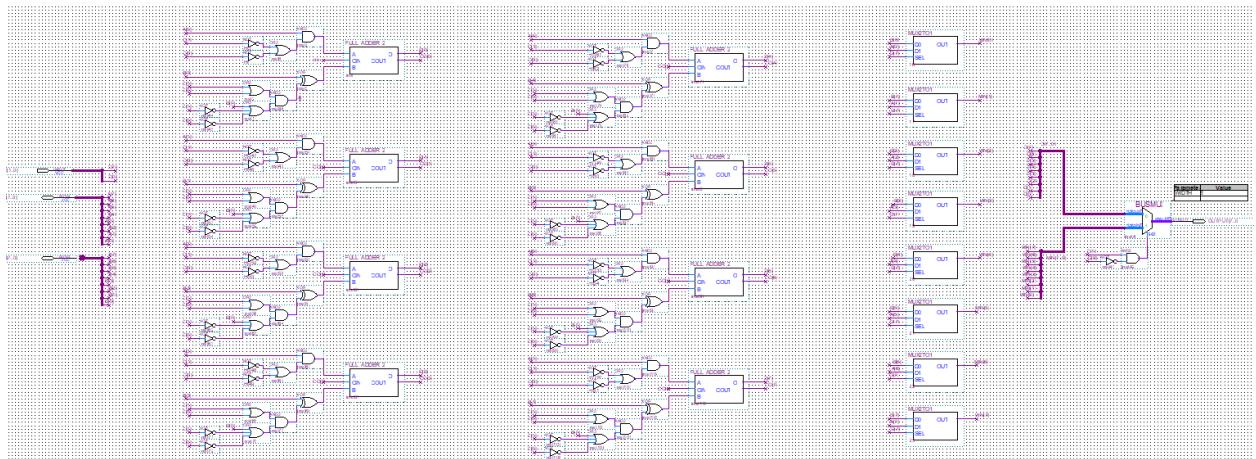
2.1.3. Chức năng khối Add or Max:

Khối tích hợp 2 chức năng trị tuyệt đối (Absolute) và tìm giá trị lớn nhất (Max) được điều khiển bằng chân SEL.

- Khi SEL = 0: Khối thực hiện chức năng tìm trị tuyệt đối (Absolute).
- Khi SEL = 1: Khối thực hiện chức năng tìm giá trị lớn nhất (Max).

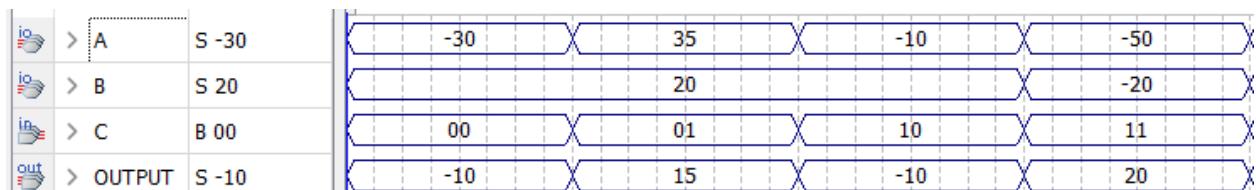
2.2. Khối Abs, Sub, Add, Min (AU2):

2.2.1. Sơ đồ mạch khối AU2:



Hình 83. Sơ đồ mạch khối AU2

2.2.2. Waveform khối AU2:



Hình 84. Waveform khối AU2

2.2.3. Chức năng khối AU2:

Khối thực hiện đa chức năng như tìm trị tuyệt đối, Tìm giá trị nhỏ nhất cũng như thực hiện phép cộng trừ 2 phép tính dựa vào tín hiệu điều khiển C.

- Khi C = 00: Khối thực hiện phép cộng 2 số.
- Khi C = 01: Khối thực hiện phép trừ 2 số.
- Khi C = 10: Khối thực hiện tìm giá trị nhỏ nhất.
- Khi C = 11: Khối thực hiện tìm trị tuyệt đối với đầu vào ở cổng B.

2.3. Khối Shift 1 or Shift 3:

Khối có thiết kế và chức năng tương tự như khối Shift 1 or Shift 3 ở mục X.

2.4. Khối Mux 4 to 1:

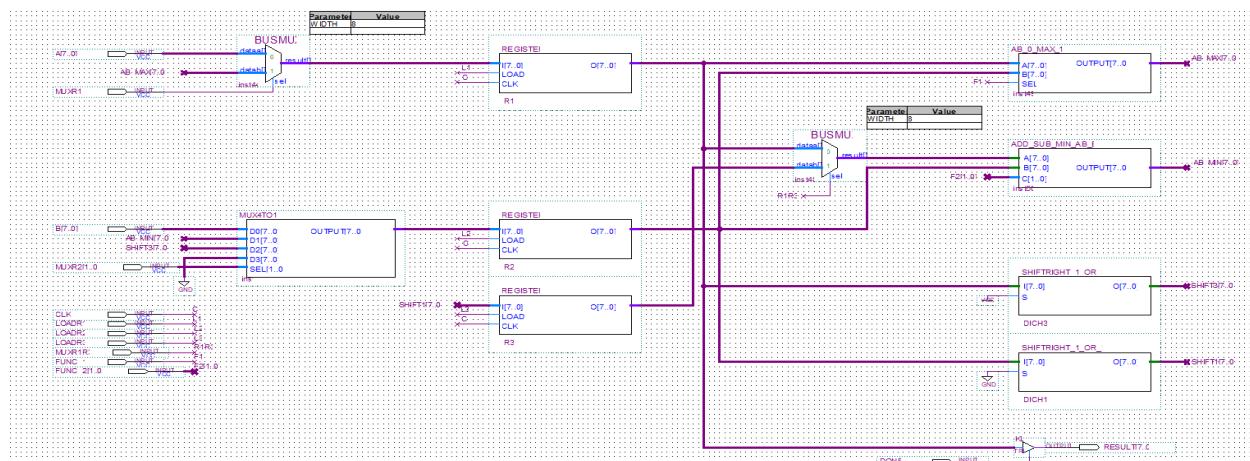
Khối có thiết kế và chức năng tương tự như khối Shift 1 or Shift 3 ở mục X.

2.5. Khối Register:

Khối có thiết kế và chức năng tương tự như khối Shift 1 or Shift 3 ở mục X.

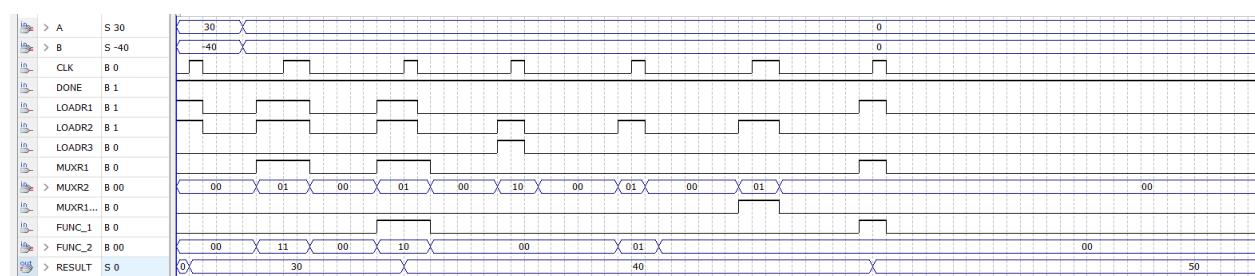
2.6. Datapath:

2.6.1. Sơ đồ mạch khối Datapath:



Hình 85. Sơ đồ mạch khối Datapath

2.6.2. Waveform khối Datapath:



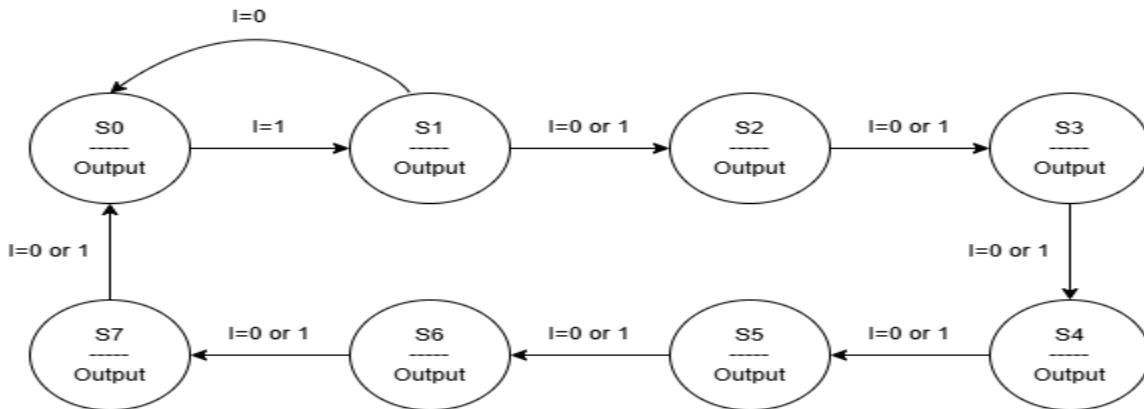
Hình 86. Waveform khối Datapath

2.6.3. Chức năng khối Datapath:

Thực hiện phép tính căn bậc 2. Cấp các tín hiệu điều khiển các sao cho thực hiện các phép tính theo lưu đồ ở hình 41.

3. Thiết kế khối Controller:

3.1. Bảng trạng thái và các tín hiệu điều khiển:



Hình 87. Sơ đồ Moore

*Output = MUXR1, MUXR2[1..0], MUXR1R3, LOADR1, LOADR2, LOADR3, DONE, FUNC1, FUNC2[2..0].

TTHT		TTKT	
	Q ₂ Q ₁ Q ₀	D ₂ D ₁ D ₀	D ₂ D ₁ D ₀
		I = 0	I = 1
S0	000	000	001
S1	001	010	010
S2	010	011	011
S3	011	100	100
S4	100	101	101
S5	101	110	110
S6	110	111	111
S7	111	000	000

Bảng 4. Trạng thái ngõ vào của SRA Function-unit Sharing

Q ₂ Q ₁		00	01	11	10
Q ₀ I		0	0	1	1
00	0	0	0	1	1
01	0	0	0	1	1
11	0	1	0	0	1
10	0	1	1	0	1

Bảng 4.1: Bìa K ngõ vào D2

Q ₂ Q ₁		00	01	11	10
Q ₀ I		0	1	1	0
00	0	0	1	1	0
01	0	0	1	1	0
11	1	1	0	0	1
10	1	0	0	0	1

Bảng 4.2: Bìa K ngõ vào D1

Q_2Q_1	00	01	11	10
Q_0I	00	0	1	1
	01	1	1	1
	11	0	0	0
	10	0	0	0

Bảng 4.3: Bìa K ngõ vào D0

Kết quả D2, D1 và D0 sau khi thực hiện bìa K.

$$D2 = Q2Q0' + Q2Q1' + Q2'Q1Q0$$

$$D1 = Q1Q0' + Q1'Q0$$

$$D0 = Q0'I + Q1Q0' + Q2Q0'$$

TTHT		Trạng thái tín hiệu ngõ ra							
	$Q_2Q_1Q_0$	MUXR1	MUXR2[1]	MUXR2[0]	MUXR1R3	LOADR1	LOADR2	LOADR3	DONE
S0	000	0	0	0	x	1	1	0	0
S1	001	1	0	1	x	1	1	0	0
S2	010	1	0	1	0	1	1	0	0
S3	011	x	1	0	x	0	1	1	0
S4	100	x	0	1	0	0	1	0	0
S5	101	x	0	1	1	0	1	0	0
S6	110	1	x	x	x	1	0	0	0
S7	111	x	x	x	x	0	x	x	1

Bảng 5. Bảng trạng thái ngõ ra của SRA Functional-unit Sharing

Q_2Q_1	00	01	11	10
Q_0	0	0	1	x
	1	1	x	x

Bảng 5.1: Bìa K ngõ ra MUXR1

Q_2Q_1	00	01	11	10
Q_0	0	0	0	0
	1	0	1	x

Bảng 5.2: Bìa K ngõ ra MUXR2[1]

Q_2Q_1	00	01	11	10
Q_0	0	0	1	x
	1	1	0	x

Bảng 5.3: Bìa K ngõ ra MUXR2[0]

Q_2Q_1	00	01	11	10
Q_0	x	0	x	0
	1	x	x	x

Bảng 5.4: Bìa K ngõ ra MUXR1R3

		Q ₂ Q ₁	00	01	11	10	
		Q ₀	0	1	1	1	0
		1	1	0	0	0	0

Bảng 5.5: Bìa K ngõ ra LOADR1

		Q ₂ Q ₁	00	01	11	10	
		Q ₀	0	0	0	0	0
		1	0	1	x	0	0

Bảng 5.7: Bìa K ngõ ra LOADR3

		Q ₂ Q ₁	00	01	11	10	
		Q ₀	0	1	1	0	1
		1	1	1	x	1	1

Bảng 5.6: Bìa K ngõ ra LOADR2

		Q ₂ Q ₁	00	01	11	10	
		Q ₀	0	0	0	0	0
		1	0	0	1	0	0

Bảng 5.8: Bìa K ngõ ra DONE

Kết quả các cổng ngõ ra sau khi thực hiện bìa K.

$$\text{MUXR1} = Q_1 + Q_0$$

$$\text{MUXR2}[0] = Q_1 Q_0' + Q_2' Q_0 + Q_2$$

$$\text{DONE} = Q_2 Q_1 Q_0$$

$$\text{LOADR3} = Q_2' + Q_1'$$

$$\text{MUXR2}[1] = Q_1 Q_0$$

$$\text{MUXR1R3} = Q_0$$

$$\text{LOADR1} = Q_2' Q_1' + Q_1 Q_0'$$

$$\text{LOADR3} = Q_1 Q_0$$

TTHT		Trạng thái ngõ ra điều khiển khôi AU				
	Q ₂ Q ₁ Q ₀	FUNC1	FUNC2[1]	FUNC2[0]		
S0	000	x	x	x		
S1	001	0	1	1		
S2	010	1	1	0		
S3	011	x	x	x		
S4	100	x	0	1		
S5	101	x	0	0		
S6	110	1	x	x		
S7	111	x	x	x		

Bảng 6. Bảng trạng thái điều khiển của các khôi AU

		Q ₂ Q ₁	00	01	11	10	
		Q ₀	0	x	1	1	x
		1	0	x	x	x	x

Bảng 6.1: Bìa K ngõ ra FUNC1

		Q ₂ Q ₁	00	01	11	10	
		Q ₀	0	x	1	0	x
		1	1	x	x	0	x

Bảng 6.2: Bìa K ngõ ra FUNC2[1]

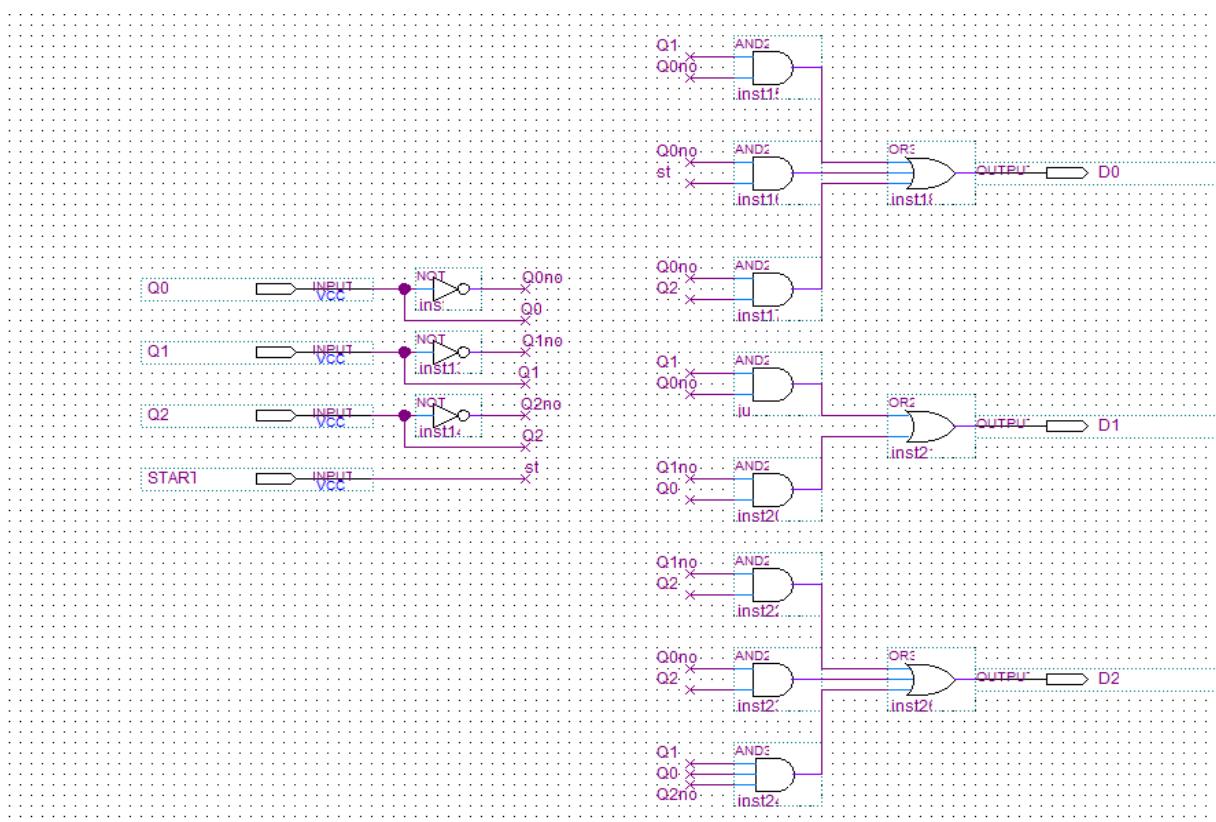
$Q_2 Q_1$	00	01	11	10
Q_0	0	x	0	x
	1	1	x	x

Bảng 6.3: Bìa K ngõ ra FUNC2[0]

$\text{FUNC1} = Q_1$, $\text{FUNC2}[1] = Q_2'$, $\text{FUNC2}[0] = Q_2'Q_0 + Q_2Q_0'$.

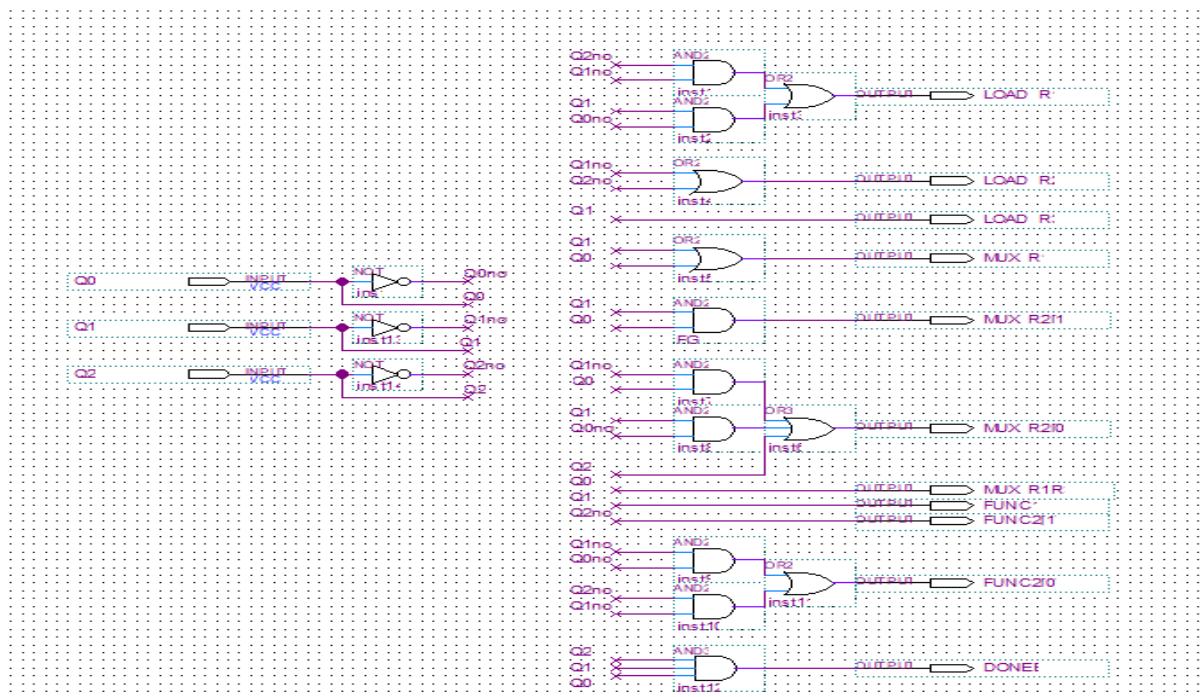
3.2. Hoàn thiện khối Controller:

3.2.1. NextState:



Hình 88. Sơ đồ mạch NextState SRA Functional-unit Sharing

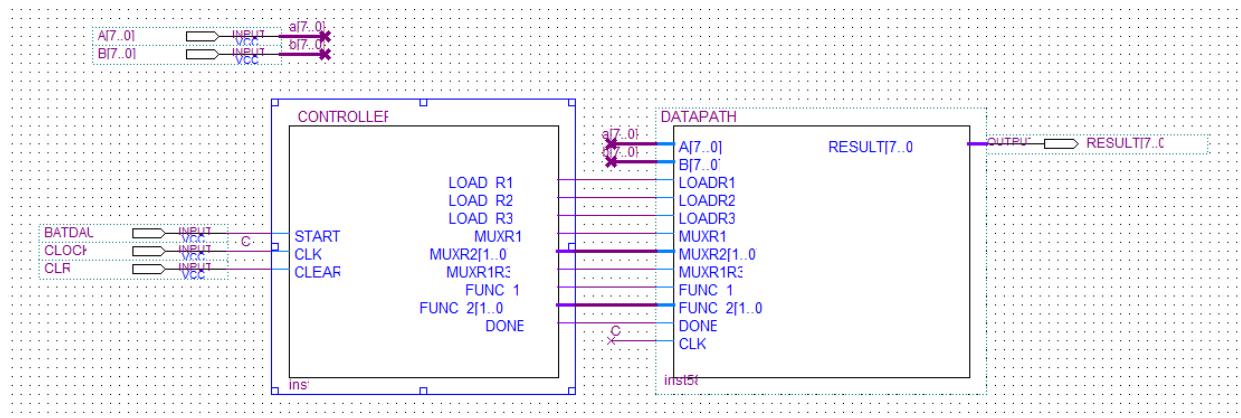
3.2.2. Output:



Hình 89. Sơ đồ mạch Output Functional-unit Sharing

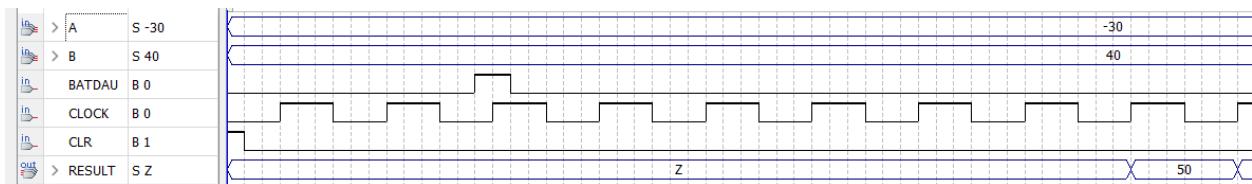
4. SRA Functional-unit Sharing:

4.1. Sơ đồ mạch SRA Function-unit Sharing:



Hình 90. Sơ đồ mạch SRA Functional-unit Sharing

4.2. Waveform mismatch SRA Functionality Sharing:

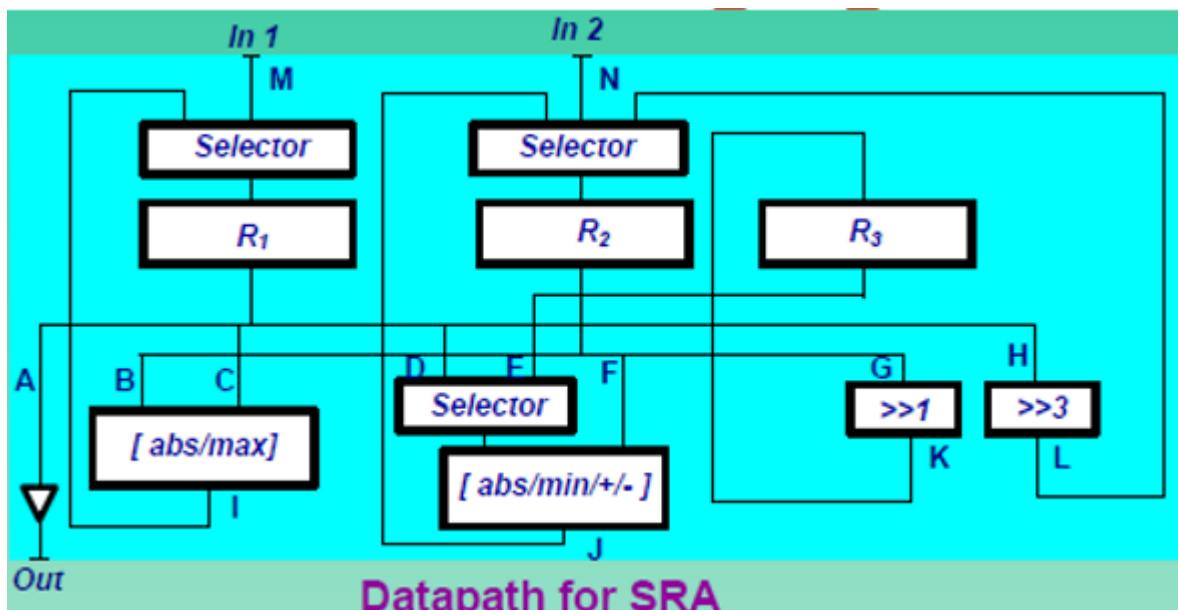


Hình 91. Waveform SRA Functional-unit Sharing

XII. SRA BUS SHARING:

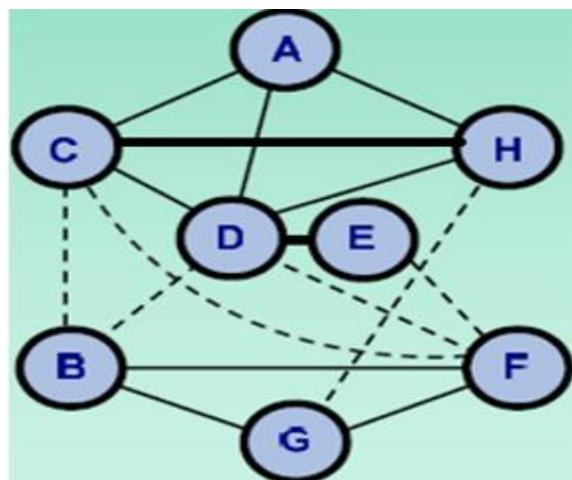
1. Tổng quan thiết kế:

- Thiết kế mạch tính căn bậc 2 có khả năng Bus Sharing sử dụng Graph-Patitioing Alogrithm.
- Công dụng của thiết kế: Nhóm các kết nối không được sử dụng đồng thời, Mỗi nhóm hợp thành một Bus, kết nối hợp nhất làm giảm số lượng dây.
- Lưu đồ giải thuật: Tương tự như hình 41 mục X.
- Giả sử các dây trong Datapath được đặt tên như hình bên dưới:

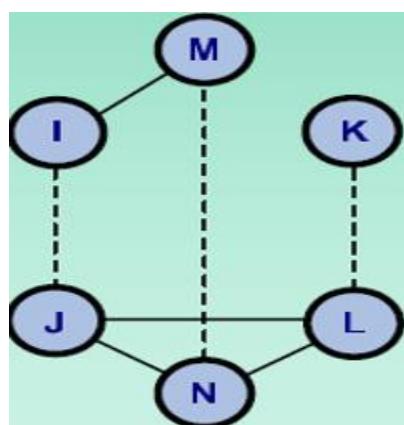


Hình 92. Tên các dây của Datapath

- Vẽ sơ đồ thỏa mãn các quy tắc:
 - * Đỉnh đại diện cho mỗi kết nối
 - * Cạnh: cạnh không tương thích và cạnh ưu tiên
 - + Cạnh không tương thích (đường gạch chéo): kết nối 2 đỉnh bất cứ khi nào các kết nối tương ứng của chúng không xuất phát từ cùng một nguồn, nhưng được sử dụng cùng một lúc.
 - + Cạnh ưu tiên: kết nối 2 đỉnh bất cứ khi nào các kết nối tương ứng của chúng có một nguồn chung hoặc một đích chung.
 - * Trọng số ưu tiên (s/d) trên cạnh ưu tiên: Không sử dụng thuật toán phân vùng đồ thị để nhóm các kết nối theo cách tối đa hóa số lượng cạnh ưu tiên được bao gồm trong tất cả các nhóm.
- Sơ đồ được vẽ dựa trên quy tắc trên:



Hình 93. Đồ thị Bus đầu vào



Hình 94. Đồ thị Bus đầu ra

	s_0	s_1	s_2	s_3	s_4	s_5	s_6	s_7
A								
B								
C		X	X					
D			X					
E				X				
F		X						
G								
H								
I		X						
J		X	X					
K								
L					X	X		
M	X							
N	X						X	

Hình 95. Bảng sử dụng các cổng

Dựa vào đồ thị ta có thể gom nhóm được các nhóm Bus sau:

Bus1 {A, C, D, E, H}.

Bus2 {B, G, F}.

Bus3 {I, K, M}.

Bus4 {J, N, L}.

2. Thiết kế khối Datapath:

2.1. Khối Absolute or Max (AU1):

Khối này có chức năng và thiết kế tương tự như khối AU1 ở mục XI.

2.2. Khối Add, Sub, Min, Absolute (AU2):

Khối này có chức năng và thiết kế tương tự như khối AU2 ở mục XI.

2.3. Khối Shift 1 or 3:

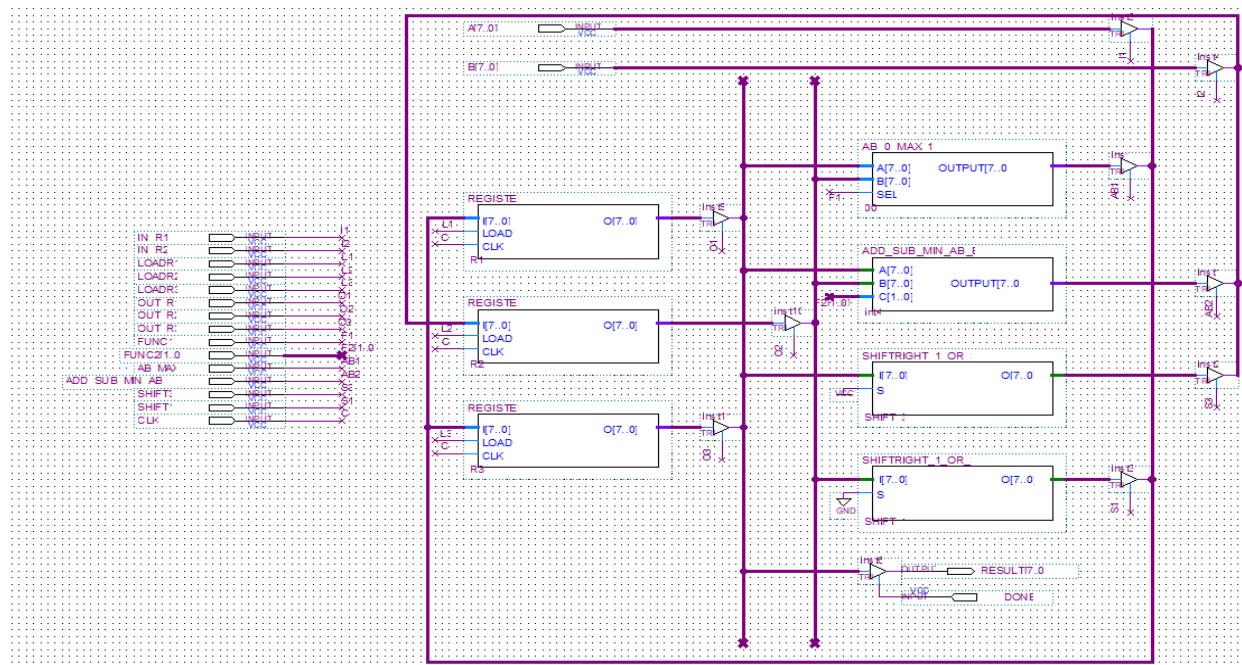
Khối này có chức năng và thiết kế tương tự như khối Shift 1 or 3 ở mục X.

2.4. Khối Register:

Khối này có chức năng và thiết kế tương tự như khối Register ở mục X.

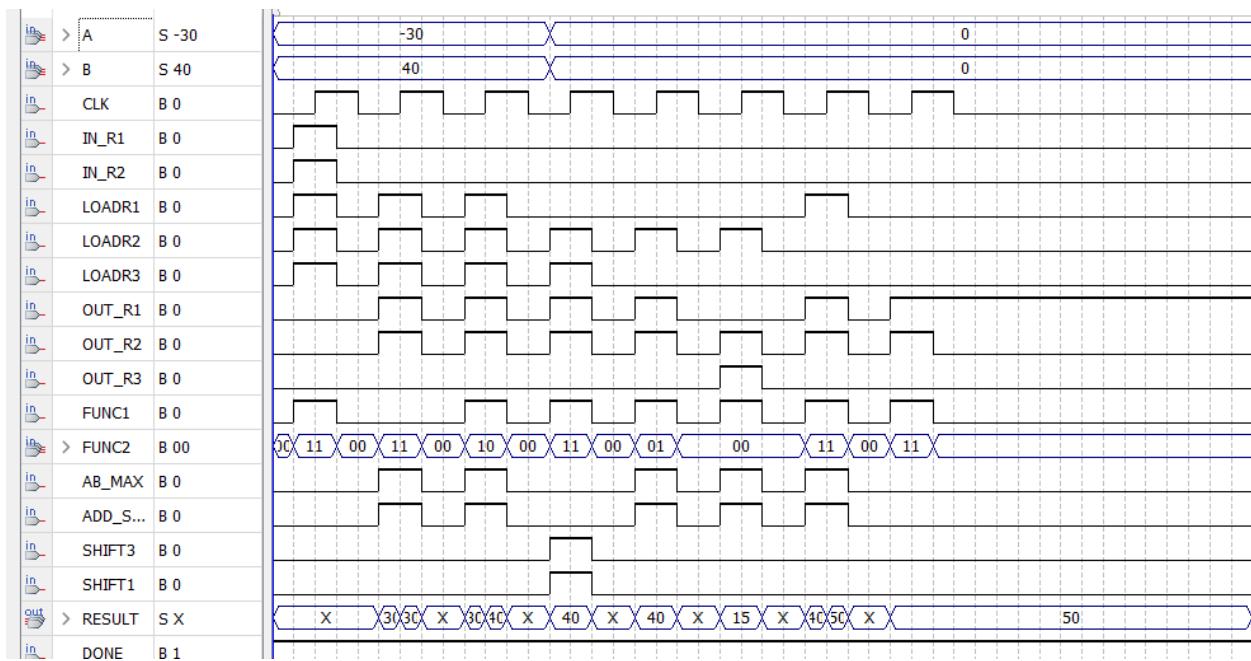
2.5. Khối Datapath:

2.5.1. Sơ đồ khối Datapath:



Hình 96. Sơ đồ khối Datapath SRA Bus Sharing

2.5.2. Waveform khối Datapath:



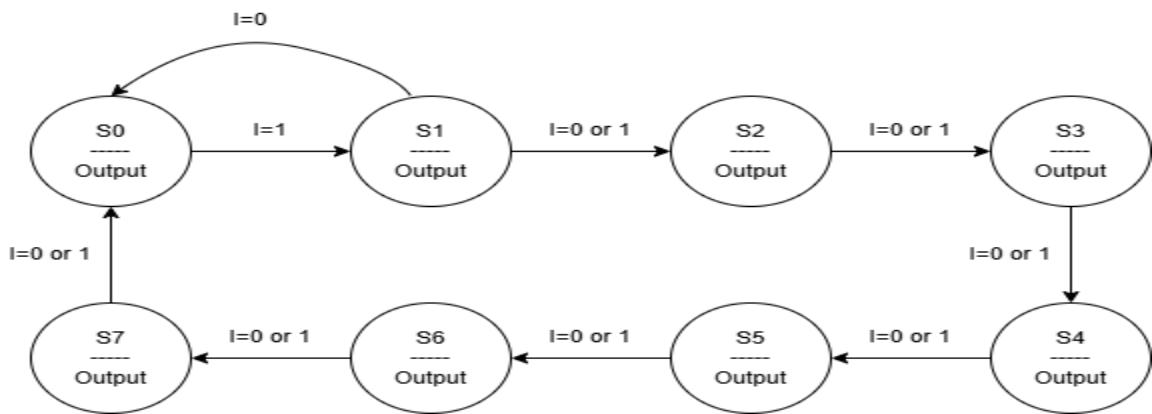
Hình 97. Waveform khối Datapath SRA Bus Sharing

2.5.3. Chức năng khối Datapath:

Khối thực hiện chức năng tính căn bậc 2. Khối sử dụng Register Sharing, Function-unit Sharing và Bus Sharing để giảm diện tích của mạch và giảm số lượng dây.

3. Thiết kế khối Controller:

3.1. Bảng trạng thái và các tín hiệu điều khiển:



Hình 98. Sơ đồ Moore

*Output = INR1, INR2, LOADR1, LOADR2, LOADR3, DONE, OUTR1, OUTR2, OUTR3, FUNC1, FUNC2[1..0], AU1, AU2, SH1, SH3.

TTHT		TTKT	
	Q ₂ Q ₁ Q ₀	D ₂ D ₁ D ₀	D ₂ D ₁ D ₀
		I = 0	I = 1
S0	000	000	001
S1	001	010	010
S2	010	011	011
S3	011	100	100
S4	100	101	101
S5	101	110	110
S6	110	111	111
S7	111	000	000

Bảng 7. Trang thái ngõ vào của SRA Bus Sharing

		Q ₂ Q ₁	00	01	11	10
		Q ₀ I	00	01	11	10
00	0	0	0	1	1	1
01	0	0	0	1	1	1
11	0	1	1	0	1	1
10	0	1	0	1	1	1

Bảng 7.1: Bìa K ngõ vào D2

		Q ₂ Q ₁	00	01	11	10
		Q ₀ I	00	01	11	10
00	0	0	1	1	0	0
01	0	0	1	1	0	0
11	1	1	0	0	1	1
10	1	0	0	0	1	1

Bảng 7.2: Bìa K ngõ vào D1

		Q ₂ Q ₁	00	01	11	10
		Q ₀ I	00	01	11	10
00	0	0	1	1	1	1
01	1	1	1	1	1	1
11	0	0	0	0	0	0
10	0	0	0	0	0	0

Bảng 7.3: Bìa K ngõ vào D0

Kết quả D2, D1 và D0 sau khi thực hiện bìa K.

$$D2 = Q2Q0' + Q2Q1' + Q2'Q1Q0$$

$$D1 = Q1Q0' + Q1'Q0$$

$$D0 = Q0'I + Q1Q0' + Q2Q0'$$

TTHT		Trạng thái tín hiệu ngõ ra							
	Q ₂ Q ₁ Q ₀	INR1	IN2	SH1	SH3	LOADR1	LOADR2	LOADR3	DONE
S0	000	1	1	0	0	1	1	0	0
S1	001	0	0	0	0	1	1	0	0
S2	010	0	0	0	0	1	1	0	0
S3	011	0	0	1	1	0	1	1	0
S4	100	0	0	0	0	0	1	0	0
S5	101	0	0	0	0	0	1	0	0
S6	110	0	0	0	0	1	0	0	0
S7	111	0	0	0	0	0	x	x	1

Bảng 8. Bảng trạng thái ngõ ra của SRA Bus Sharing

		Q ₂ Q ₁	00	01	11	10
		Q ₀	0	1	0	0
		0	1	0	0	0
		0	0	1	0	0
		1	0	0	0	0

Bảng 8.1: Bìa K ngõ ra INR1

		Q ₂ Q ₁	00	01	11	10
		Q ₀	0	1	0	0
		0	1	0	0	0
		0	0	0	0	0
		1	0	0	0	0

Bảng 8.2: Bìa K ngõ ra INR2

		Q ₂ Q ₁	00	01	11	10
		Q ₀	0	1	0	0
		0	0	0	0	0
		0	0	0	0	0
		1	0	1	0	0

Bảng 8.3: Bìa K ngõ ra SH1

		Q ₂ Q ₁	00	01	11	10
		Q ₀	0	1	1	0
		0	1	1	1	0
		0	0	1	1	0
		1	1	0	0	0

Bảng 8.5: Bìa K ngõ ra LOADR1

		Q ₂ Q ₁	00	01	11	10
		Q ₀	0	0	0	0
		0	0	0	0	0
		0	0	1	1	0
		1	1	0	0	0

Bảng 8.7: Bìa K ngõ ra LOADR3

		Q ₂ Q ₁	00	01	11	10
		Q ₀	0	0	0	0
		0	0	0	0	0
		0	0	0	0	0
		1	0	1	0	0

Bảng 8.4: Bìa K ngõ ra SH2

		Q ₂ Q ₁	00	01	11	10
		Q ₀	0	1	1	0
		0	1	1	1	0
		0	0	0	0	0
		1	1	1	x	1

Bảng 8.6: Bìa K ngõ ra LOADR2

		Q ₂ Q ₁	00	01	11	10
		Q ₀	0	0	0	0
		0	0	0	0	0
		0	0	0	0	0
		1	0	0	0	1

Bảng 8.8: Bìa K ngõ ra DONE

Kết quả các cổng ngõ ra sau khi thực hiện bìa K.

$$INR1 = Q_2'Q_1'Q_0'$$

$$SH1 = Q_2'Q_1Q_0$$

$$DONE = Q_2Q_1Q_0$$

$$LOADR2 = Q_2' + Q_1'$$

$$INR2 = Q_2'Q_1'Q_0'$$

$$SH2 = Q_2'Q_1Q_0$$

$$LOADR1 = Q_2'Q_1' + Q_1Q_0'$$

$$LOADR3 = Q_1Q_0$$

TTHT		Trạng thái ngõ ra điều khiển khối AU							
	Q ₂ Q ₁ Q ₀	FUNC1	FUNC2[1]	FUNC2[0]	OUTR1	OUTR2	OUTR3	AU1	AU2
S0	000	x	x	x	0	0	0	0	0
S1	001	0	1	1	1	1	0	1	1
S2	010	1	1	0	1	1	0	1	1
S3	011	x	x	x	1	1	0	0	0
S4	100	x	0	1	1	1	0	x	1
S5	101	x	0	0	0	1	1	x	1
S6	110	1	x	x	1	1	0	1	x
S7	111	x	x	x	1	x	0	0	0

Bảng 9. Bảng trạng thái điều khiển của các khối AU

		Q ₂ Q ₁	00	01	11	10
		Q ₀	0	1	1	x
		0	0	x	1	1
0		0	x	1	1	x
1		1	0	x	x	x

Bảng 9.1: Bìa K ngõ ra FUNC1

		Q ₂ Q ₁	00	01	11	10
		Q ₀	0	1	0	x
		0	x	1	0	x
0		0	x	1	0	x
1		1	1	x	0	x

Bảng 9.2: Bìa K ngõ ra FUNC2[1]

		Q ₂ Q ₁	00	01	11	10
		Q ₀	0	0	x	1
		0	x	0	x	1
0		0	x	0	x	1
1		1	1	x	0	0

Bảng 9.3: Bìa K ngõ ra FUNC2[0]

		Q ₂ Q ₁	00	01	11	10
		Q ₀	0	1	1	1
		0	1	1	x	1
0		0	0	1	1	1
1		1	1	1	x	1

Bảng 9.5: Bìa K ngõ ra OUTR2

		Q ₂ Q ₁	00	01	11	10
		Q ₀	0	0	0	0
		0	0	0	0	0
0		0	0	0	0	0
1		1	1	1	1	0

Bảng 9.6: Bìa K ngõ ra OUTR3

		Q ₂ Q ₁	00	01	11	10
		Q ₀	0	1	1	x
		0	1	1	x	1
0		0	0	1	1	x
1		1	0	0	0	x

Bảng 9.7: Bìa K ngõ ra AU1

		Q ₂ Q ₁	00	01	11	10
		Q ₀	0	1	0	1
		0	1	0	1	1
0		0	0	1	0	1
1		1	1	0	0	1

Bảng 9.8: Bìa K ngõ ra AU2

FUNC1 = Q1

$$\text{FUNC2}[0] = Q_2 Q_0' + Q_2' Q_0$$

$$OUTR2 = Q2' + Q1' + Q0'$$

$$AU_1 = Q_1 Q_0' + Q_1' Q_0$$

FUNC2[1] = Q2'

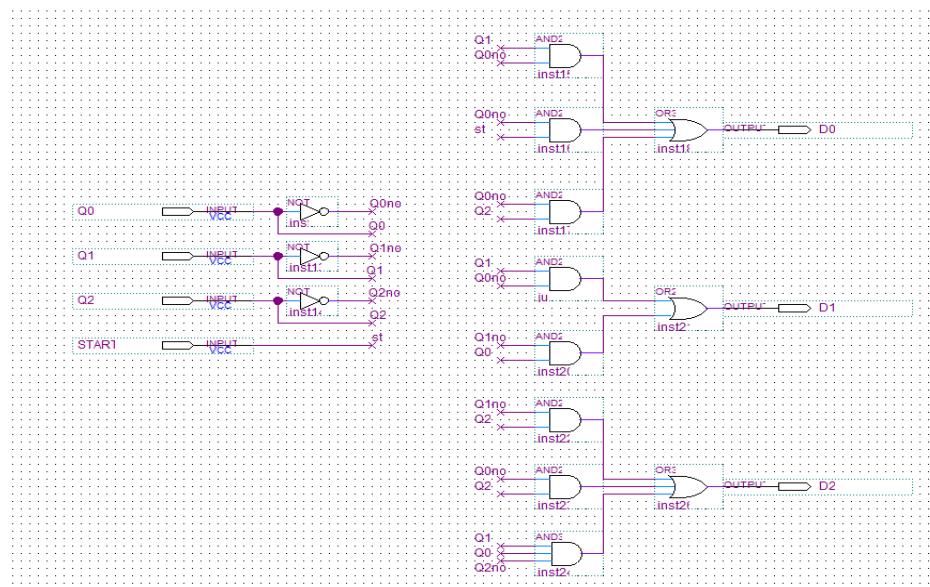
$$\text{OUTR1} = \mathbf{Q2}\mathbf{Q0}' + \mathbf{Q2}'\mathbf{Q0} + \mathbf{Q1}$$

$$\text{OUTR3} = \text{Q2Q1}'\text{Q0}$$

$$AU2 = (Q2' + Q1' + Q0') + (Q1 + Q0)$$

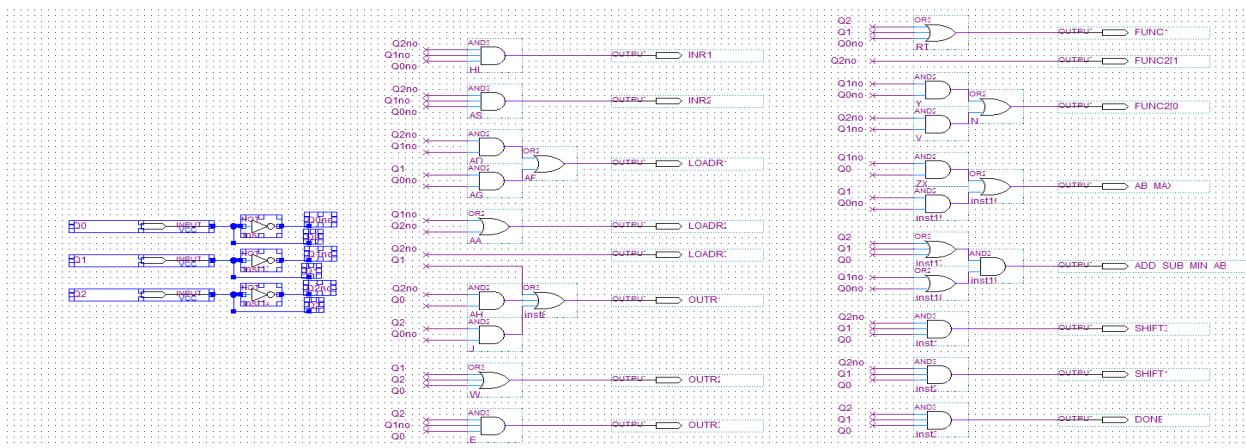
3.2. Hoàn thiện khối Controller:

3.2.1. Khởi NextState:



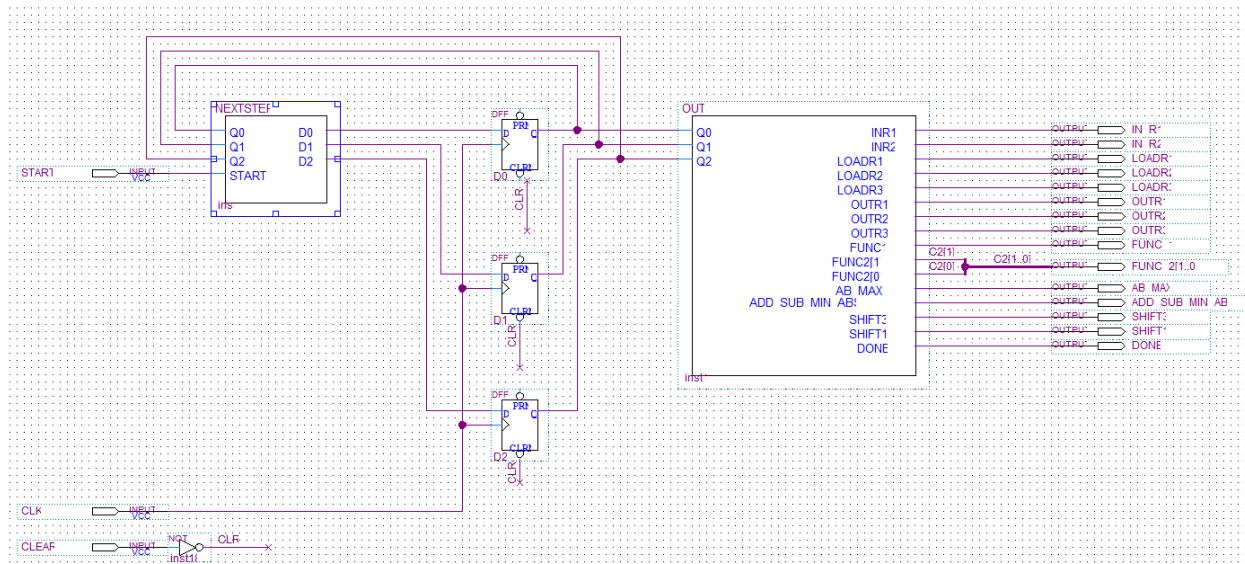
Hình 99. Sơ đồ mạch khối *NextState*

3.2.2. Khối Output:



Hình 100. Sơ đồ mạch khối Output

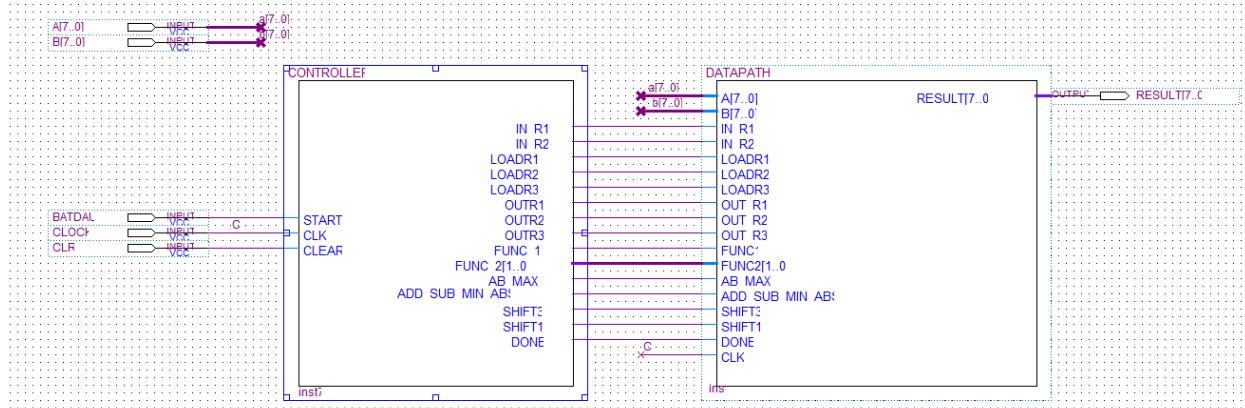
3.2.3. Khối Controller:



Hình 101. Sơ đồ khái niệm Controller

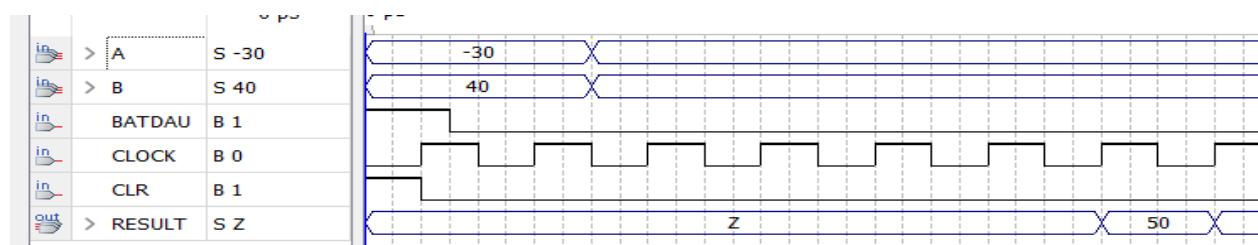
4. SRA Bus Sharing:

4.1. Sơ đồ mạch SRA Bus Sharing:



Hình 102. Sơ đồ mạch khái niệm SRA Bus Sharing

4.2. Waveform mạch SRA Bus Sharing:

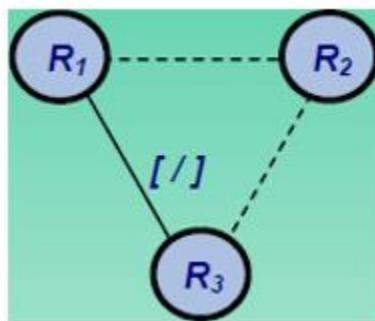


Hình 103. Waveform SRA Bus Sharing

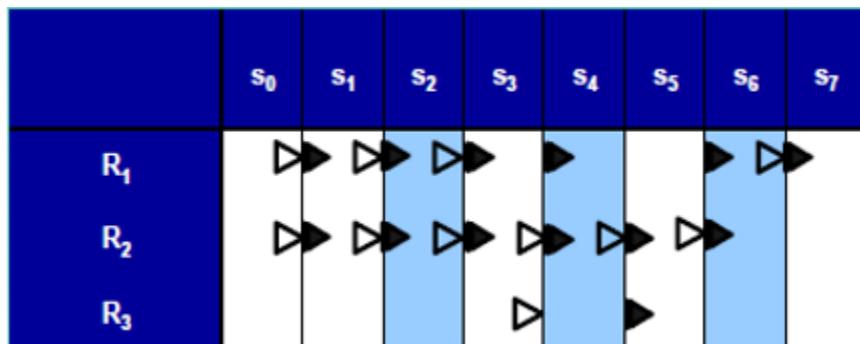
XIII. SRA REGISTER MERGING:

1. Tổng quan thiết kế:

- Thiết kế mạch tính căn bậc 2 có khả năng Register Merging sử dụng Graph Partitioning Algorithm.
- Công dụng của thiết kế: Nhóm các thanh ghi làm giảm số lượng cổng qua đó giảm số lượng Bus sử dụng.
- Lưu đồ giải thuật: Tương tự như hình 41 mục X.



Hình 104. Đồ thị Register Merging



Hình 105. Bảng địa chỉ thanh ghi

Quan sát đồ thị và bảng địa chỉ thanh ghi ta có thể thấy R3 được sử dụng 1 lần ở trạng thái S3 trong cả chu trình. Ngoài ra ở trạng thái S3 R1 không thực hiện vì vậy ta có thể gộp R1 và R3 lại với nhau để giảm lượng dây Bus cần sử dụng.

2. Thiết kế Datapath:

2.1. Khối Absolute or Max (AU1):

Khối này có chức năng và thiết kế tương tự như khối AU1 ở mục XI.

2.2. Khối Add, Sub, Min, Absolute (AU2):

Khối này có chức năng và thiết kế tương tự như khối AU2 ở mục XI.

2.3. Khối Shift 1 or 3:

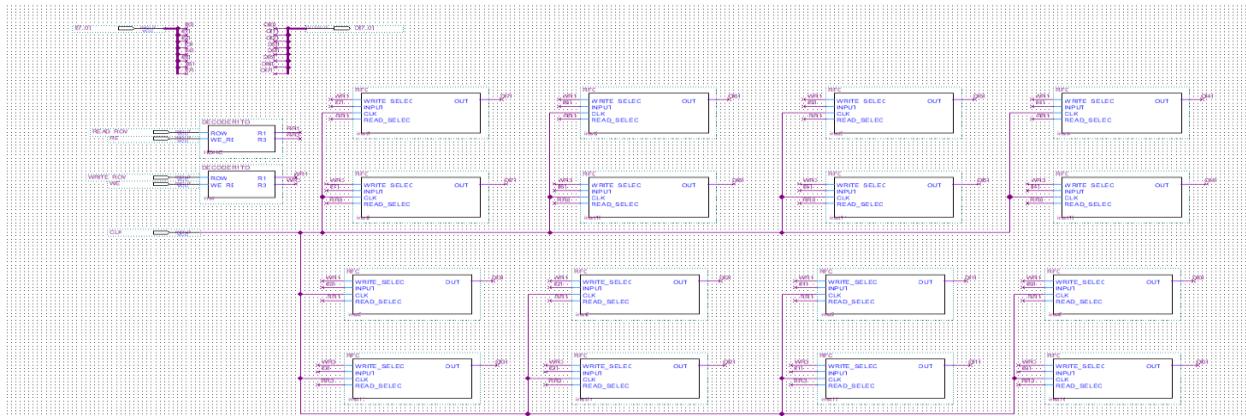
Khối này có chức năng và thiết kế tương tự như khối Shift 1 or 3 ở mục X.

2.4. Khối Register:

Khối này có chức năng và thiết kế tương tự như khối Register ở mục X.

2.5. Khối Register R1, R3:

2.5.1. Sơ đồ khối Register R1 R3:



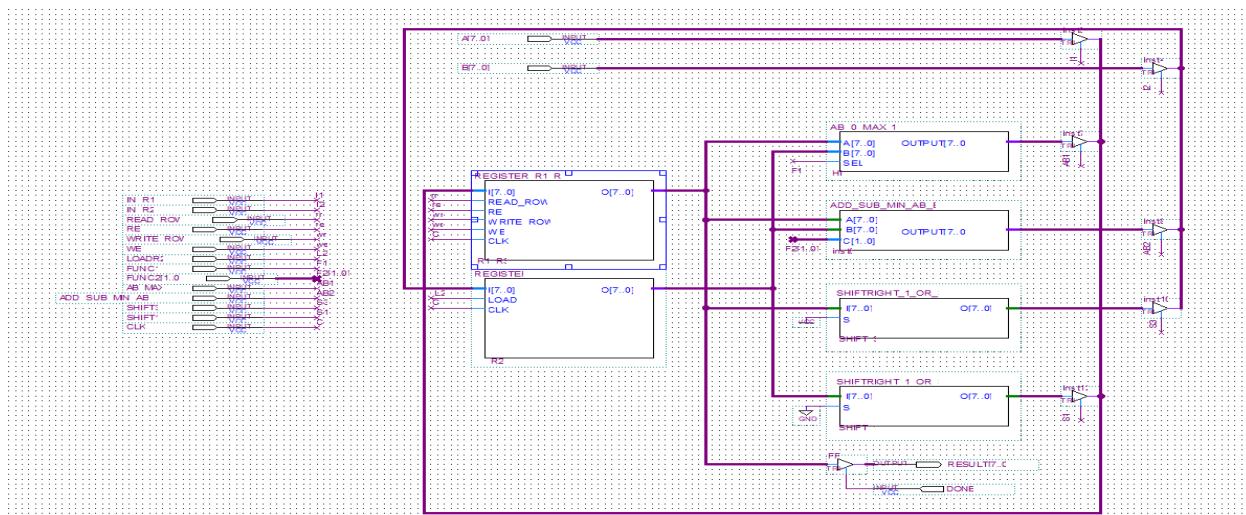
Hình 106. Sơ đồ khối mạch Register R1 R3

2.5.2. Chức năng khối Register R1 R3:

Chức năng lưu trữ dữ liệu tạm thời như Register File ở mục IV.

2.6. Khối Datapath SRA Register Merging:

2.6.1. Sơ đồ khối SRA Register Merging:



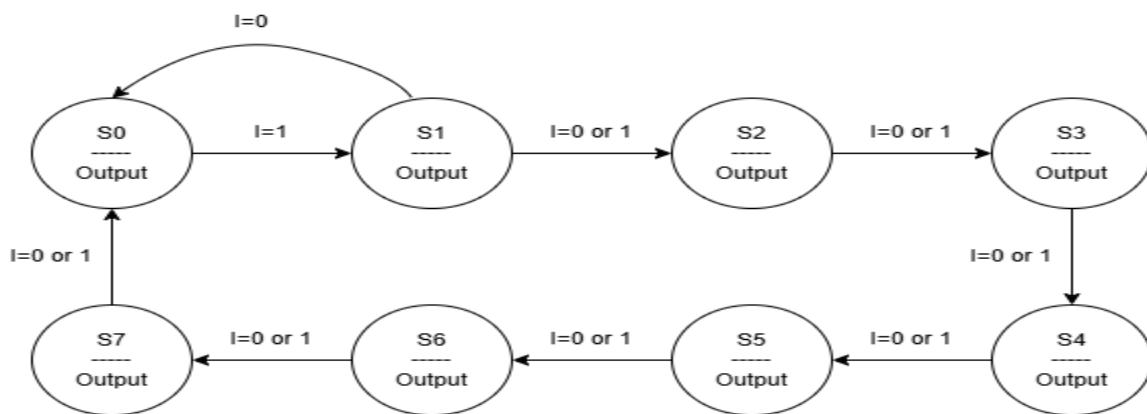
Hình 107. Sơ đồ khối mạch Datapath Register Merging

2.6.2. Chức năng khôi SRA Register Merging:

Khối thực hiện chức năng tính căn bậc 2. Khối sử dụng Register Sharing, Function-unit Sharing, Bus Sharing và Register Merging để giảm diện tích của mạch và giảm số lượng dây.

3. Thiết kế Controller:

3.1. Bảng trạng thái và các tín hiệu điều khiển:



Hình 108. Sơ đồ Moore

*Output = INR1, INR2, LOADR2, DONE, , FUNC1, FUNC2[1..0], AU1, AU2, SH1, SH3, READ_ROW, RE, WRITE_ROW, WE.

TTHT		TTKT	
	Q ₂ Q ₁ Q ₀	D ₂ D ₁ D ₀	D ₂ D ₁ D ₀
		I = 0	I = 1
S0	000	000	001
S1	001	010	010
S2	010	011	011
S3	011	100	100
S4	100	101	101
S5	101	110	110
S6	110	111	111
S7	111	000	000

Bảng 10. Trạng thái ngõ vào của SRA Register Merging

\backslash	Q_2Q_1	00	01	11	10
Q_0I		00	01	11	10
00	0	0	1	1	
01	0	0	1	1	
11	0	1	0	1	
10	0	1	0	1	

Bảng 10.1: Bìa K ngõ vào D2

\backslash	Q_2Q_1	00	01	11	10
Q_0I		00	01	11	10
00	0	1	1	0	
01	0	1	1	0	
11	1	0	0	1	
10	1	0	0	1	

Bảng 10.2: Bìa K ngõ vào D1

\backslash	Q_2Q_1	00	01	11	10
Q_0I		00	01	11	10
00	0	1	1	1	
01	1	1	1	1	
11	0	0	0	0	
10	0	0	0	0	

Bảng 10.3: Bìa K ngõ vào D0

Kết quả D2, D1 và D0 sau khi thực hiện bìa K.

$$D2 = Q2Q0' + Q2Q1' + Q2'Q1Q0$$

$$D1 = Q1Q0' + Q1'Q0$$

$$D0 = Q0'I + Q1Q0' + Q2Q0'$$

TTHT		Trạng thái tín hiệu ngõ ra							
	$Q_2Q_1Q_0$	INR1	IN2	SH1	SH3	LOADR2	RE	WE	DONE
S0	000	1	1	0	0	1	0	1	0
S1	001	0	0	0	0	1	1	1	0
S2	010	0	0	0	0	1	1	1	0
S3	011	0	0	1	1	0	1	1	0
S4	100	0	0	0	0	0	1	0	0
S5	101	0	0	0	0	0	1	0	0
S6	110	0	0	0	0	1	1	1	0
S7	111	0	0	0	0	0	1	0	1

Bảng 11. Bảng trạng thái ngõ ra của SRA Register Merging

\backslash	Q_2Q_1	00	01	11	10
Q_0		0	1	0	0
0	1	0	0	0	0
1	0	0	0	0	0

Bảng 11.1: Bìa K ngõ ra INR1

\backslash	Q_2Q_1	00	01	11	10
Q_0		0	1	0	0
0	1	0	0	0	0
1	0	0	0	0	0

Bảng 11.2: Bìa K ngõ ra INR2

Q_2Q_1	00	01	11	10
Q_0	0	0	0	0
	1	0	1	0

Bảng 11.3: Bìa K ngõ ra SH1

Q_2Q_1	00	01	11	10
Q_0	1	1	0	1
	1	1	x	1

Bảng 11.5: Bìa K ngõ ra LOADR2

Q_2Q_1	00	01	11	10
Q_0	1	1	1	0
	1	1	0	0

Bảng 11.7: Bìa K ngõ ra WE

Q_2Q_1	00	01	11	10
Q_0	0	0	0	0
	1	0	1	0

Bảng 11.4: Bìa K ngõ ra SH2

Q_2Q_1	00	01	11	10
Q_0	0	1	1	1
	1	1	1	1

Bảng 11.6: Bìa K ngõ ra RE

Q_2Q_1	00	01	11	10
Q_0	0	0	0	0
	0	0	1	0

Bảng 11.8: Bìa K ngõ ra DONE

Kết quả các cổng ngõ ra sau khi thực hiện bìa K.

$$\text{INR1} = Q_2'Q_1'Q_0'$$

$$\text{SH1} = Q_2'Q_1Q_0$$

$$\text{DONE} = Q_2Q_1Q_0$$

$$\text{RE} = Q_2' + Q_1' + Q_0'$$

$$\text{INR2} = Q_2'Q_1'Q_0'$$

$$\text{SH2} = Q_2'Q_1Q_0$$

$$\text{LOADR2} = Q_2' + Q_1'$$

$$\text{WE} = Q_2' + Q_1Q_0'$$

TTHT		Trạng thái ngõ ra điều khiển khối AU						
	$Q_2Q_1Q_0$	FUNC1	FUNC2[1]	FUNC2[0]	READ_ROW	WRITE_ROW	AU1	AU2
S0	000	x	x	x	x	0	0	0
S1	001	0	1	1	0	0	1	1
S2	010	1	1	0	0	0	1	1
S3	011	x	x	x	0	1	0	0
S4	100	x	0	1	0	x	x	1
S5	101	x	0	0	1	x	x	1
S6	110	1	x	x	0	0	1	0
S7	111	x	x	x	0	x	0	0

Bảng 12. Bảng trạng thái điều khiển của các khối AU

		Q ₂ Q ₁	00	01	11	10	
		Q ₀	0	x	1	1	x
		1	0	x	x	x	x

Bảng 12.1: Bìa K ngõ ra FUNC1
FUNC2[1]

		Q ₂ Q ₁	00	01	11	10	
		Q ₀	0	x	0	x	1
		1	1	x	x	x	0

Bảng 12.3: Bìa K ngõ ra FUNC2[0]

		Q ₂ Q ₁	00	01	11	10	
		Q ₀	0	x	1	0	x
		1	1	x	x	0	x

Bảng 12.2: Bìa K ngõ ra

		Q ₂ Q ₁	00	01	11	10	
		Q ₀	0	X	0	0	0
		1	0	0	0	0	1

Bảng 12.4: Bìa K ngõ ra READ_ROW

		Q ₂ Q ₁	00	01	11	10	
		Q ₀	0	0	0	x	
		1	0	1	x	x	

Bảng 12.5: Bìa K ngõ ra WRITE_ROW

		Q ₂ Q ₁	00	01	11	10	
		Q ₀	0	0	0	x	
		1	1	0	x	x	

Bảng 12.7: Bìa K ngõ ra AU1

		Q ₂ Q ₁	00	01	11	10	
		Q ₀	0	0	1	0	
		1	1	0	0	0	

Bảng 12.8: Bìa K ngõ ra AU2

$$\text{FUNC1} = Q_1$$

$$\text{FUNC2}[0] = Q_2 Q_0' + Q_2' Q_0$$

$$\text{WRITE_ROW} = Q_1 Q_0$$

$$\text{AU1} = Q_1 Q_0' + Q_1' Q_0$$

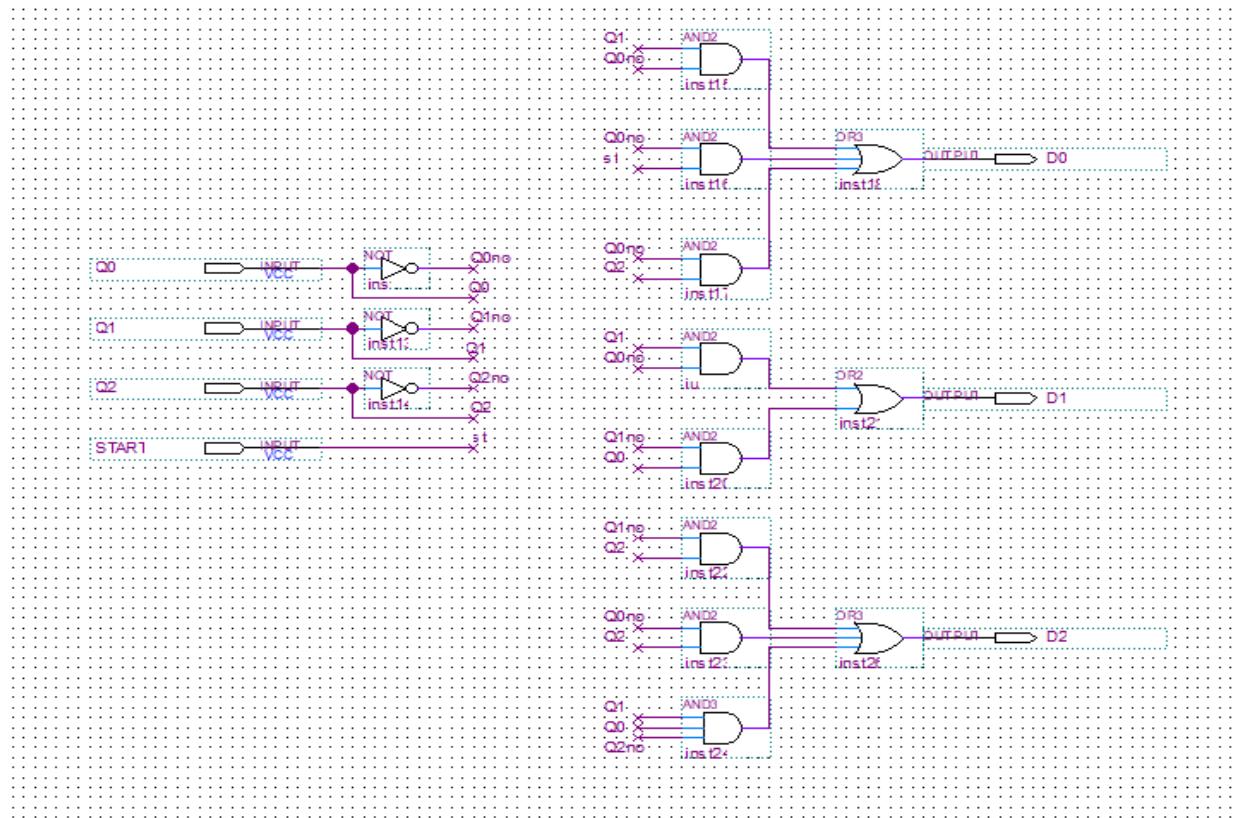
$$\text{FUNC2}[1] = Q_2'$$

$$\text{READ_ROW} = Q_2 Q_1' Q_0$$

$$\text{AU2} = (Q_2 + Q_1 + Q_0) (Q_1' + Q_0') (Q_2' + Q_1')$$

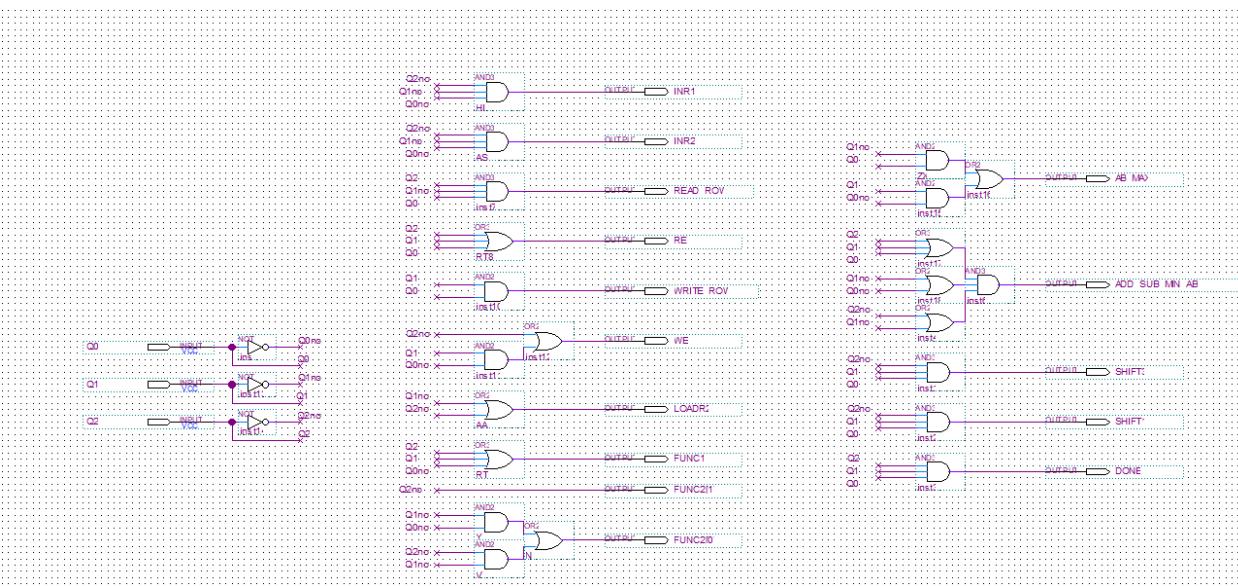
3.2. Hoàn thiện khối Controller:

3.2.1. Khối NextState:



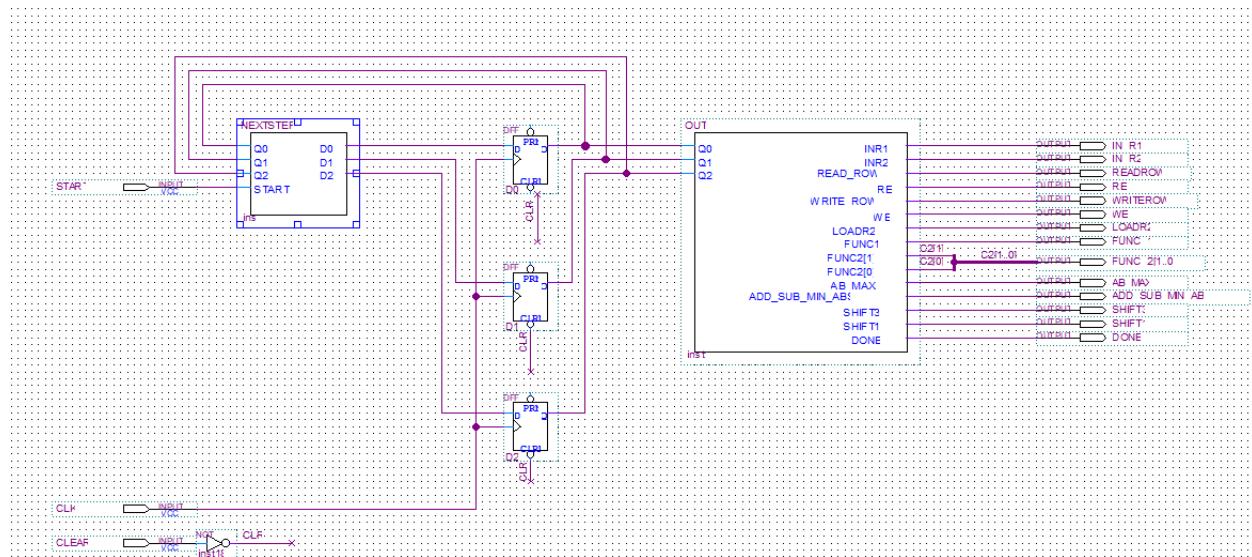
Hình 109. Sơ đồ mạch khối Next State

3.2.2. Khối Output:



Hình 110. Sođồ mạch Output

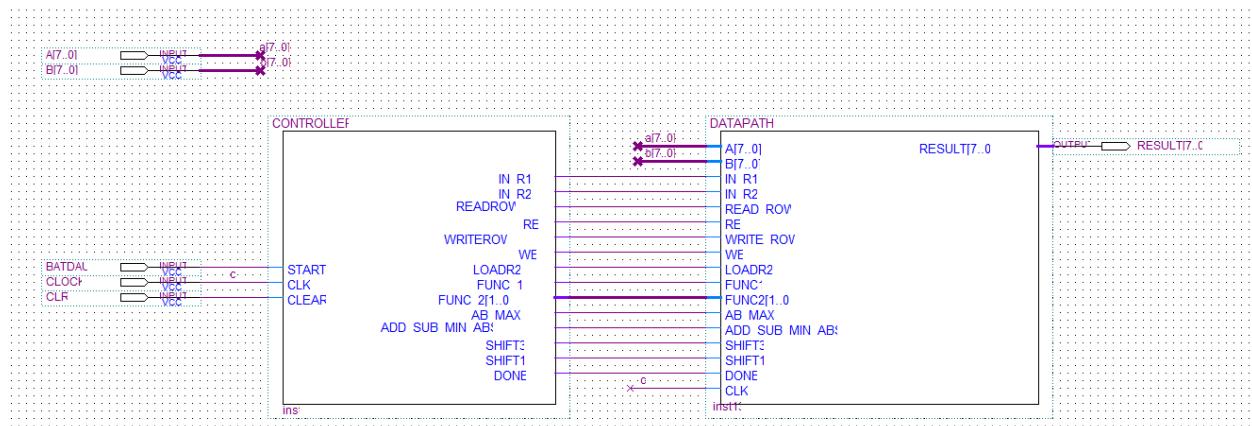
3.2.3. Khối Controller:



Hình 111. Sơ đồ mạch Controller SRA Register Merging

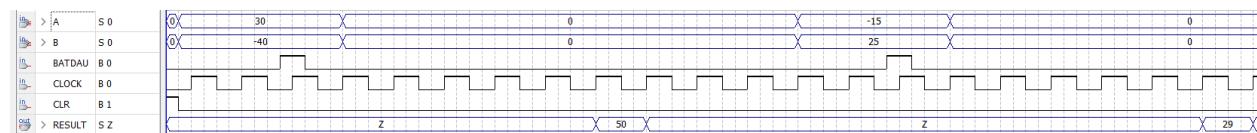
4. SRA Register Merging:

4.1. Sơ đồ mạch SRA Register Merging:



Hình 112. Sơ đồ mạch SRA Register Sharing

4.2. Waveform mach SRA Register Merging:



Hình 113. Waveform khối SRA Register Sharing

XIV. SRA UNITS PINELINING:

1. Tổng quan thiết kế:

Trong các bài tập trên đã trình bày các phương pháp thực hiện khác nhau nhằm giảm chi phí thiết kế khói Datapath, chủ yếu làm giảm số thanh ghi, giảm khói chức năng và giảm các đường kết nối. Trong bài tập này, chúng ta tập trung vào kỹ thuật làm tăng tốc độ xử lý ở Datapath thông qua việc cải tiến tốc độ nhờ kỹ thuật pipeline.

Đối với bài tập này chúng ta dùng kỹ thuật pipeline đối với các khói chức năng bằng cách chia khói chức năng thành 2 tầng, đặt ở giữa 2 tầng là một mạch chốt. Mỗi tầng sẽ thực thi một tập các toán hạng ngõ vào để tạo ra kết quả ngõ ra tương ứng của tầng đó. Như vậy, số tập toán hạng bằng với số tầng trong pipeline (ở bài tập này là 2). Trong kỹ thuật này thì thời gian thực thi để tạo ra kết quả ngõ ra đầu tiên sẽ bằng với thời gian thực thi như trong kỹ thuật “non-pipeline”, tuy nhiên thời gian thực thi để tạo ngõ ra kế tiếp của khói chức năng sẽ chỉ bằng thời gian thực thi một tầng.

	S0	S1	S2	S3	S4	S5	S6	S7	S8	S9	S10	S11	S12	S13
Read R1		a			t1	t1		x			x			
Read R2			b		t2	12		t3		t5		t6		
Read R3										t4				
AU1		a	b		min	max		-		+		max		
AU2			a	b		min	max		-		+		max	
Shift						>>1	>>3							
Write R1	a		t1				x					t7		
Write R2	b			t2			t3		t5		t6			
Write R3							t4							
Output														t7

Bảng 13. Giản đồ thời gian của khói Datapath thực thi pipeline khói chức năng

Theo giản đồ thời gian này, giải thuật tính SRA này đòi hỏi 13 trạng thái hay 13 chu kỳ xung clock để hoàn thành việc tính toán. Tuy nhiên hai chu kỳ trong thiết kế thực hiện pipeline bằng một chu kỳ trong thiết kế thực hiện không pipeline, điều này có nghĩa là khói đường dữ liệu được thiết kế với AU pipeline tính toán giá trị SRA trong 6.5 chu kỳ thay vì 9 chu kỳ của không pipeline. Ngoài ra, khói đường dữ liệu được thiết kế với AU pipeline có thể cải thiện tốc độ hơn nhiều.

Ta xây dựng mạch Top-circuit cho thiết kế với khói điều khiển Controller và khói đường dữ liệu Datapath bao gồm dữ liệu ngõ vào A và B có độ rộng 8 bit mang 2 giá trị cần tính căn bậc hai tổng hai bình thường, tín hiệu START làm tín hiệu bắt đầu, tín hiệu CLK tạo xung clock cho mạch, tín hiệu ngõ ra OUT[7..0] cho kết quả tính toán và tín hiệu DONE thông báo kết thúc tính toán.

2. Thiết kế khói Datapath:

2.1. Khối Shift 1 or 3:

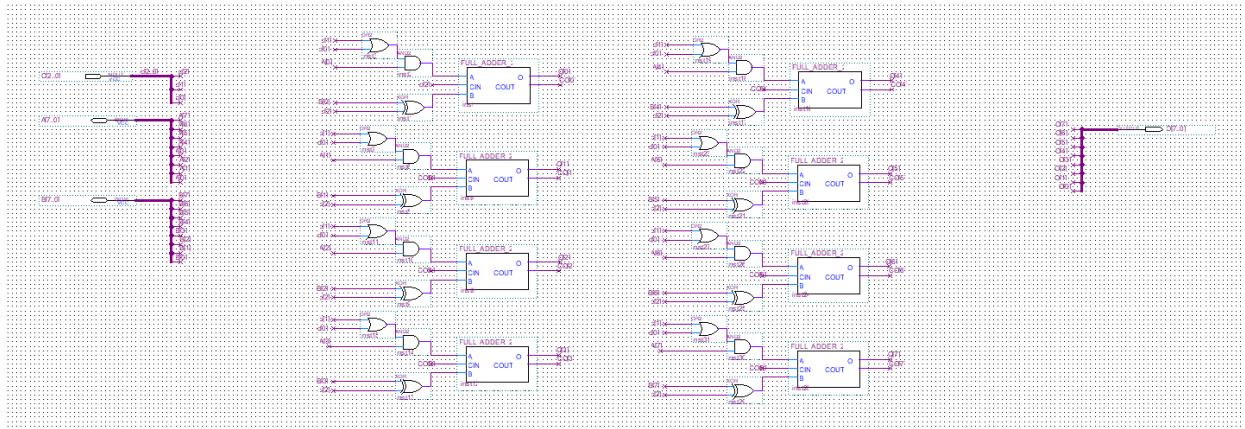
Khối này có chức năng và thiết kế tương tự như khối Shift 1 or 3 ở mục X.

2.2. Khối Register:

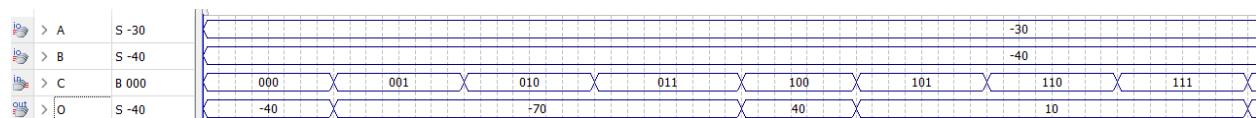
Khối này có chức năng và thiết kế tương tự như khối Register ở mục X.

2.3. Khối AU:

2.3.1. Khối AU1:



Hình 114. Sơ đồ mạch khối AU1

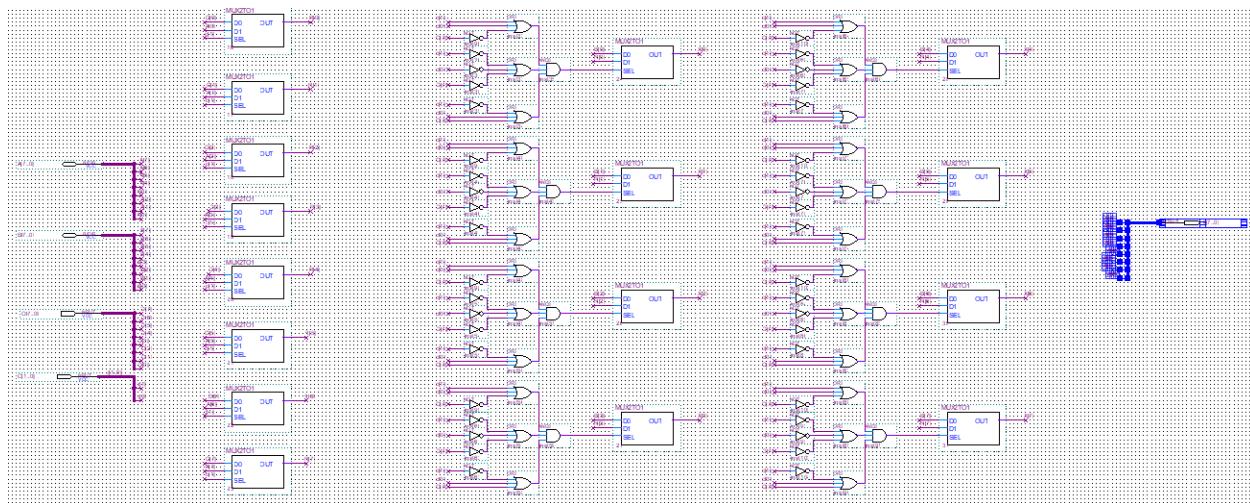


Hình 115. Waveform mạch AU1

Khối có chức năng thực hiện các phép tính tùy vào tín hiệu điều khiển.

- + C = 000: Tìm giá trị nhỏ nhất.
- + C = 0XX: Thực hiện cộng 2 số.
- + C = 100: Thực hiện trị tuyệt đối B.
- + C = 1XX: Thực hiện phép trừ 2 số.

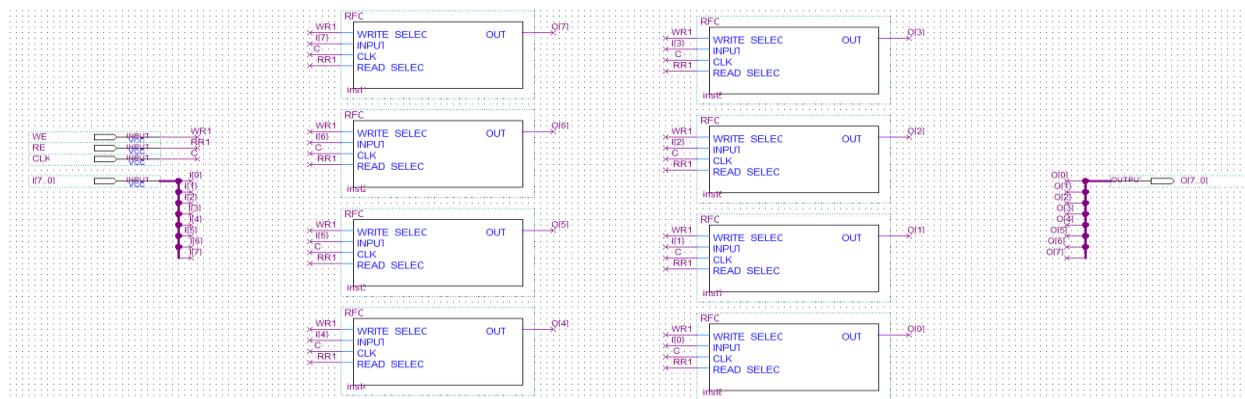
2.3.2. Khối AU2:



Hình 116. Sơ đồ khái niệm AU2

Chức năng chủ yếu để chọn các tín hiệu ngõ vào.

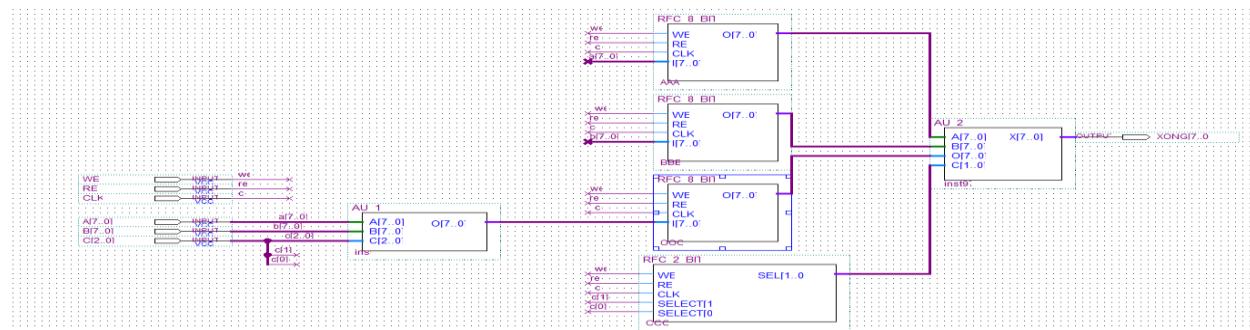
2.3.3. Khối RFC:



Hình 117. Sơ đồ mạch khái niệm RFC 8-bit

Chức năng lưu trữ tương tự như Register File.

2.3.4. Khối AU:



Hình 118. Sơ đồ mạch khái niệm AU

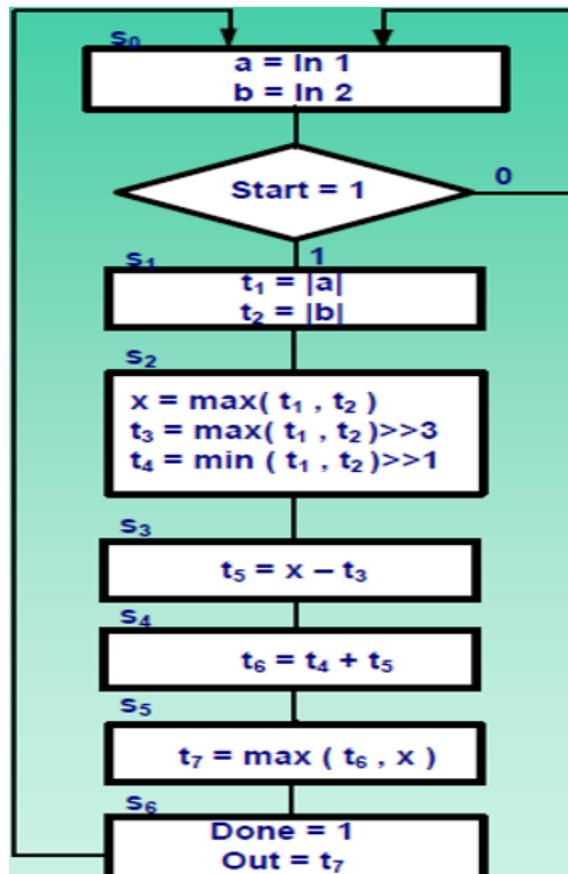
Khối AU của thiết kế Pipeline khối chức năng giống với khối AU của thiết kế AU không pipeline nhưng được thêm các D Flip Flop ở giữa mạch để chia khối AU thành hai tầng.

c_2	c_1	c_0	Operation
0	0	1	addition
1	0	0	absolute
1	0	1	subtraction
1	1	0	minimum
1	1	1	maximum

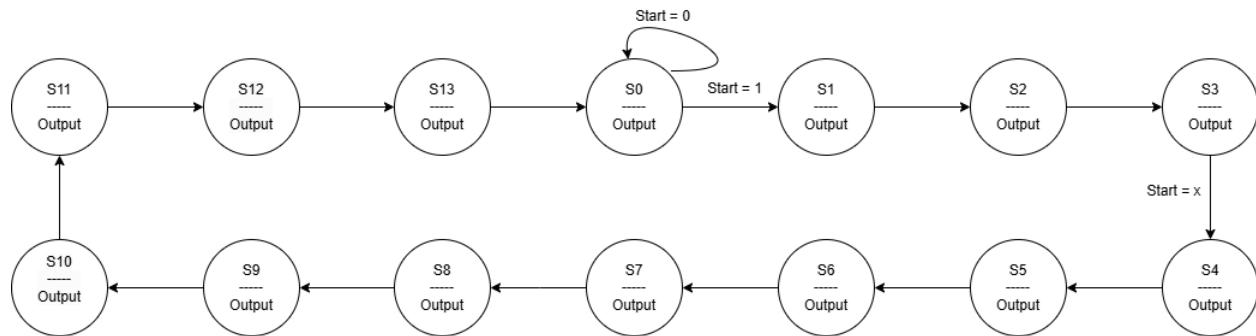
Hình 119. Tín hiệu điều khiển AU

3. Thiết kế khối Controller:

3.1. Bảng trạng thái và các tín hiệu điều khiển:



Hình 120. Lưu đồ giải thuật



Hình 121. Sơ đồ trạng thái của SRA Function Pineline

Với Output là: In1, In2, LOADR1, LOADR2, LOADR3, OUTR1_1, OUTR1_2, OUTR2, OUTR3, OUT2, OUT1, SEL[2..0], SH1, SH3, WE, RE, DONE.

TTHT		TTKT				
S		Q ₃ Q ₂ Q ₁ Q ₀	D ₃	D ₂	D ₁	D ₀
S = 0		0000	0	0	0	0
	S = 1	0000	0	0	0	1
0	1	0001	0	0	1	0
0	1	0010	0	0	1	1
0	1	0011	0	1	0	0
0	1	0100	0	1	0	1
0	1	0101	0	1	1	0
0	1	0110	0	1	1	1
0	1	0111	1	0	0	0
0	1	1000	1	0	0	1
0	1	1001	1	0	1	0
0	1	1010	1	0	1	1
0	1	1011	1	1	0	0
0	1	1100	1	1	0	1
0	1	1101	0	0	0	0
0	1	1110	0	0	0	0
0	1	1111	0	0	0	0

Bảng 14. Trạng thái ngõ vào SRA Units Pineling

$$D_3 = Q_3 Q_2' + Q_3 Q_1' Q_0' + Q_3' Q_2 Q_1 Q_0.$$

$$D_2 = Q_3' Q_2 Q_1' + Q_2 Q_1' Q_0' + Q_3' Q_2 Q_0' + Q_2' Q_1 Q_0.$$

$$D_1 = Q_3' Q_1 Q_0' + Q_2' Q_1 Q_0' + Q_2' Q_1' Q_0 + Q_3' Q_1' Q_0.$$

$$D_0 = Q_2' Q_0' + Q_3 Q_2' Q_0' + Q_2 Q_1' Q_0' + Q_3' Q_1 Q_0'.$$

$Q_3 Q_2 Q_1 Q_0$	In1	In2	LOADR1	LOADR2	LOADR3	OUTR1_1	OUTR2_2	OUTR2	OUTR3
0000	1	1	1	1	0	0	0	0	0
0001	0	0	0	0	0	0	1	0	0
0010	0	0	1	0	0	0	0	1	0
0011	0	0	0	1	0	0	0	0	0
0100	0	0	0	0	0	1	0	1	0
0101	0	0	0	0	1	1	0	1	0
0110	0	0	1	1	0	0	0	0	0
0111	0	0	0	0	0	1	0	1	0
1000	0	0	0	1	0	0	0	0	0
1001	0	0	0	0	0	0	0	1	1
1010	0	0	0	1	0	0	0	0	0
1011	0	0	0	0	0	1	0	1	0
1100	0	0	1	0	0	0	0	0	0
1101	0	0	0	0	0	1	0	0	0
1110	X	X	X	X	X	X	X	X	X
1111	X	X	X	X	X	X	X	X	X

Bảng 15. Trạng thái ngũ ra SRA Units Pineling

$$In1 = Q_3' Q_2' Q_1' Q_0'.$$

$$In2 = Q_3' Q_2' Q_1' Q_0'.$$

$$LOADR1 = Q_3 Q_2 Q_0' + Q_3' Q_2' Q_0' + Q_3' Q_1 Q_0'.$$

$$LOADR2 = Q_2 Q_1 Q_0' + Q_3' Q_2' Q_1 Q_0 + Q_2' Q_1' Q_0' + Q_3 Q_2' Q_0'.$$

$$LOADR3 = Q_3' Q_2 Q_1' Q_0.$$

$$OUTR1_1 = Q_2 Q_0 + Q_3' Q_2 Q_1' + Q_3 Q_1 Q_0.$$

$$OUTR1_2 = Q_3' Q_2' Q_1' Q_0.$$

$$OUTR2 = Q_3 Q_2' Q_0 + Q_3' Q_2 Q_1' + Q_2 Q_1 Q_0 + Q_3' Q_2' Q_1 Q_0'.$$

$$OUTR3 = Q_3 Q_2' Q_1' Q_0.$$

$Q_3 Q_2 Q_1 Q_0$	RE	WE	SEL[2]	SEL[1]	SEL[0]	OUT2	OUT1	SH1	SH3
0000	0	0	0	0	0	0	0	0	0
0001	0	1	1	0	0	0	0	0	0
0010	1	1	1	0	0	0	1	0	0
0011	1	0	0	0	0	1	0	0	0
0100	0	1	1	1	0	0	0	0	0
0101	1	1	1	1	1	0	0	1	0
0110	1	0	0	0	0	0	1	0	1
0111	0	1	1	0	1	0	0	0	0

1000	1	0	0	0	0	1	0	0	0
1001	0	1	0	0	1	0	0	0	0
1010	1	0	0	0	0	1	0	0	0
1011	0	1	1	1	1	0	0	0	0
1100	1	0	0	0	0	0	1	0	0
1101	0	0	0	0	0	0	0	0	0
1110	X	X	X	X	X	X	X	X	X
1111	X	X	X	X	X	X	X	X	X

Bảng 15.2: Trạng thái ngõ ra SRA Units Pinelining

$$RE = Q1Q0' + Q3Q0' + Q3'Q2'Q1 + Q3'Q2Q1'Q0.$$

$$WE = (Q3' + Q2')(Q2 + Q1 + Q0)(Q2' + Q1' + Q0)(Q3' + Q1 + Q0')(Q3 + Q2 + Q1' + Q0').$$

$$SEL[2] =$$

$$(Q3' + Q2')(Q2 + Q1 + Q0)(Q2' + Q1' + Q0)(Q3' + Q1 + Q0')(Q3 + Q2 + Q1' + Q0')(Q3' + Q1)$$

$$SEL[1] = Q3'Q2Q1' + Q3Q1Q0.$$

$$SEL[0] = Q3'Q2Q0 + Q3Q2'Q0.$$

$$OUT1 = Q3'Q1Q0' + Q3Q2Q0'.$$

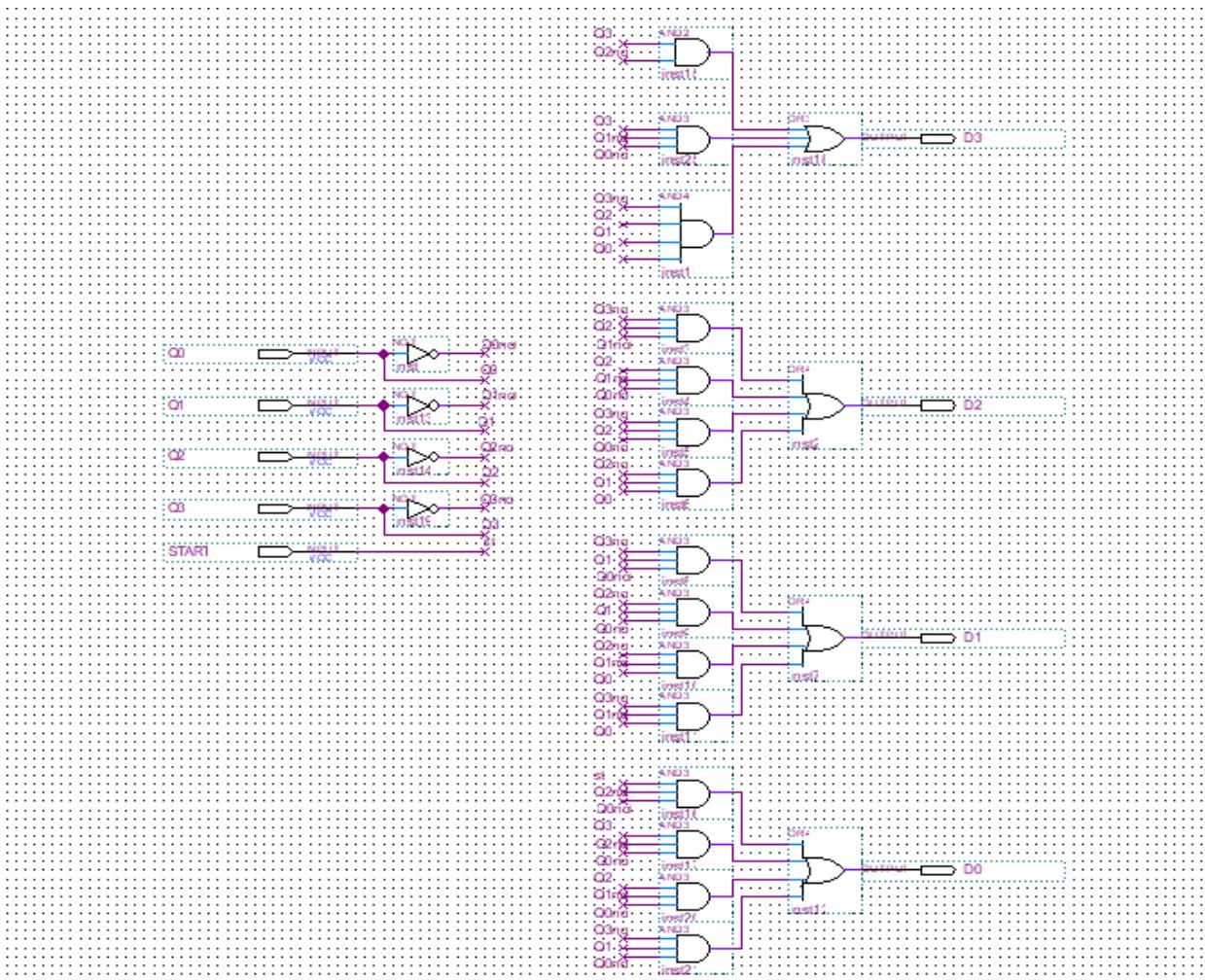
$$OUT2 = Q3'Q2'Q1Q0 + Q3Q2'Q0' + Q3Q1Q0'.$$

$$SH1 = Q3'Q2Q1'Q0.$$

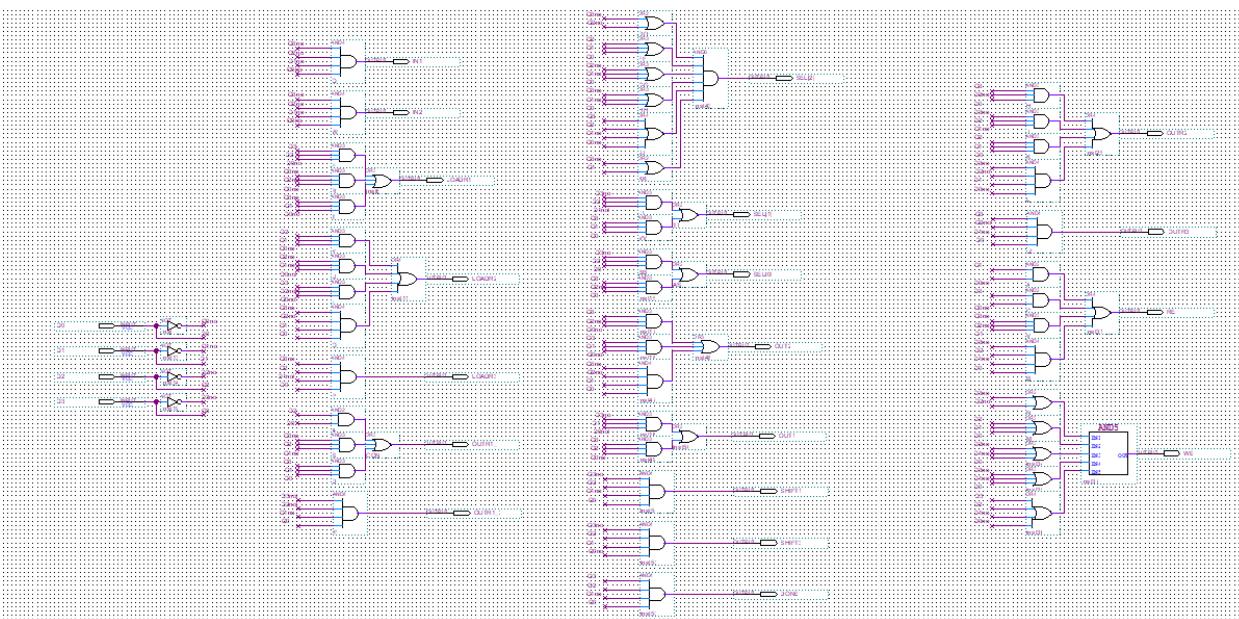
$$SH3 = Q3'Q2Q1Q0'.$$

$$DONE = Q3Q2Q1'Q0.$$

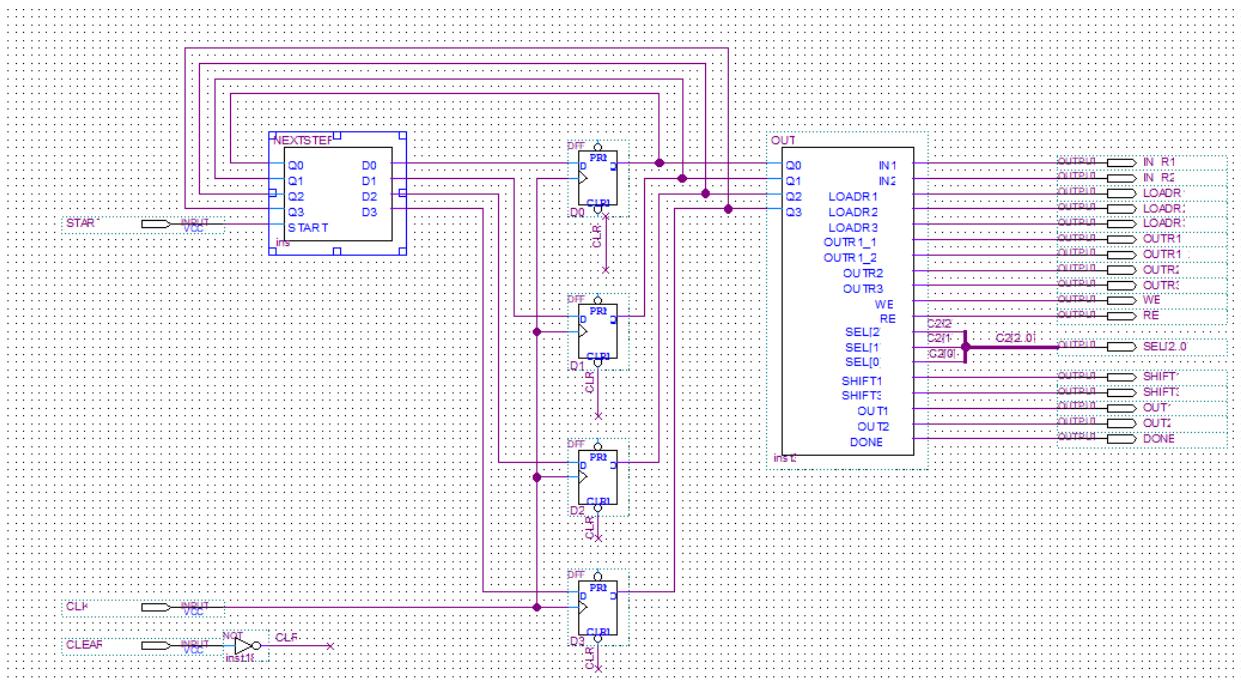
3.2. Khởi Controller:



Hình 122. Sơ đồ mạch NextState SRA Units Pinelining

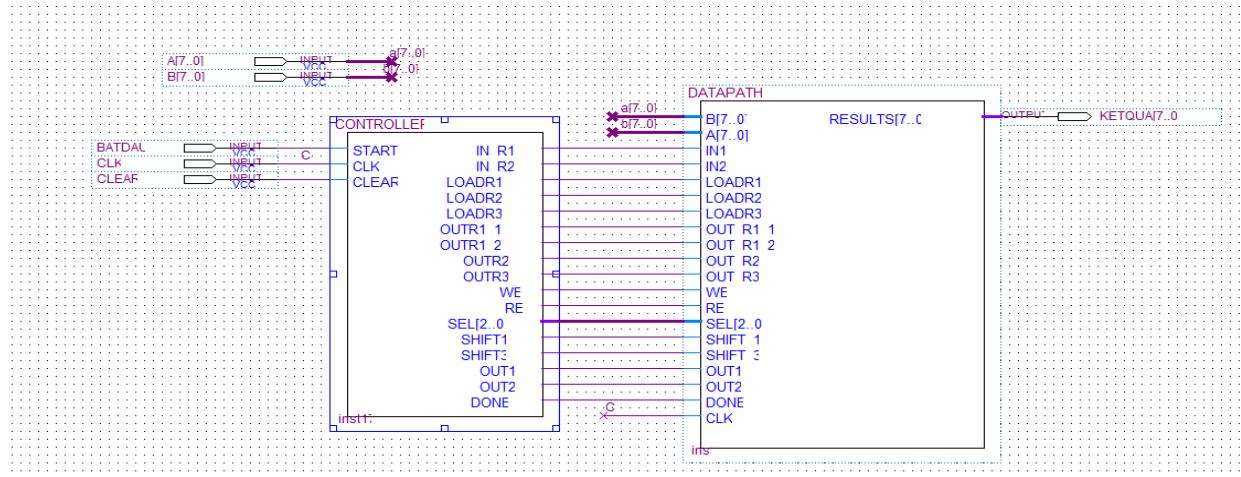


Hình 123. Sơ đồ mạch Output SRA Units Pinelining

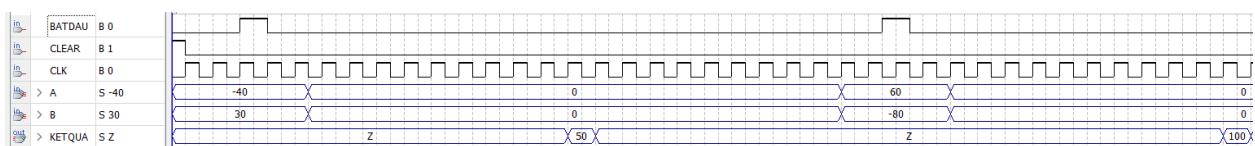


Hình 124. Sơ đồ mạch Controller SRA Units Pinelining

4. SRA Units Pilining:



Hình 125. Sơ đồ mạch SRA Units Pinelining

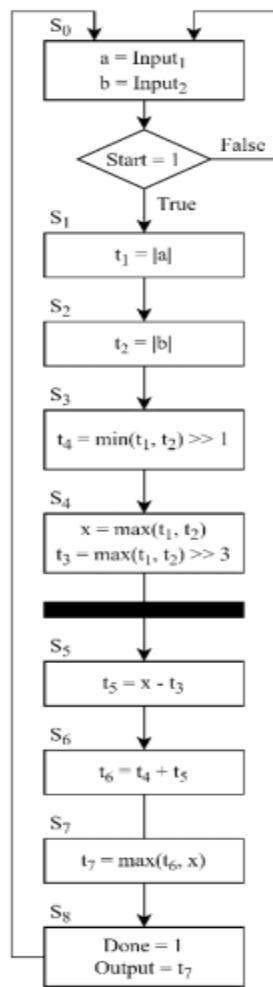


Hình 126. Waveform SRA Units Pinelining

XV. SRA DATAPATH PINELINING:

1. Tổng quan thiết kế:

Ở mục XIV, chúng ta đã trình bày phương pháp cải tiến tốc độ xử lý khối Datapath bằng cách thiết kế pipeline các khối chức năng bên trong Datapath. Trong trường hợp khối đường dữ liệu thực thi cùng một chức năng cho nhiều tập tín hiệu ngẫu vào khác nhau thì chúng ta có thể cải thiện tốc độ nhiều hơn nữa bằng cách thiết kế pipeline cho toàn bộ biểu đồ ASM. Để thực hiện, ta tiến hành chia toàn bộ biểu đồ ASM ra thành nhiều phần có kích thước bằng nhau và sau đó sử dụng các tầng đường dữ liệu khác nhau để thực thi từng phần đã chia. Có thể hiểu rõ qua biểu đồ ASM sau:



Hình 127. Biểu đồ ASM cho thiết kế Datapath Pineline

Ở đây ta chia công việc tính toán làm hai tầng, khi tầng thứ nhất đang tính toán Input thứ n thì tầng hai sẽ thực hiện tính toán Input n + 1 làm giảm đáng kể thời gian tính toán. Có thể thấy rõ hơn khi nhìn vào giản đồ thời gian được trình bày dựa trên biểu đồ ASM ở trên.

	S0	S1	S2	S3	S4	S5	S6	S7	S8	S9
Read R1		a		t1	t1					
Read R2			b	t2	t2					
AU1		a	b	min	max					
Shift				>>1	>>3					
Write R1	a	t1								
Write R2	b		t2							
Read R3						t3	t5	t6	t7	
Read R4					x		x			
Read R5						t4				
AU2					-	+	max			
Write R3				t3	t5	t6	t7			
Write R4				x						
Write R5			t4							

Bảng 16. Giản đồ thời gian dựa trên biểu đồ ASM

Ta xây dựng mạch Top-circuit cho thiết kế với khối điều khiển Controller và khối đường dữ liệu Datapath bao gồm dữ liệu ngõ vào A và B có độ rộng 8 bit mang 2 giá trị cần tính căn bậc hai tổng hai bình phương, tín hiệu START làm tín hiệu bắt đầu, tín hiệu CLK tạo xung clock cho mạch, tín hiệu ngõ ra OUT[7..0] cho kết quả tính toán và tín hiệu DONE thông báo kết thúc tính toán.

Ta xây dựng mạch Top-circuit cho thiết kế với khối điều khiển Controller và khối đường dữ liệu Datapath bao gồm dữ liệu ngõ vào A và B có độ rộng 8 bit mang 2 giá trị cần tính căn bậc hai tổng hai bình phương, tín hiệu START làm tín 48 hiệu bắt đầu, tín hiệu CLK tạo xung clock cho mạch, tín hiệu ngõ ra OUT[7..0] cho kết quả tính toán và tín hiệu DONE thông báo kết thúc tính toán.

2. Thiết kế khối Datapath:

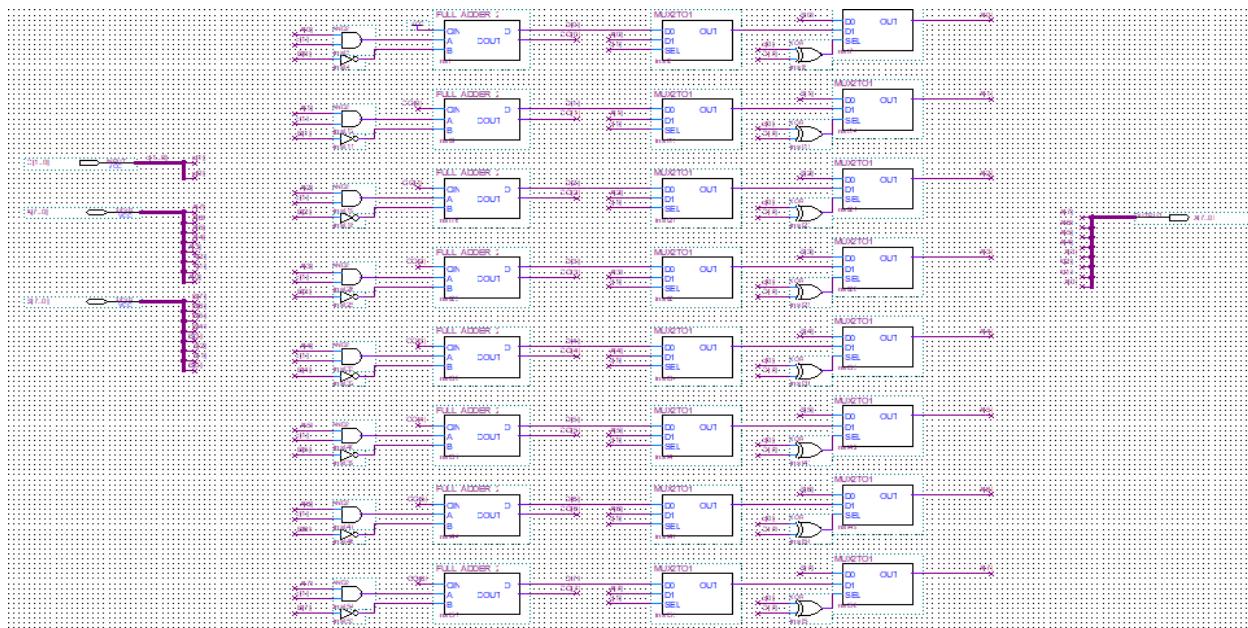
2.1. Shift 1 or 3:

Khối này có chức năng và thiết kế tương tự như khối Shift 1 or 3 ở mục X.

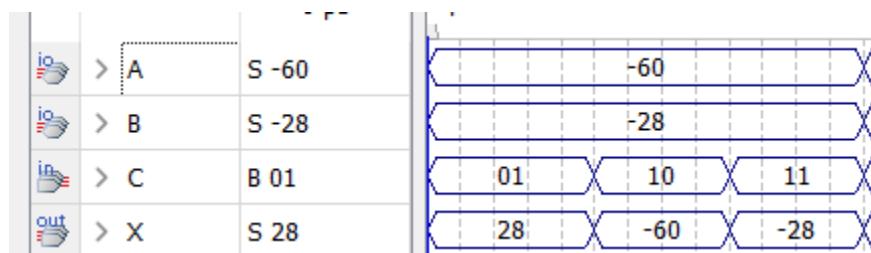
2.2. Register:

Khối này có chức năng và thiết kế tương tự như khối Register ở mục X.

2.3. AU1:



Hình 128. Sơ đồ mạch khối AU1



Hình 129. Waveform khói AU1

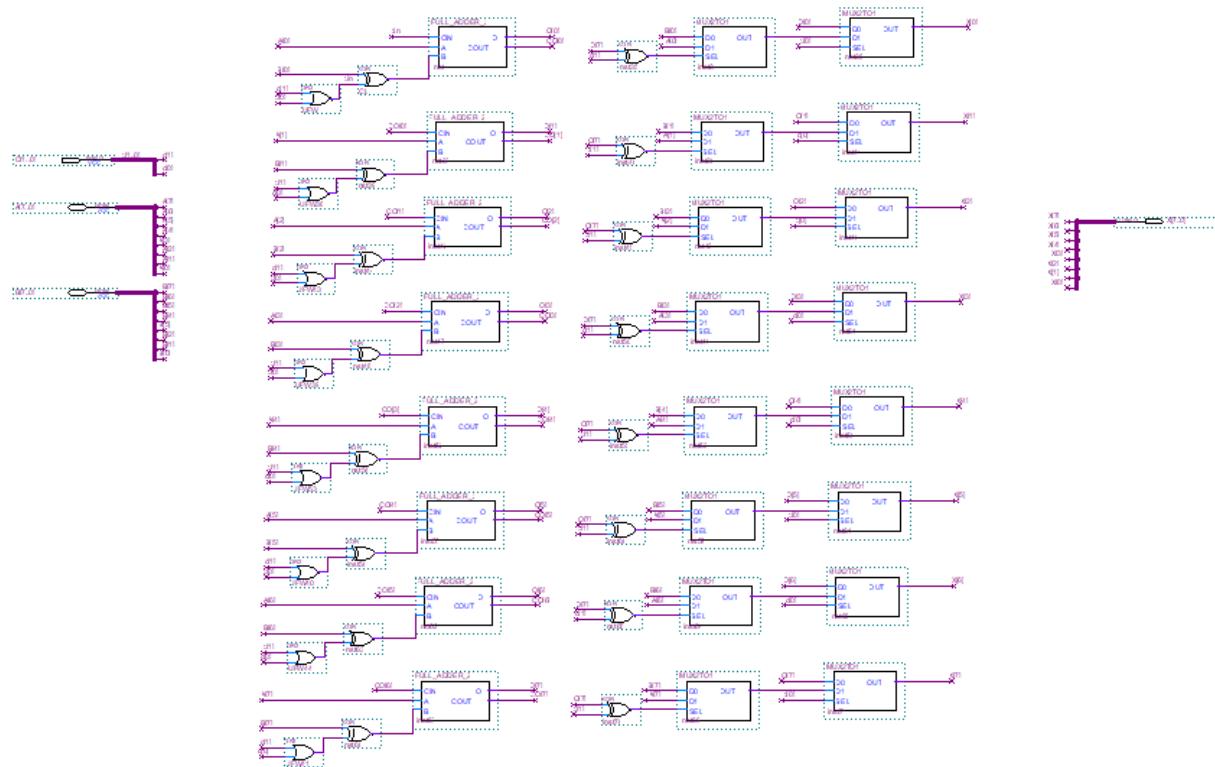
Chức thực hiện tính toán dựa vào tín hiệu điều khiển.

C = 01: Trị tuyệt đối B.

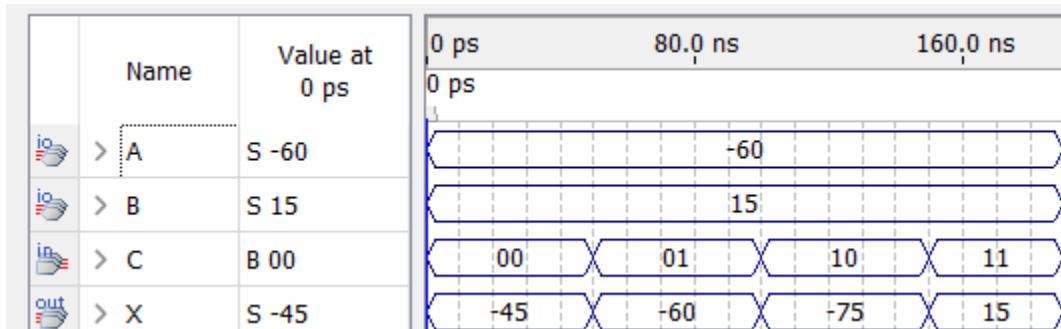
C = 10: Tìm giá trị nhỏ nhất.

C = 11: Tìm giá trị lớn nhất.

2.4. AU2:



Hình 130. Sơ đồ mạch khối AU2



Hình 131. Waveform khởi AU2

Chức thực hiện tính toán dựa vào tín hiệu điều khiển.

C = 00: Thực hiện công 2 số.

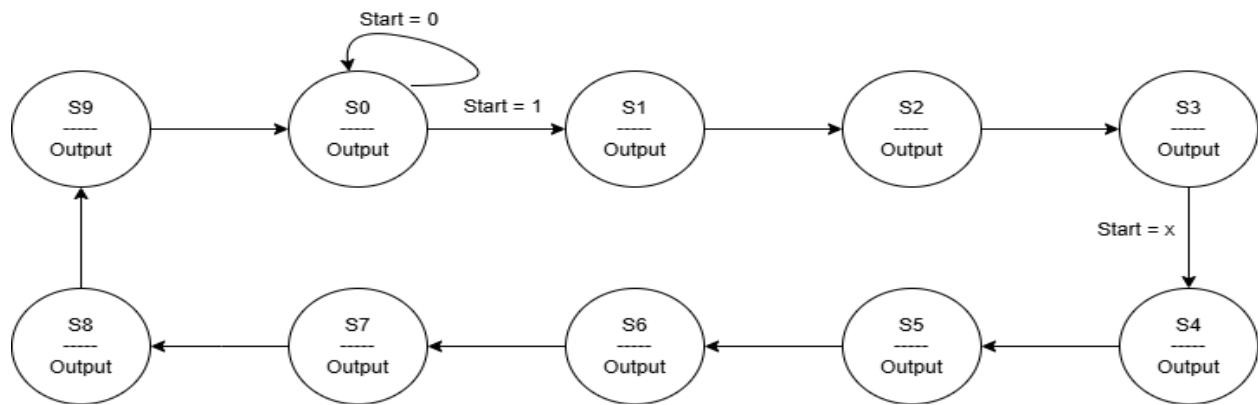
C = 01: Tìm giá trị nhỏ nhất.

C = 10; Thực hiện trừ 2 số.

C = 11; Tìm giá trị lớn nhất.

3 Thiết kế khối Controller

3. Thiết kế khung Controller:



Hình 132. Sơ đồ trạng thái SRA Datapath Pineline

Với Output là: In1, In2, In3, LOADR1, LOADR2, LOADR3, LOADR4, LOADR5, OUTR1_1, OUTR1_2, OUTR2, OUTR3, OUT1, OUT2, OUT3, OUTR4, OUTR5, SEL1[1..0], SEL2[1..0], DONE.

TTHT		TTKT			
S	Q ₃ Q ₂ Q ₁ Q ₀	D ₃	D ₂	D ₁	D ₀
S = 0		0	0	0	0
	S = 1	0000	0	0	1
0	1	0001	0	1	0
0	1	0010	0	1	1
0	1	0011	0	0	0
0	1	0100	0	1	0
0	1	0101	0	1	0
0	1	0110	0	1	1
0	1	0111	1	0	0
0	1	1000	1	0	1
0	1	1001	0	0	0
0	1	1010	0	0	0
0	1	1011	0	0	0
0	1	1100	0	0	0
0	1	1101	0	0	0
0	1	1110	0	0	0
0	1	1111	0	0	0

Bảng 17. Trạng thái ngõ ra SRA Datapath Pinelining

$$D_3 = Q_3Q_2'Q_1'Q_0' + Q_3'Q_2Q_1Q_0.$$

$$D_2 = Q_3'Q_2Q_1' + Q_3'Q_2Q_1 + Q_3'Q_2'Q_1Q_0.$$

$$D_1 = Q_3'Q_1Q_0' + Q_3'Q_1'Q_0.$$

$$D_0 = SQ_2'Q_1'Q_0' + Q_3'Q_2Q_0' + Q_3 Q_2'Q_1'Q_0' + Q_3'Q_1Q_0'.$$

$Q_3Q_2Q_1Q_0$	In1	In2	In3	LOADR1	LOADR2	OUTR1_1	OUTR1_2	OUTR2	SEL1[1]	SEL1[0]
0000	1	1	0	1	1	0	0	0	0	0
0001	0	0	0	1	0	0	1	0	0	1
0010	0	0	0	0	1	0	0	1	0	1
0011	0	0	0	0	0	1	0	1	1	0
0100	0	0	1	0	0	1	0	1	1	1
0101	1	1	0	1	1	0	0	0	0	0
0110	0	0	0	1	0	0	1	0	0	1
0111	0	0	0	0	1	0	0	1	0	1
1000	0	0	0	0	0	1	0	1	1	0
1001	0	0	1	0	0	1	0	1	1	1
1010	X	X	X	X	X	X	X	X	X	X
1011	X	X	X	X	X	X	X	X	X	X
1100	X	X	X	X	X	X	X	X	X	X
1101	X	X	X	X	X	X	X	X	X	X
1110	X	X	X	X	X	X	X	X	X	X
1111	X	X	X	X	X	X	X	X	X	X

Bảng 18. Trạng thái ngõ ra SRA Datapath Pipelining

$$In1 = Q_3'Q_2'Q_1'Q_0' + Q_2Q_1Q_0'.$$

$$In2 = Q_3'Q_2'Q_1'Q_0' + Q_2Q_1Q_0'.$$

$$In = Q_3Q_0 + Q_2Q_1'Q_0'.$$

$$LOADR1 = Q_3'Q_2'Q_1' + Q_2Q_1'Q_0 + Q_2Q_1Q_0'.$$

$$LOADR2 = Q_2Q_0 + Q_3'Q_2'Q_1'.$$

$$OUTR1_1 = Q_3 + Q_2Q_1'Q_0' + Q_2'Q_1Q_0.$$

$$OUTR1_2 = Q_3'Q_2'Q_1'Q_0 + Q_2Q_1Q_0'.$$

$$OUTR2 = Q_3 + Q_1Q_0 + Q_2'Q_1 + Q_2Q_1'Q_0'.$$

$$SEL1[1] = Q_3 + Q_2Q_1'Q_0' + Q_2'Q_1Q_0.$$

$$SEL1[0] = Q_1Q_0' + Q_2Q_1 + Q_2Q_0' + Q_2'Q_1'Q_0.$$

Q3Q2Q1Q0	OUT1	OUT2	LOADR3	LOADR4	LOADR5	OUTR3	OUTR4	OUTR5	OUT3	SEL2[1..0]
0000	0	0	1	0	0	1	1	0	1	10
0001	1	0	1	0	0	1	0	1	1	00
0010	0	1	1	0	0	1	1	0	1	11
0011	0	0	0	0	1	0	0	0	0	00
0100	0	0	1	1	0	0	0	0	0	00
0101	0	0	1	0	0	1	1	0	1	10
0110	1	0	1	0	0	1	0	1	1	00
0111	0	1	1	0	0	1	1	0	1	11
1000	0	0	0	0	1	0	0	0	0	00
1001	0	0	1	1	0	0	0	0	0	00
1010	X	X	X	X	X	X	X	X	X	X
1011	X	X	X	X	X	X	X	X	X	X
1100	X	X	X	X	X	X	X	X	X	X
1101	X	X	X	X	X	X	X	X	X	X
1110	X	X	X	X	X	X	X	X	X	X
1111	X	X	X	X	X	X	X	X	X	X

Bảng 18.2: Trạng thái ngõ ra SRA Datapath Pinelining

$$\text{OUT1} = Q_3'Q_2'Q_1'Q_0 + Q_2Q_1'Q_0'$$

$$\text{OUT2} = Q_2'Q_1Q_0' + Q_2Q_1Q_0.$$

$$\text{LOADR3} = (Q_2 + Q_1' + Q_0')(Q_3' + Q_0).$$

$$\text{LOADR4} = Q_3Q_0 + Q_2Q_1'Q_0'.$$

$$\text{LOADR5} = Q_3Q_0' + Q_2'Q_1Q_0.$$

$$\text{OUTR3} = Q_3'(Q_2' + Q_1 + Q_0)(Q_2 + Q_1' + Q_0').$$

$$\text{OUTR4} = Q_2Q_0 + Q_3'Q_2'Q_0'.$$

$$\text{OUT3} = Q_3'(Q_2' + Q_1 + Q_0)(Q_2 + Q_1' + Q_0').$$

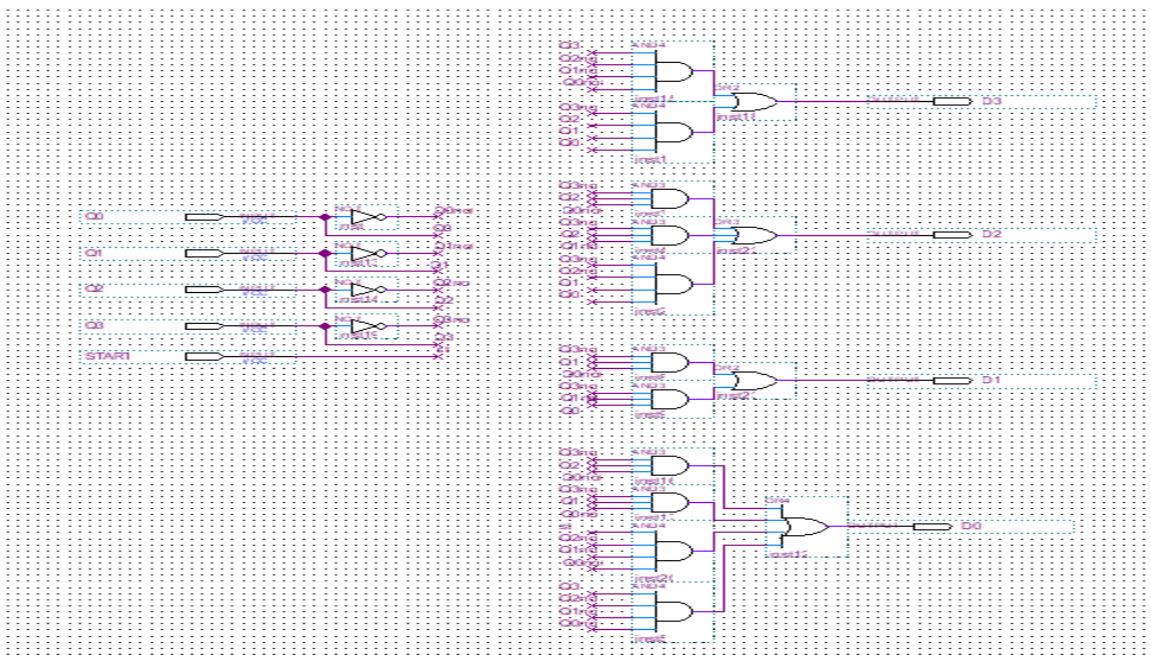
$$\text{OUTR5} = Q_3'Q_2'Q_1'Q_0 + Q_2Q_1Q_0'.$$

$$\text{SEL2}[1] = Q_2Q_0 + Q_3'Q_2'Q_0'.$$

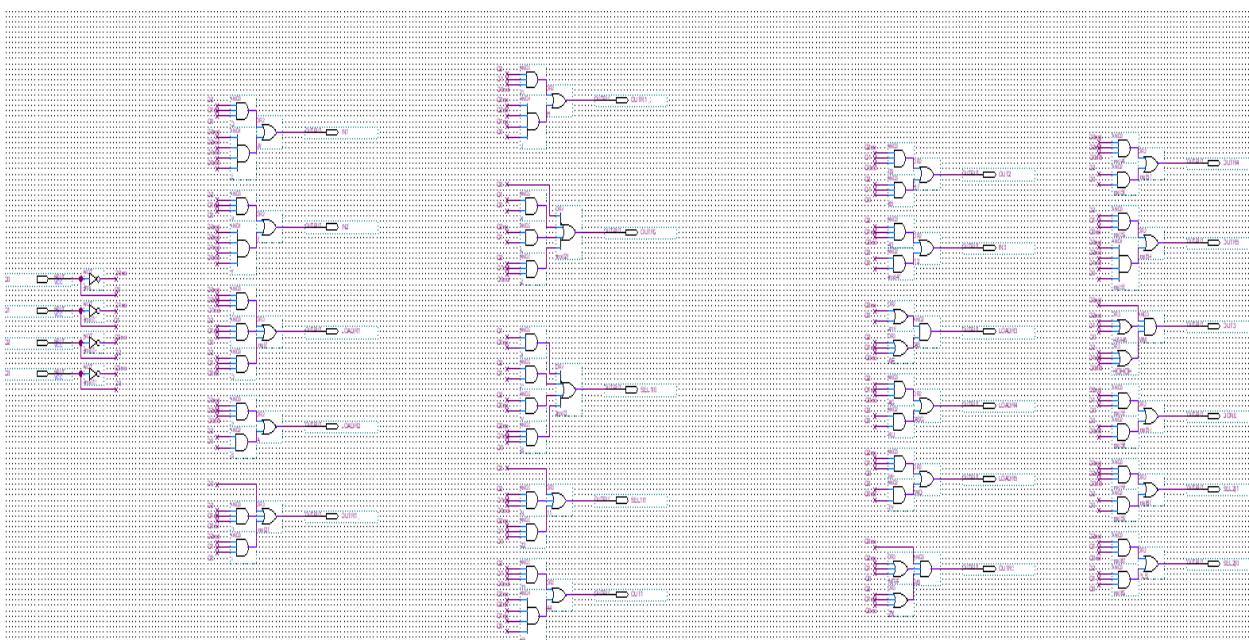
$$\text{SEL2}[0] = Q_2Q_1Q_0 + Q_2'Q_1Q_0'.$$

$$\text{DONE} = \text{LOADR5}.$$

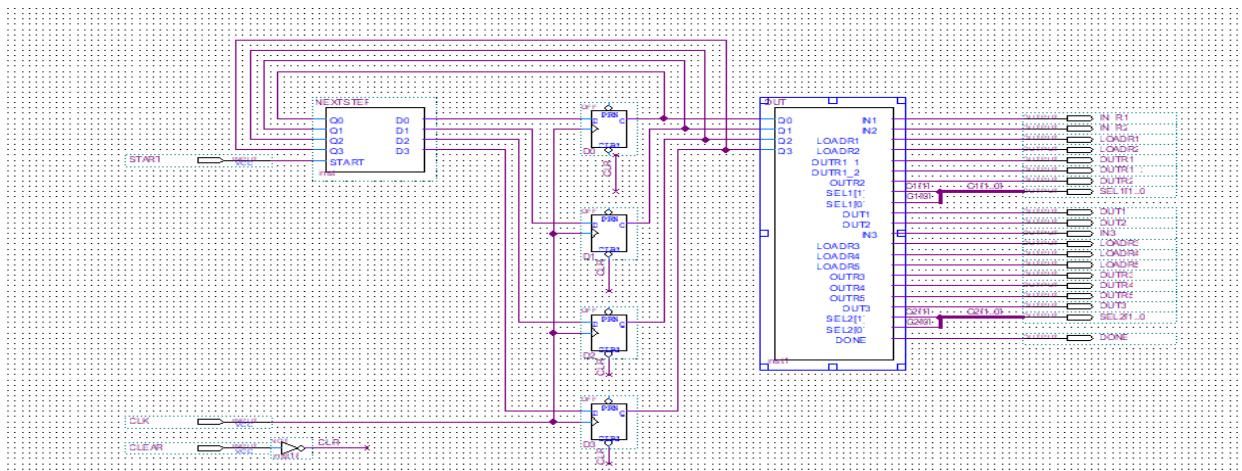
3.2. Khối Controller:



Hình 133. Sơ đồ mạch NextState SRA Datapath Pineline

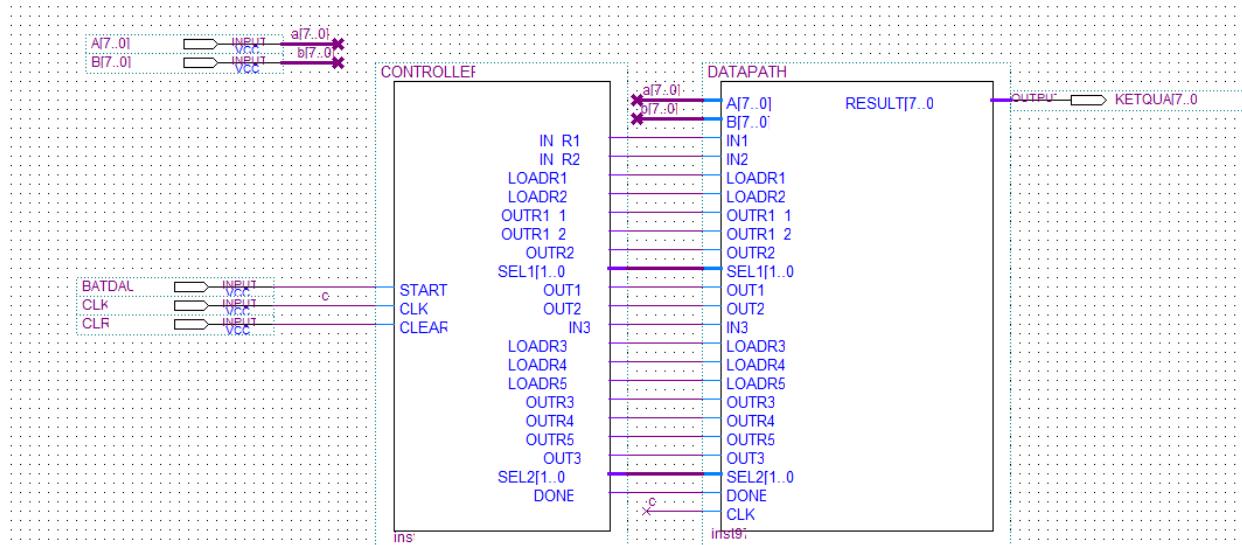


Hình 134. Sơ đồ khối Output SRA Datapath Pineline

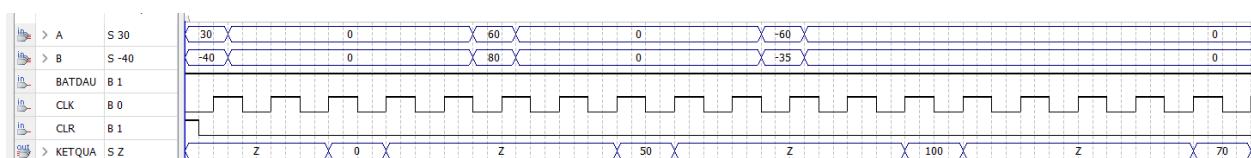


Hình 135. Sơ đồ khái niệm Controller SRA Datapath Pineline

4. SRA Datapath Pineling:



Hình 136. Sơ đồ khái niệm SRA Datapath Pineline



Hình 137. Waveform mạch SRA Datapath Pineline

XVI. SRA FUNCTION VS DATAPATH PINELINE:

1. Tổng quan thiết kế:

Ở các thiết kế trước, với nhu cầu cải tiến tốc độ xử lý, ta đã thực hiện yêu cầu Datapath Pipeline và Pinelined Functional Units, ở bài tập này, ta sẽ kết hợp cả 2 yêu cầu trên để tốc độ thực thi của thiết kế được cải thiện hơn nữa.

Ở thiết kế Datapath Pipeline with Pipelined Functional Units ta không chỉ Pineline Datapath mà còn Pipeline khói Functional Units để giảm tối đa thời gian thực thi tại mỗi tầng của Data-path.

Ta xây dựng mạch Top-circuit cho thiết kế với khói điều khiển Controller và khói đường dữ liệu Datapath bao gồm dữ liệu ngõ vào A và B có độ rộng 8 bit mang 2 giá trị cần tính căn bậc hai tổng hai bình phuong, tín hiệu START làm tín hiệu bắt đầu, tín hiệu CLK tạo xung clock cho mạch, tín hiệu ngõ ra OUT[7..0] cho kết quả tính toán và tín hiệu DONE thông báo kết thúc tính toán.

	S0	S1	S2	S3	S4	S5	S6	S7	S8	S9	S10	S11	S12	S13
Read R1		a			t1	t1								
Read R2			b		t2	t2								
AU1 t1		a	b		min	max								
AU1 t2			a	b		min	max							
Shift						>>1	>>3							
Write R1	a		t1											
Write R2	b			t2										
<hr/>														
Read R3								t3		t5		t6		t7
Read R4								x				x		
Read R5										t4				
AU2 t1								-		+				
AU2 t2									-		+			
Write R3						t3		t5		t6		t7	t3	
Write R4						x							x	
Write R5					t4							t4		
Output														t7

Bảng 19. Giản đồ ASM dựa trên biểu đồ thời gian

2. Thiết kế khói Datapath:

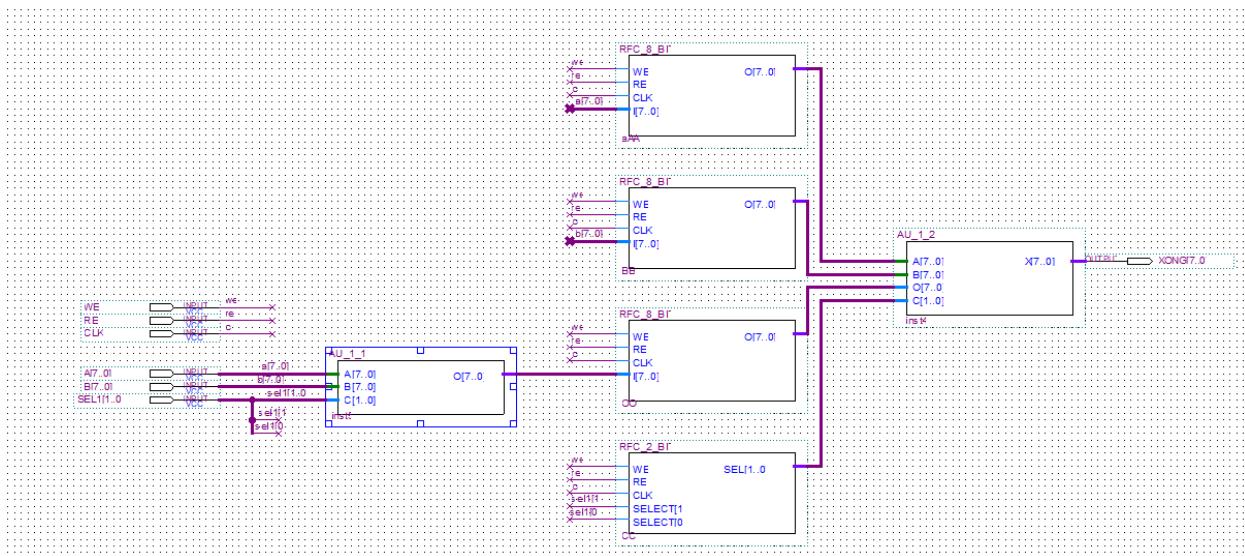
2.1. Shift 1 or 3:

Khối này có chức năng và thiết kế tương tự như khói Shift 1 or 3 ở mục X.

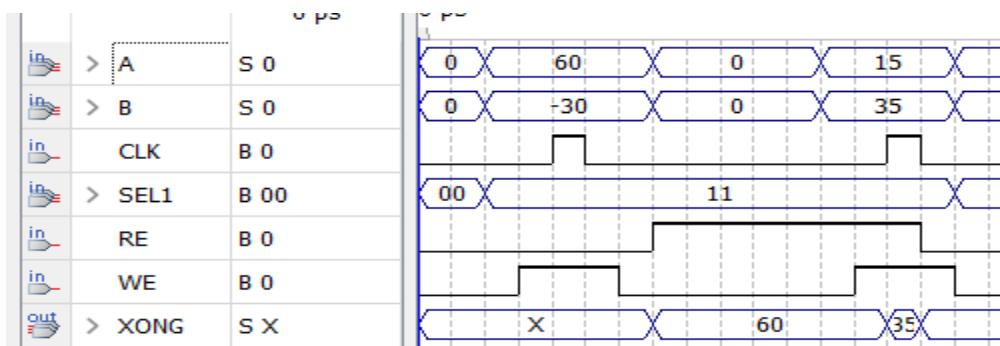
2.2. Register:

Khối này có chức năng và thiết kế tương tự như khối Register ở mục X.

2.3. AU1:



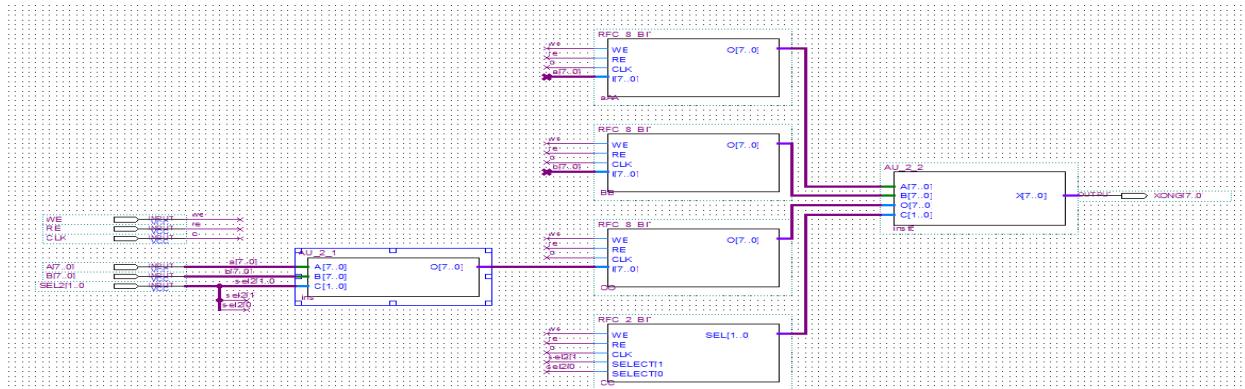
Hình 138. Sơ đồ mạch khối AU1



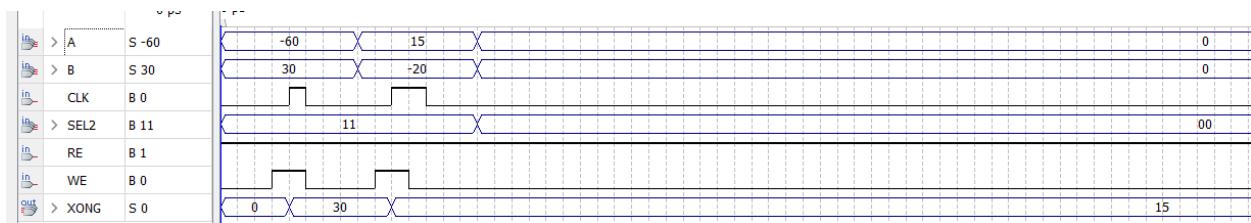
Hình 139. Waveform mạch AU1

Chức năng thực hiện tính toán tùy vào tín hiệu điều khiển.

2.4. AU2:



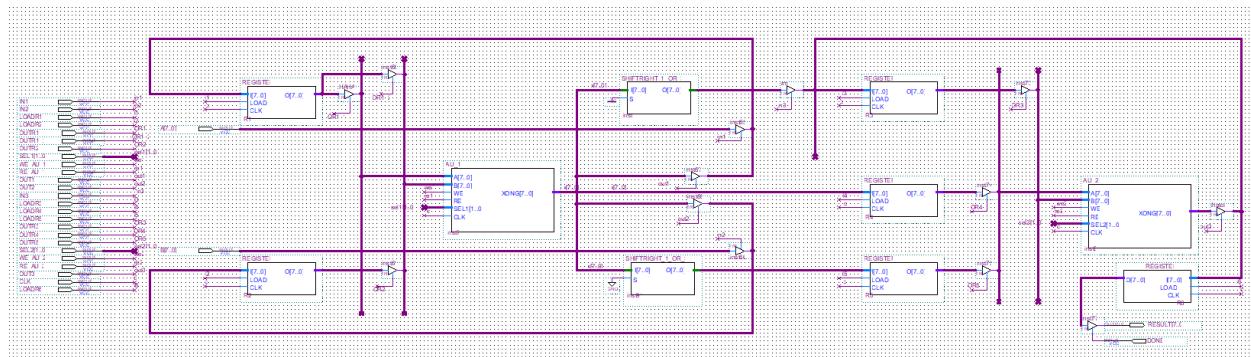
Hình 140. Sơ đồ mạch AU2



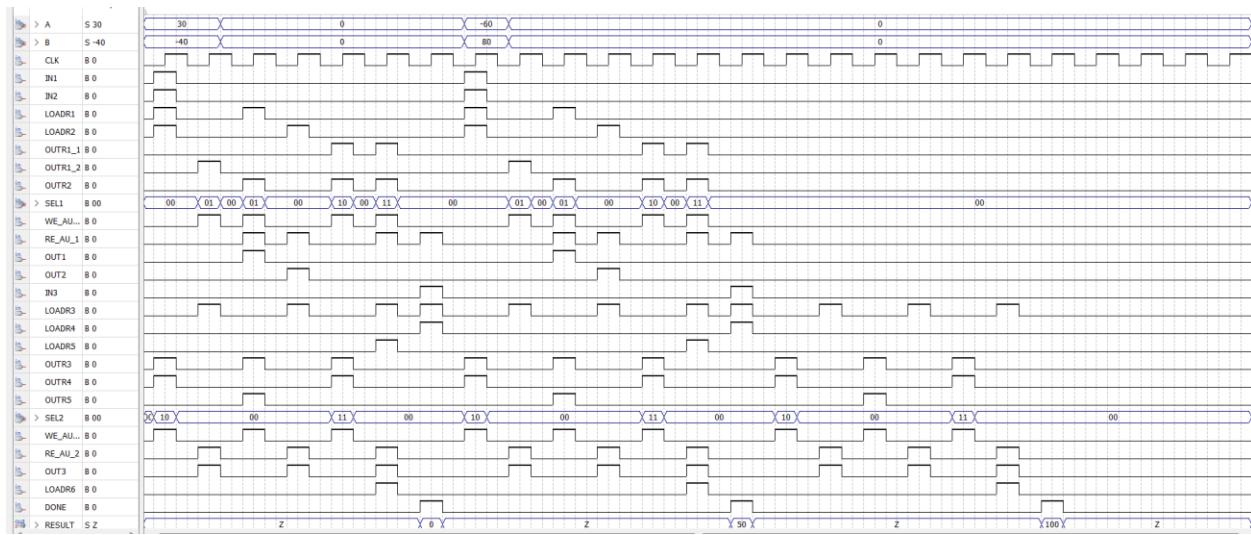
Hình 141. Waveform mạch AU2

Chức năng thực hiện tính toán tùy vào tín hiệu điều khiển.

2.5. Khối Datapath:



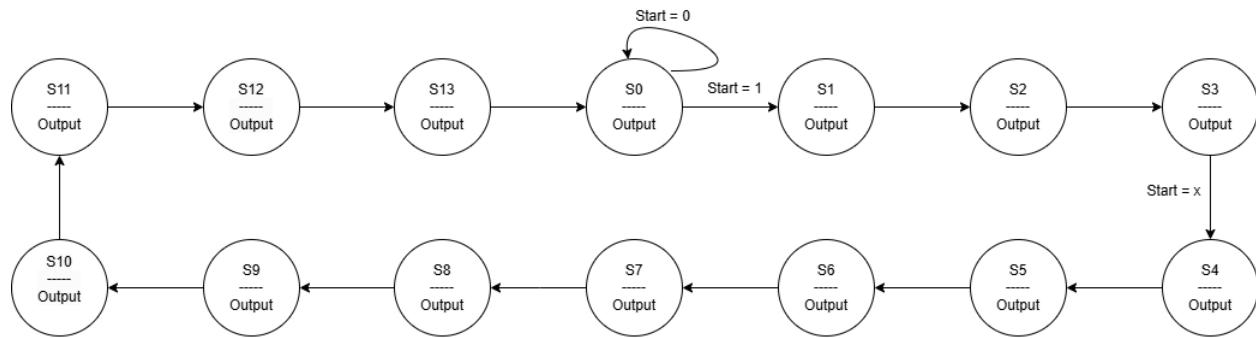
Hình 142. Sơ đồ mạch khối Datapath Function vs Datapath Pineline



Hình 143. Waveform khối Datapath Function vs Datapath Pineline

3. Thiết kế khối Controller:

3.1. Bảng trạng thái và các tín hiệu điều khiển:



Hình 144. Sơ đồ trạng thái SRA Function vs Datapath Pineline

Với Output là: In1, In2, In3, LOADR1, LOADR2, LOADR3, LOADR4, LOADR5, LOADR6, OUTR1_1, OUTR1_2, OUTR2, OUTR3, OUT3, OUTR4, OUTR5, SEL1[1..0], SEL2[1..0], WE_AU_1, WE_AU_2, RE_AU_1, RE_AU_2, DONE.

TTHT		TTKT			
S	Q ₃ Q ₂ Q ₁ Q ₀	D ₃	D ₂	D ₁	D ₀
S = 0	0000	0	0	0	0
S = 1	0000	0	0	0	1
0	0001	0	0	1	0
0	0010	0	0	1	1
0	0011	0	1	0	0
0	0100	0	1	0	1
0	0101	0	1	1	0
0	0110	0	1	1	1
0	0111	1	0	0	0
0	1000	1	0	0	1
0	1001	1	0	1	0
0	1010	1	0	1	1
0	1011	1	1	0	0
0	1100	1	1	0	1
0	1101	0	0	0	0
0	1110	0	0	0	0
0	1111	0	0	0	0

Bảng 20. Trạng thái ngõ vào SRA Function Units vs Datapath Pinelining

$$D_3 = Q_3Q_2' + Q_3Q_1'Q_0' + Q_3'Q_2Q_1Q_0.$$

$$D_2 = Q_3'Q_2Q_1' + Q_2Q_1'Q_0' + Q_3'Q_2Q_0' + Q_2'Q_1Q_0.$$

$$D_1 = Q_3'Q_1Q_0' + Q_2'Q_1Q_0' + Q_2'Q_1'Q_0 + Q_3'Q_1'Q_0.$$

$$D_0 = Q_2'Q_0' + Q_3Q_2'Q_0' + Q_2Q_1'Q_0' + Q_3'Q_1Q_0'.$$

Q ₃ Q ₂ Q ₁ Q ₀	In1	In2	In3	LOADR1	LOADR2	OUTR1_1	OUTR1_2	OUTR2	SEL1[1]	SEL1[0]
0000	1	1	0	1	1	0	0	0	0	0
0001	0	0	0	0	0	0	1	0	0	1
0010	0	0	0	1	0	0	0	1	0	1
0011	0	0	0	0	1	0	0	0	0	0
0100	0	0	0	0	0	1	0	1	1	0
0101	0	0	0	0	0	1	0	1	1	1
0110	0	0	1	0	0	0	0	0	0	0
0111	1	1	0	1	1	0	0	0	0	0
1000	0	0	0	0	0	0	1	0	0	1
1001	0	0	0	1	0	0	0	1	0	1
1010	0	0	0	0	1	0	0	0	0	0
1011	0	0	0	0	0	1	0	1	1	0
1100	0	0	0	0	0	1	0	1	1	1
1101	0	0	1	0	0	0	0	0	0	0
1110	X	X	X	X	X	X	X	X	X	X
1111	X	X	X	X	X	X	X	X	X	X

Bảng 21. Trạng thái ngõ ra SRA Function Units vs Datapath Pineling

$$In1 = Q_3'Q_2'Q_1'Q_0' + Q_2Q_1Q_0.$$

$$In2 = Q_3'Q_2'Q_1'Q_0' + Q_2Q_1Q_0.$$

$$In3 = Q_3Q_2Q_0 + Q_2Q_1Q_0'.$$

$$LOADR1 = Q_3Q_2'Q_1'Q_0 + Q_2Q_1Q_0 + Q_3'Q_2'Q_0'.$$

$$LOADR2 = Q_3'Q_2'Q_1'Q_0' + Q_3'Q_1Q_0 + Q_3Q_1Q_0'.$$

$$OUTR1_1 = Q_2Q_1'Q_0' + Q_3'Q_2Q_1' + Q_3Q_1Q_0.$$

$$OUTR1_2 = Q_3Q_2'Q_1'Q_0' + Q_3Q_2'Q_1'Q_0'.$$

$$OUTR2 = Q_3'Q_2'Q_1Q_0' + Q_2Q_1'Q_0' + Q_3'Q_2Q_1' + Q_3Q_2'Q_0.$$

$$SEL1[1] = Q_3Q_1Q_0 + Q_2Q_1'Q_0' + Q_3'Q_2Q_1'.$$

$$SEL1[0] = Q_3'Q_2'Q_1Q_0' + Q_3'Q_1Q_0' + Q_3Q_1'Q_0' + Q_3Q_2'Q_1'.$$

Q3Q2Q1Q0	OUT1	OUT2	LOADR3	LOADR4	LOADR5	OUTR3	OUTR4	OUTR5	OUT3	SEL2[1..0]
0000	0	0	0	0	0	1	1	0	0	10
0001	0	0	1	0	0	0	0	0	1	00
0010	1	0	0	0	0	1	0	1	0	00
0011	0	1	1	0	0	0	0	0	1	00
0100	0	0	0	0	0	1	1	0	0	11
0101	0	0	1	0	1	0	0	0	1	00
0110	0	0	1	1	0	0	0	0	0	00
0111	0	0	0	0	0	1	1	0	0	10
1000	0	0	1	0	0	0	0	0	1	00
1001	1	0	0	0	0	1	0	1	0	00
1010	0	1	1	0	0	0	0	0	1	00
1011	0	0	0	0	0	1	1	0	0	11
1100	0	0	1	0	1	0	0	0	1	00
1101	0	0	1	1	0	0	0	0	0	00
1110	X	X	X	X	X	X	X	X	X	X
1111	X	X	X	X	X	X	X	X	X	X

Bảng 20.2: Trạng thái ngõ ra SRA Function Units vs Datapath Pipelining

$$\text{OUT1} = Q_3'Q_2'Q_1Q_0' + Q_3Q_2'Q_1'Q_0.$$

$$\text{OUT2} = Q_3Q_1Q_0' + Q_3'Q_2'Q_1Q_0.$$

$$\text{LOADR3} = (Q_3+Q_2+Q_0)(Q_3+Q_1+Q_0)(Q_2'+Q_1'+Q_0')(Q_3'+Q_2+Q_0').$$

$$\text{LOADR4} = Q_3Q_2Q_0 + Q_2Q_1Q_0'.$$

$$\text{LOADR5} = Q_3Q_2Q_0' + Q_3'Q_2Q_1'Q_0.$$

$$\text{OUTR3} = Q_3'Q_2'Q_0' + Q_3'Q_1'Q_0' + Q_2Q_1Q_0 + Q_3Q_2'Q_0.$$

$$\text{OUTR4} = Q_3'Q_1'Q_0' + Q_2Q_1Q_0 + Q_3Q_1Q_0.$$

$$\text{OUT3} = Q_3'Q_2'Q_0 + Q_3'Q_1'Q_0 + Q_3Q_0'.$$

$$\text{OUTR5} = Q_3'Q_2'Q_1Q_0' + Q_3Q_2'Q_1'Q_0.$$

$$\text{SEL2}[1] = Q_3'Q_1'Q_0' + Q_2Q_1Q_0 + Q_3Q_1Q_0.$$

$$\text{SEL2}[0] = Q_3'Q_2Q_1'Q_0' + Q_3Q_1Q_0.$$

Q3Q2Q1Q0	WE AU 1	RE AU 1	WE AU 2	RE AU 2	LOADR6	DONE
0000	0	0	1	0	0	0
0001	1	0	0	1	0	0
0010	1	1	1	0	0	0

0011	0	1	0	1	0	0
0100	1	0	1	0	0	0
0101	1	1	0	1	1	0
0110	0	1	0	0	0	1
0111	0	0	1	0	0	0
1000	1	0	0	1	0	0
1001	1	1	1	0	0	0
1010	0	1	0	1	0	0
1011	1	0	1	0	0	0
1100	1	1	0	1	1	0
1101	0	1	0	0	0	1
1110	X	X	X	X	X	X
1111	X	X	X	X	X	X

Bảng 20.3: Trạng thái ngõ ra SRA Function Units vs Datapath Pipelining

$$WE_AU_1 = (Q3+Q2+Q1+Q0)(Q2'+Q1')(Q3'+Q2'+Q0')(Q3+Q1'+Q0')(Q3'+Q1'+Q0)$$

$$RE_AU_1 = Q3Q2+Q1Q0'+Q3'Q2'Q0+Q2Q1'Q0+Q3Q1'Q0.$$

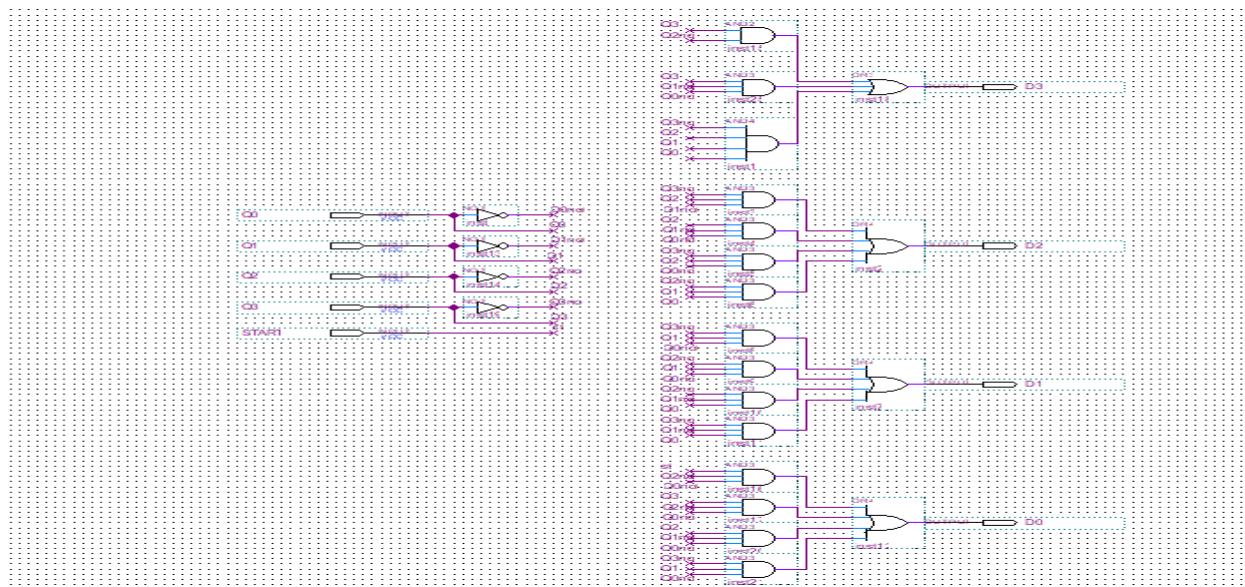
$$WE_AU_2 = Q3'Q2'Q0' + Q3'Q1'Q0' + Q2Q1Q0 + Q3Q2'Q0.$$

$$RE_AU_2 = Q3'Q2'Q0 + Q3'Q1'Q0 + Q3Q0'.$$

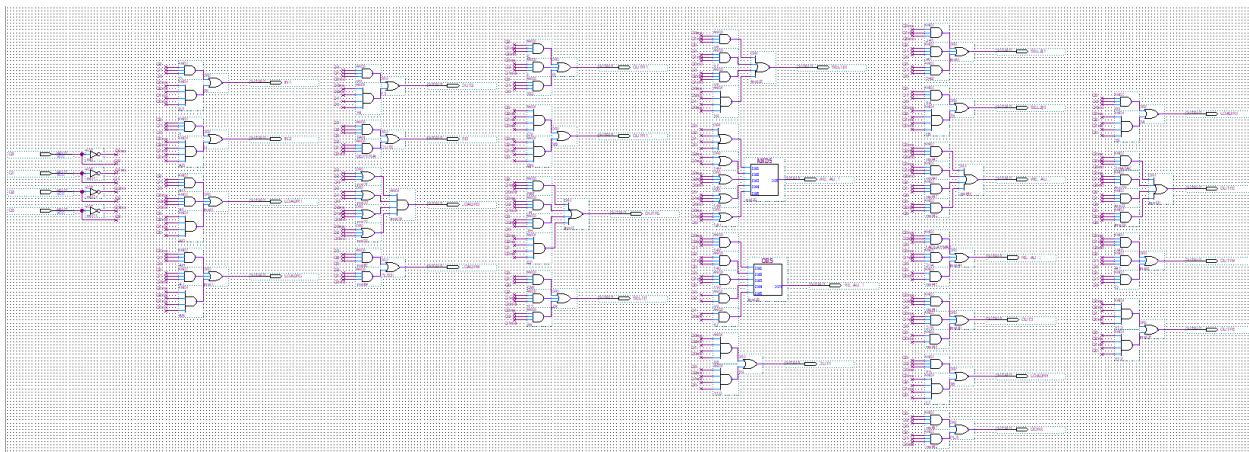
$$LOADR6 = Q3Q2Q0' + Q3'Q2Q1'Q0.$$

$$DONE = Q3Q2Q0 + Q2Q1Q0'.$$

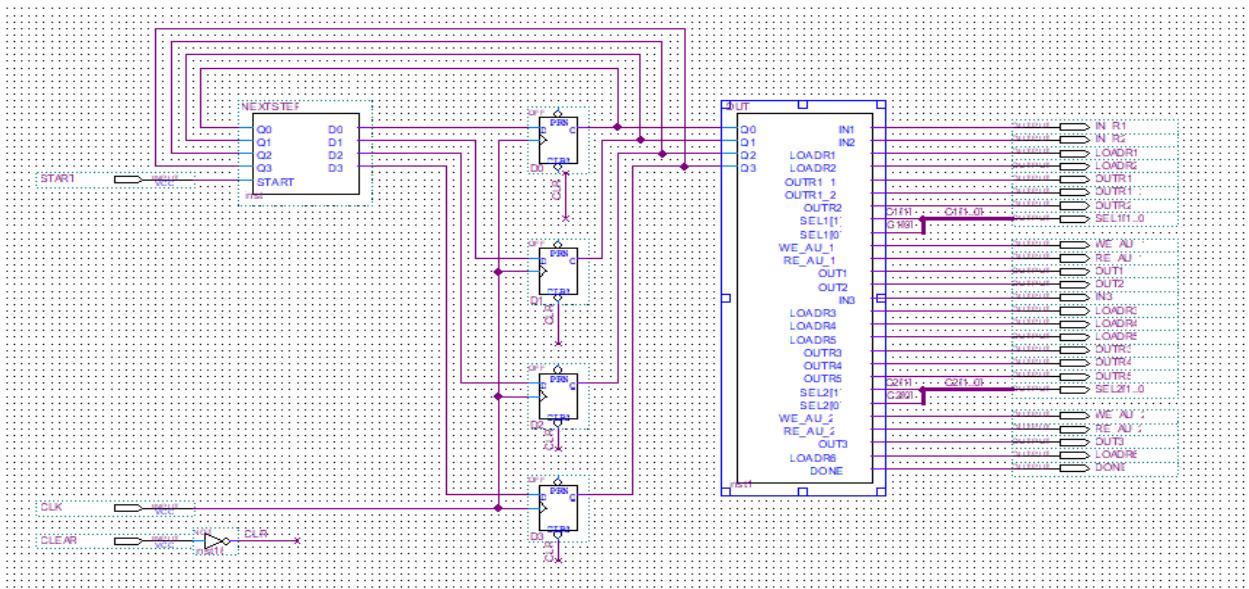
3.2. Khối Controller:



Hình 145. Sơ đồ mạch NextState SRA Function vs Datapath Pipeline

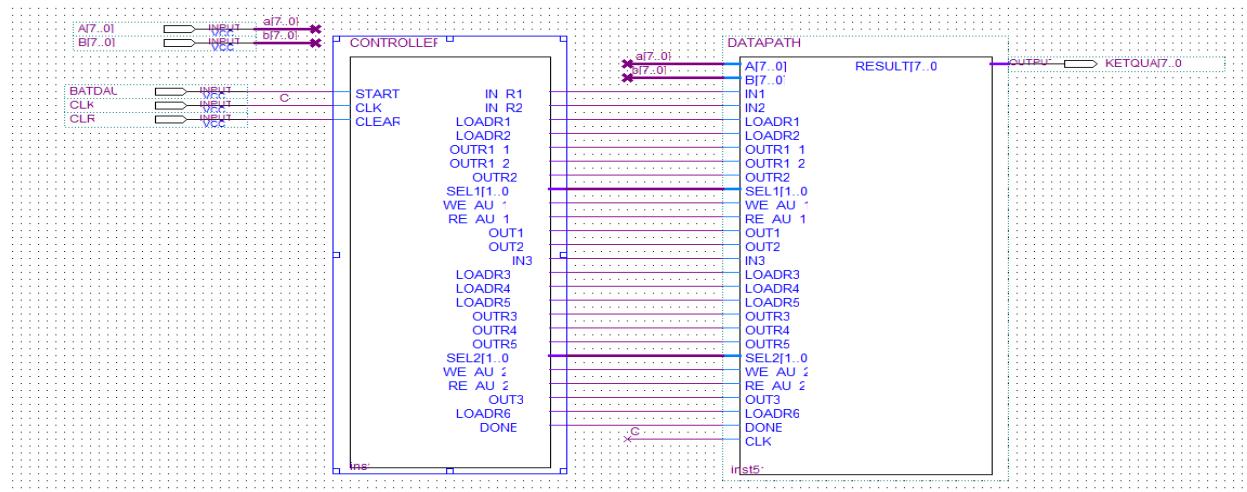


Hình 146. Sơ đồ mạch Output SRA Function vs Datapath Pipeline

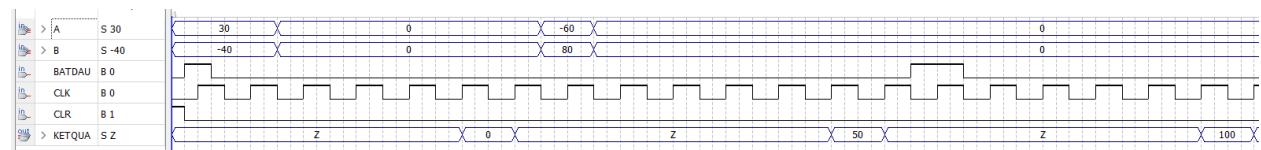


Hình 147. Khối Controller SRA Function vs Datapath Pipeline

4. SRA Function vs Datapath Pipeline:



Hình 148. Sơ đồ khái niệm SRA Function vs Datapath Pipeline



Hình 149. Waveform SRA Function vs Datapath Pipeline