

概述

- 1. 组合逻辑电路上的特点
 - 功能 { 任意时刻的输出取决于该时刻的输入
 - 电路结构 { 不含记忆元件
- 逻辑功能的描述
 - 分析因果关系
 - 定义逻辑状态的含义
 - 列出真值表
- 逻辑电路的设计方法
 - 写出函数式
 - 器件的选型
 - 简化逻辑
 - 画出逻辑电路图, 下载到PLD
 - 工艺设计

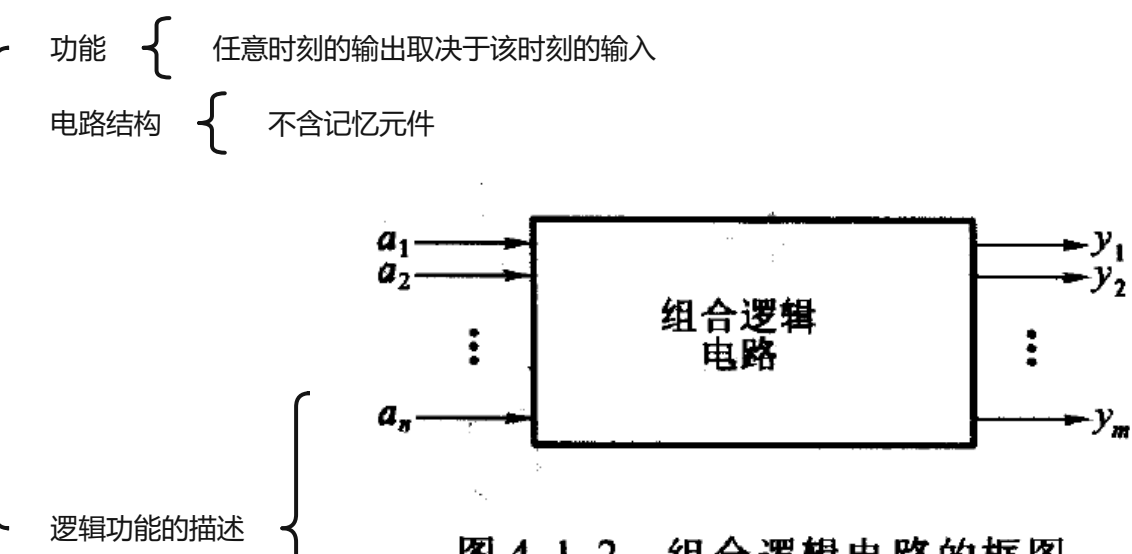
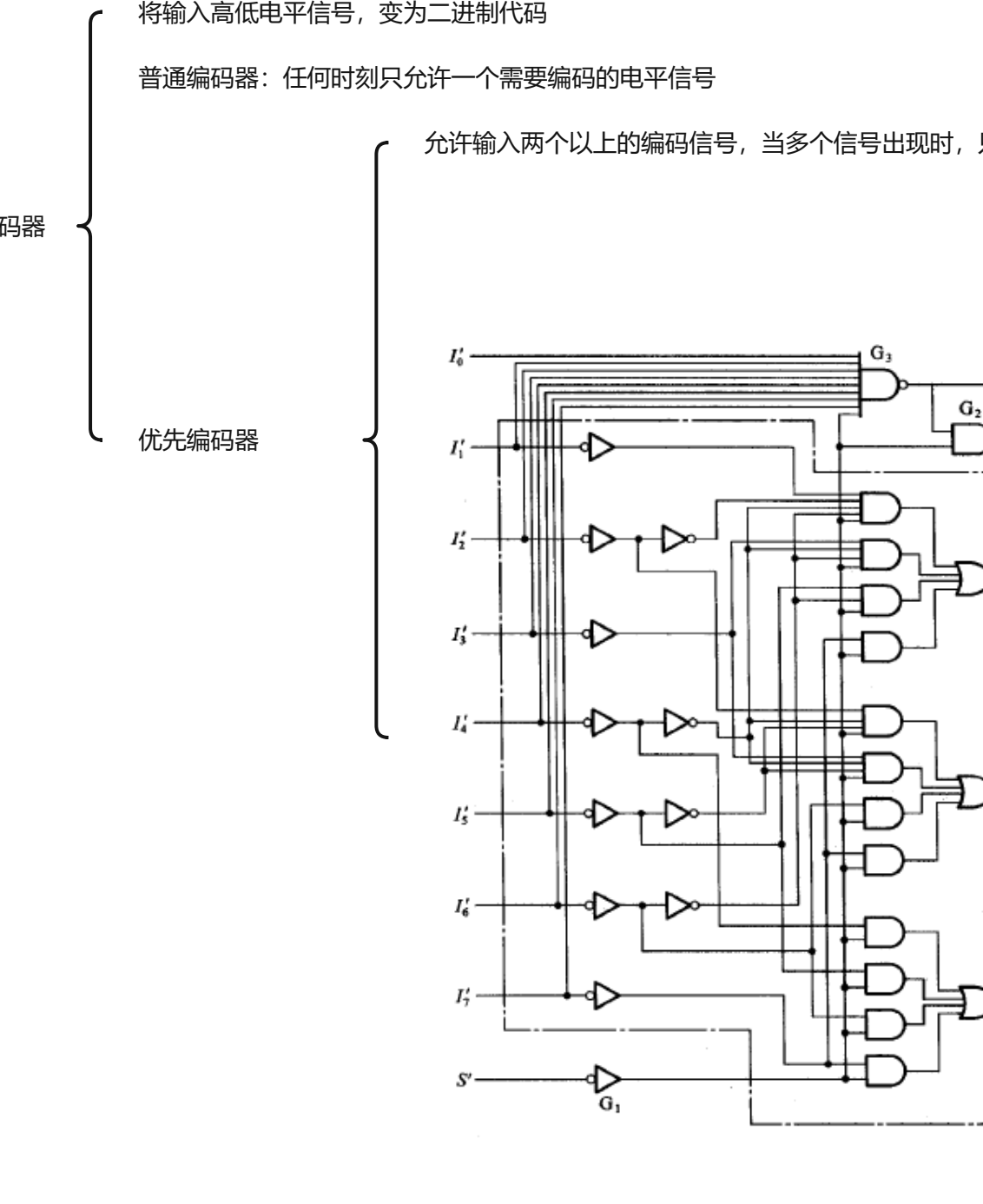


图 4.1.2 组合逻辑电路的框图

关键路径缩短 { 带入定理: 时间换空间

编码器



S 作为选通输入端, S' 为 0, 编码器才可以正常工作
 $Y_5 = (I_0 I_1 I_2 I_3 I_4 I_5 I_6 I_7 S)'$ { 低电平表明电路工作, 无编码输入
 $Y_{EX} = ((I_0 I_1 I_2 I_3 I_4 I_5 I_6 I_7 S)')'$ { 电路工作, 有编码输入
 $= ((I_0 + I_1 + I_2 + I_3 + I_4 + I_5 + I_6 + I_7) \cdot S)'$

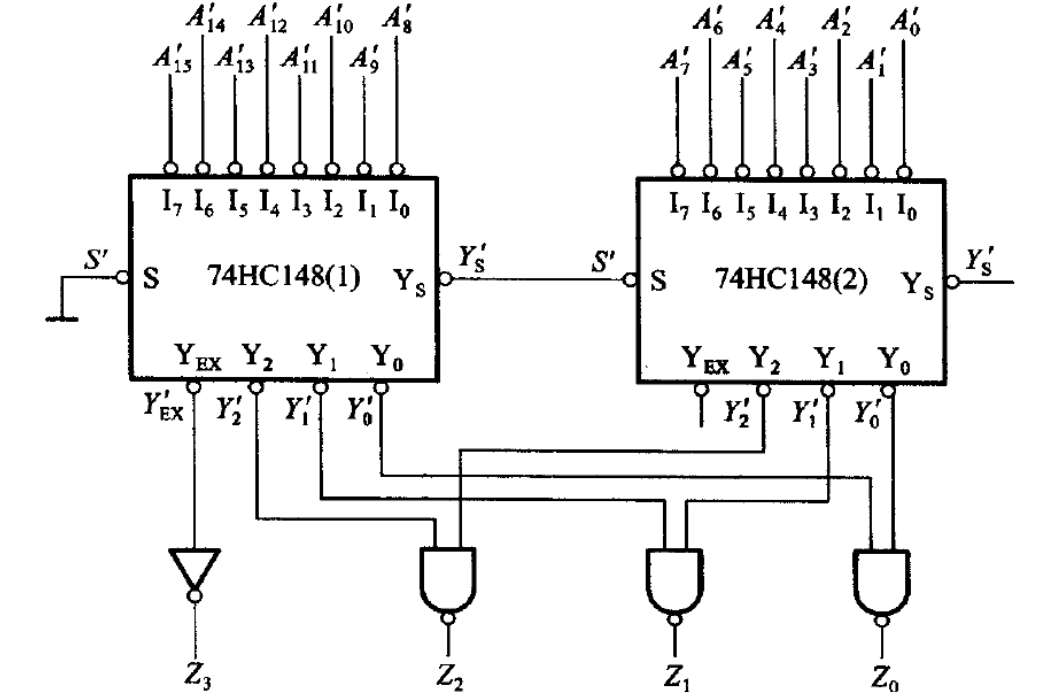


图 4.3.4 用两片 74HC148 接成的 16 线-4 线优先编码器

二十编码器

译码器

将二进制代码转化为高低电平

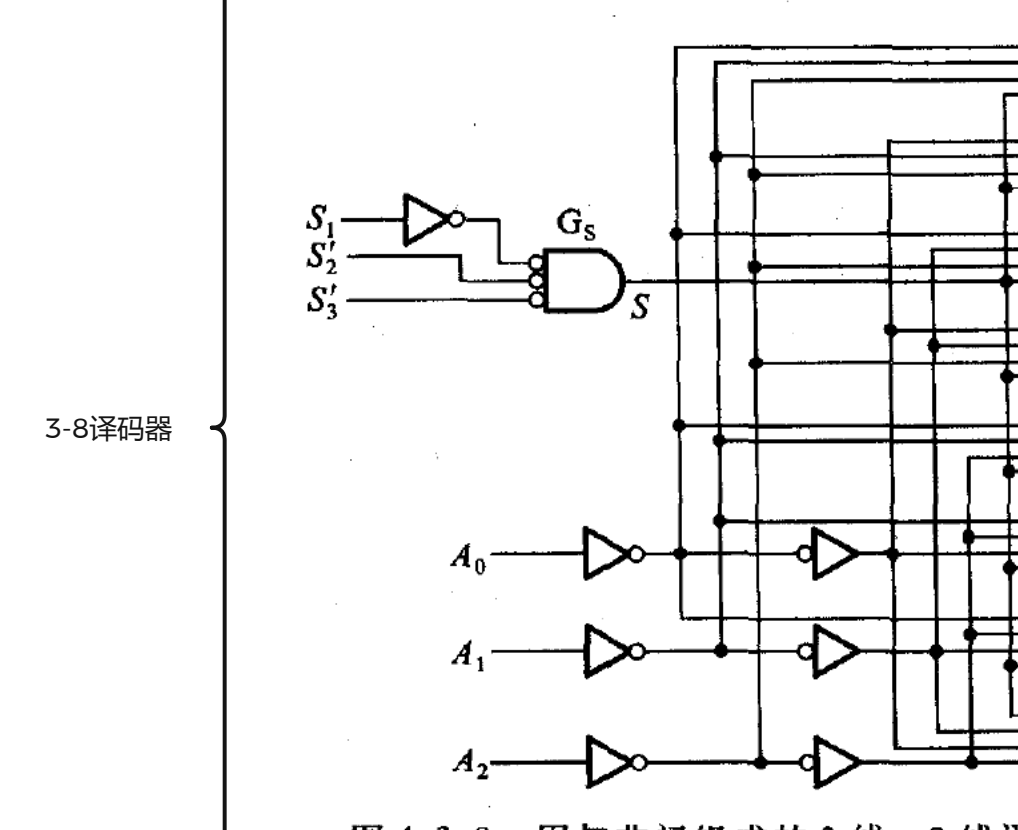


图 4.3.8 用与非门组成的 3 线-8 线译码器 74HC138

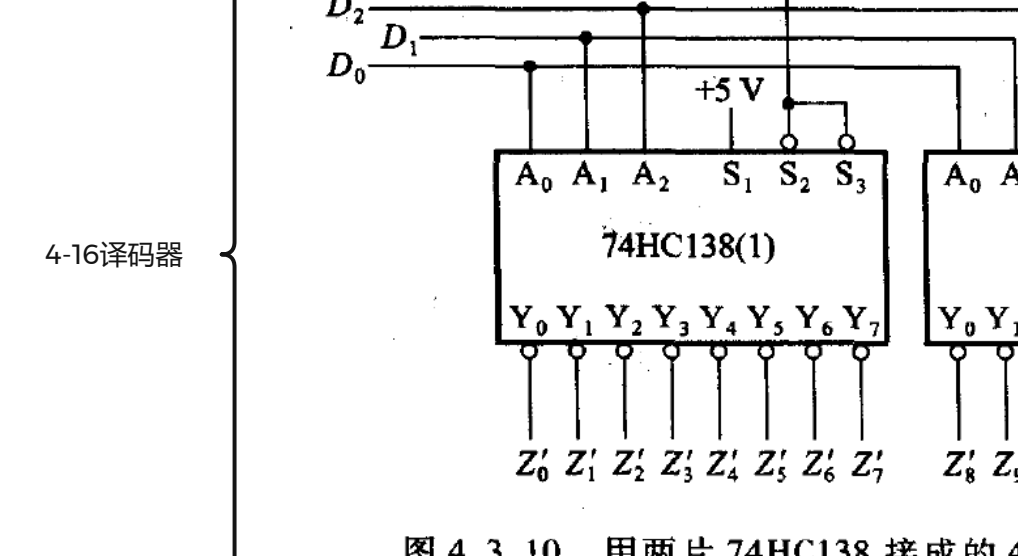


图 4.3.10 用两片 74HC138 接成的 4 线-16 线译码器

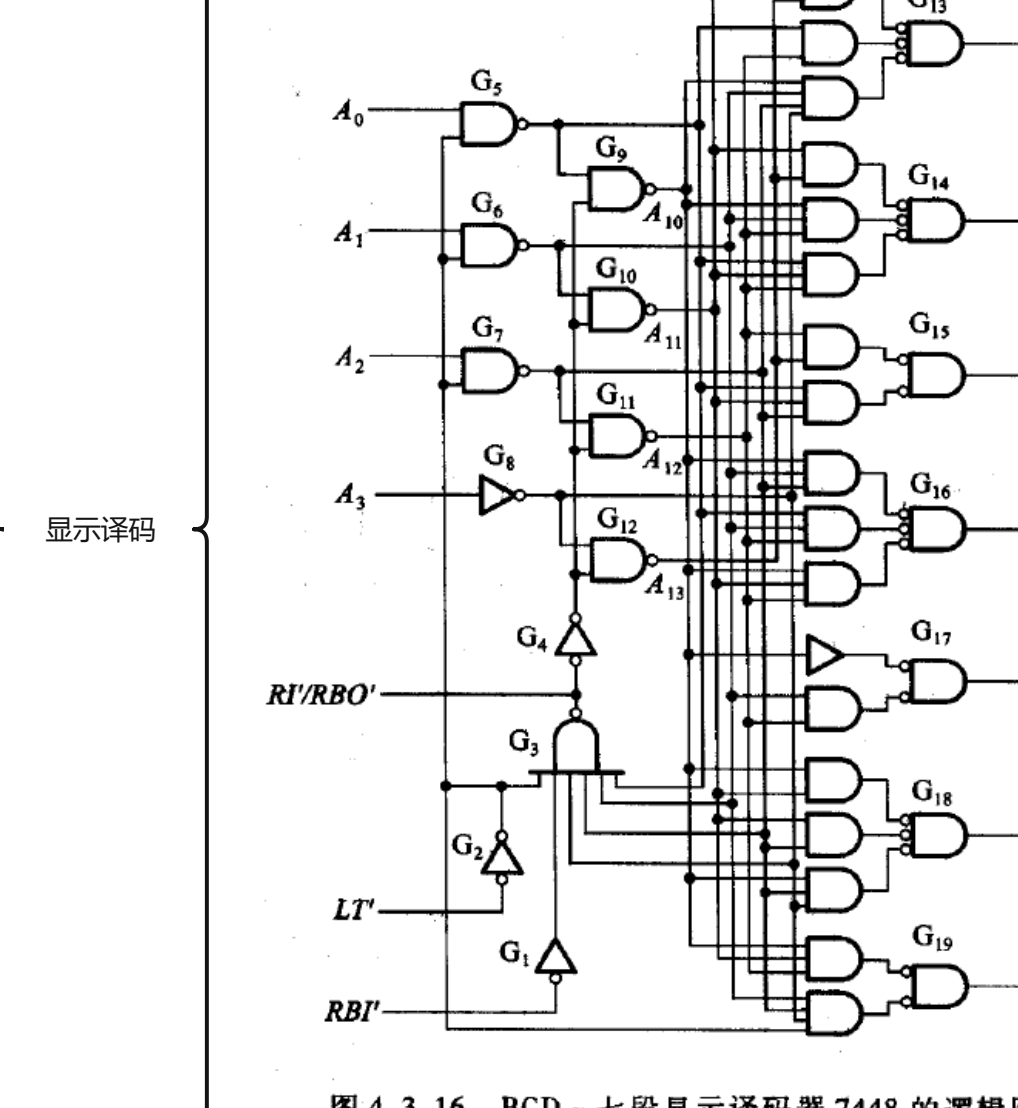


图 4.3.16 BCD-七段显示译码器 7448 的逻辑图

控制端: S1=1 和 S2=S3=0, Cs 为高电平, 译码器正常工作
带控制输入端的译码器又是一个完整的数据分配器

LT=0, G6/G5/G6/G7 输出为高电平, Yg 也处于高电平, 用于测试数码管能否正常点亮
RBI 是为了将不希望的 0 灭掉, 比如 0010123
BI 作为输入端使用, 称灭灯输入控制端, 当作输出端而言, 叫做灭零输出端。

若干常用的组合逻辑电路

数据选择器

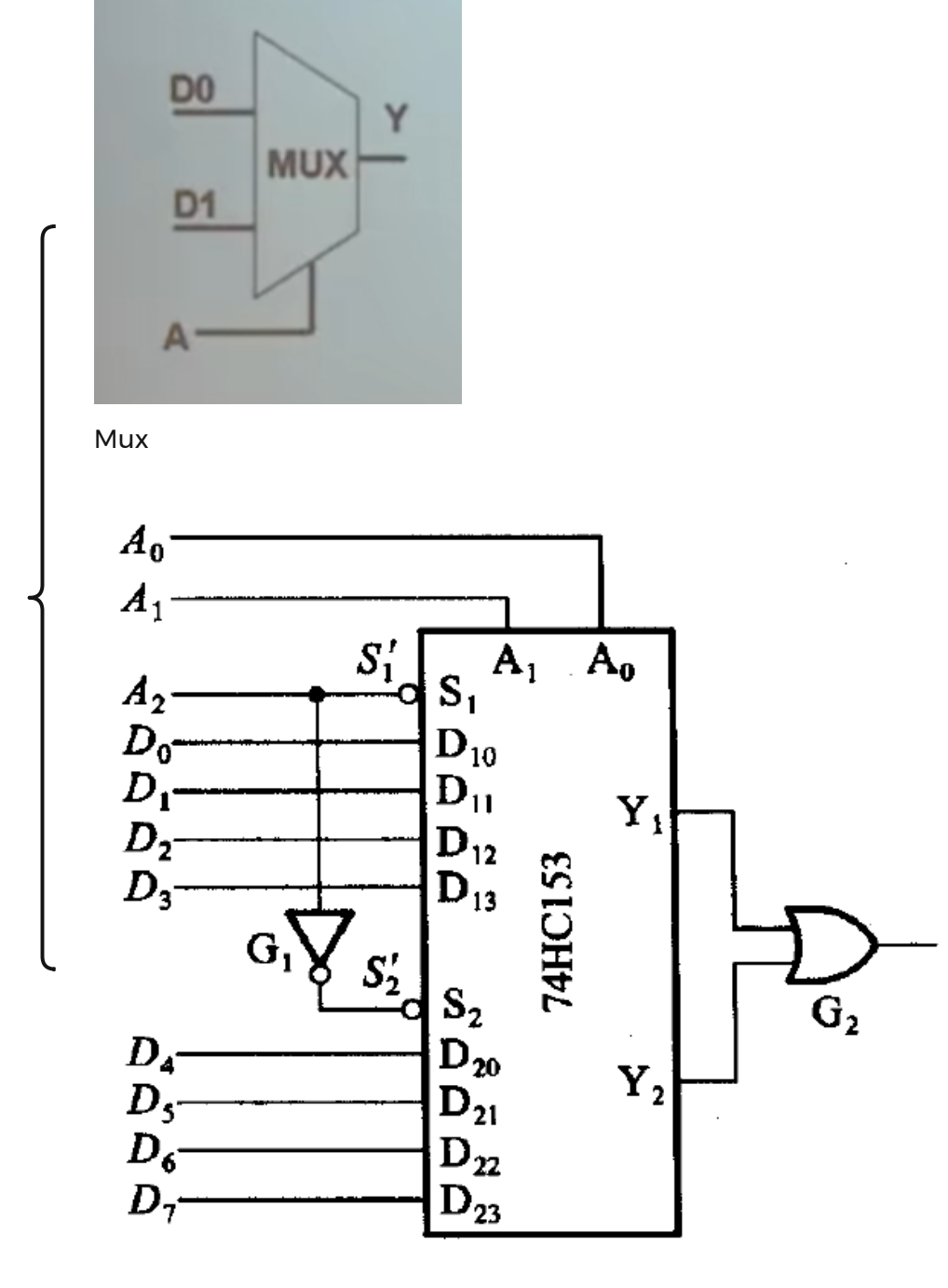


图 4.3.22 用两个 4 选 1 数据选择器接成的 8 选 1 数据选择器

加法器

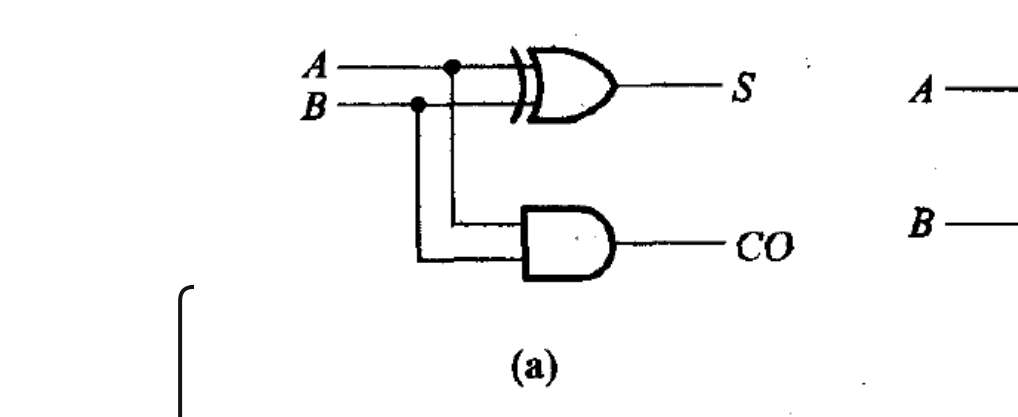


图 4.3.25 半加器

(a) 逻辑图 (b) 符号

$$\begin{cases} S = A'B + AB' = A \oplus B \\ CO = AB \end{cases} \quad (4.3.24)$$

表 4.3.8 半加器的真值表

输入		输出	
A	B	S	CO
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

多位加法器

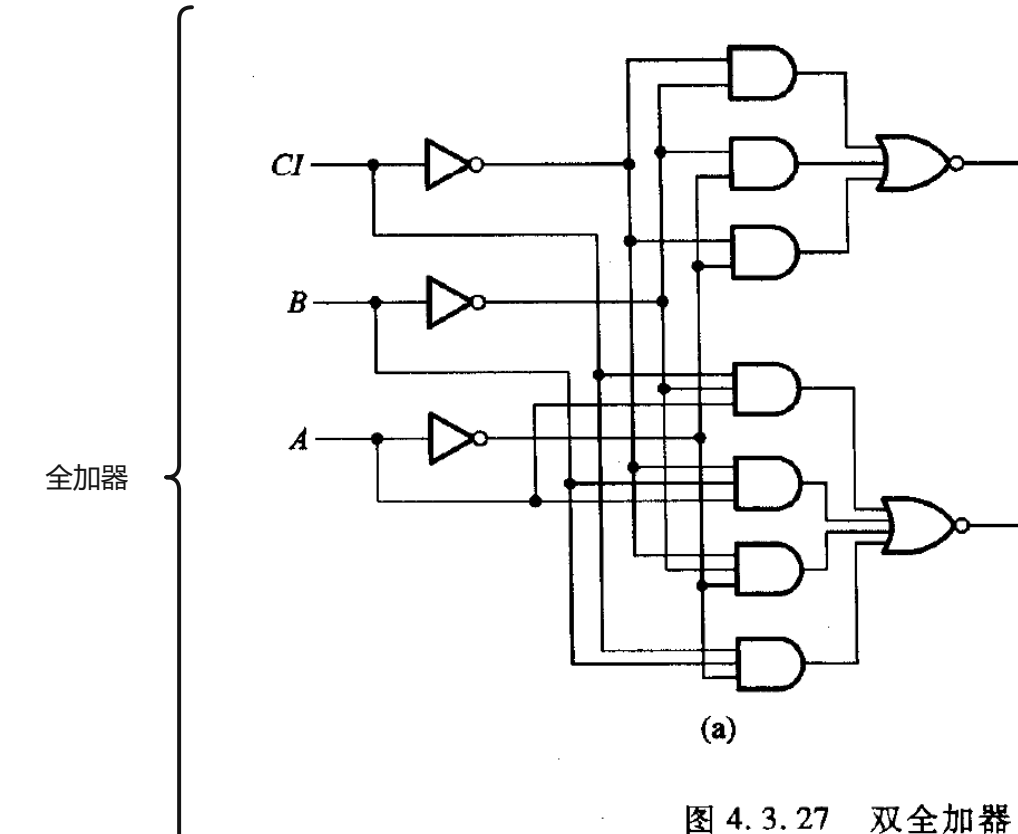


图 4.3.27 双全加器 74LS183

(a) 1/2 逻辑图 (b) 图形符号

数值比较器

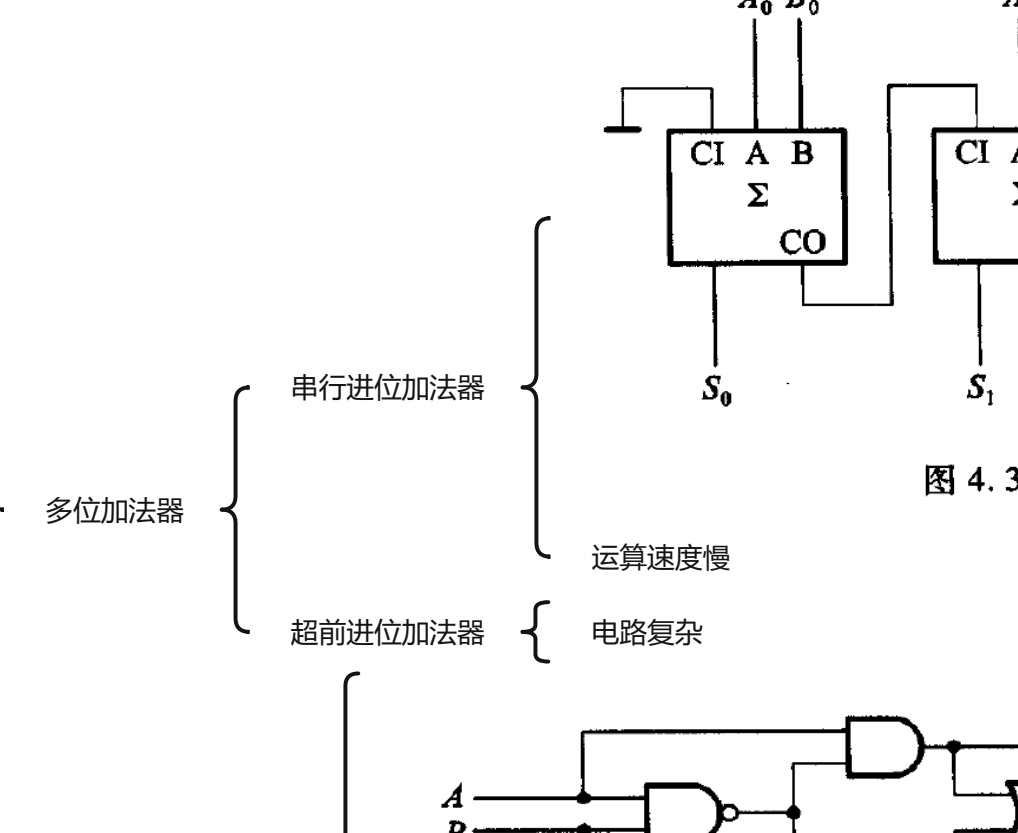


图 4.3.31 1 位数数值比较器

多位数值比较器

串行进位加法器 { 运算速度慢

超前进位加法器 { 电路复杂

竞争-冒险

竞争

两个输入同时向相反电平变化, 则存在竞争

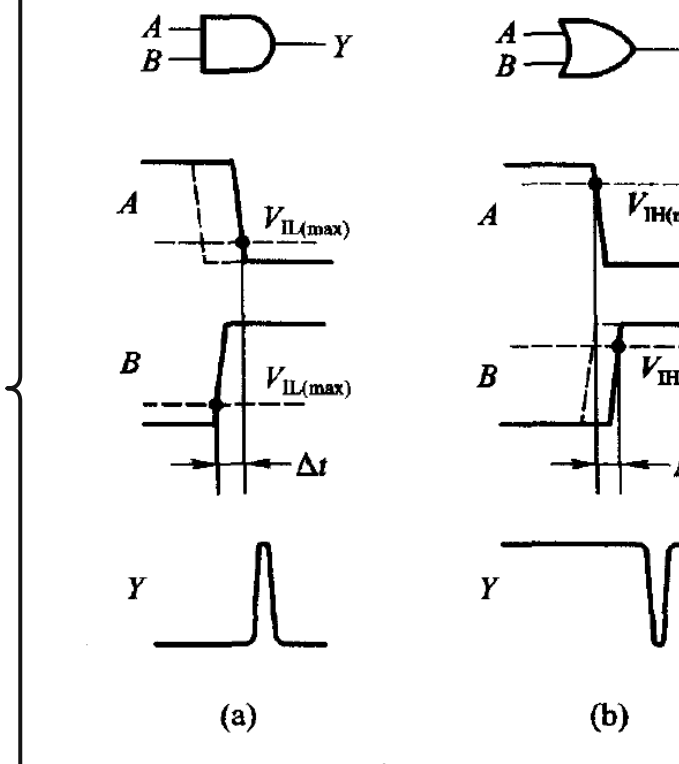


图 4.4.1 由于竞争而产生的尖峰脉冲

冒险

因竞争而可能在输出产生尖峰脉冲的现象, 就叫做竞争-冒险

检查方法

分析法 { $Y = A + A'$ 或 $Y = A \cdot A'$ 则可判定存在竞争-冒险现象。

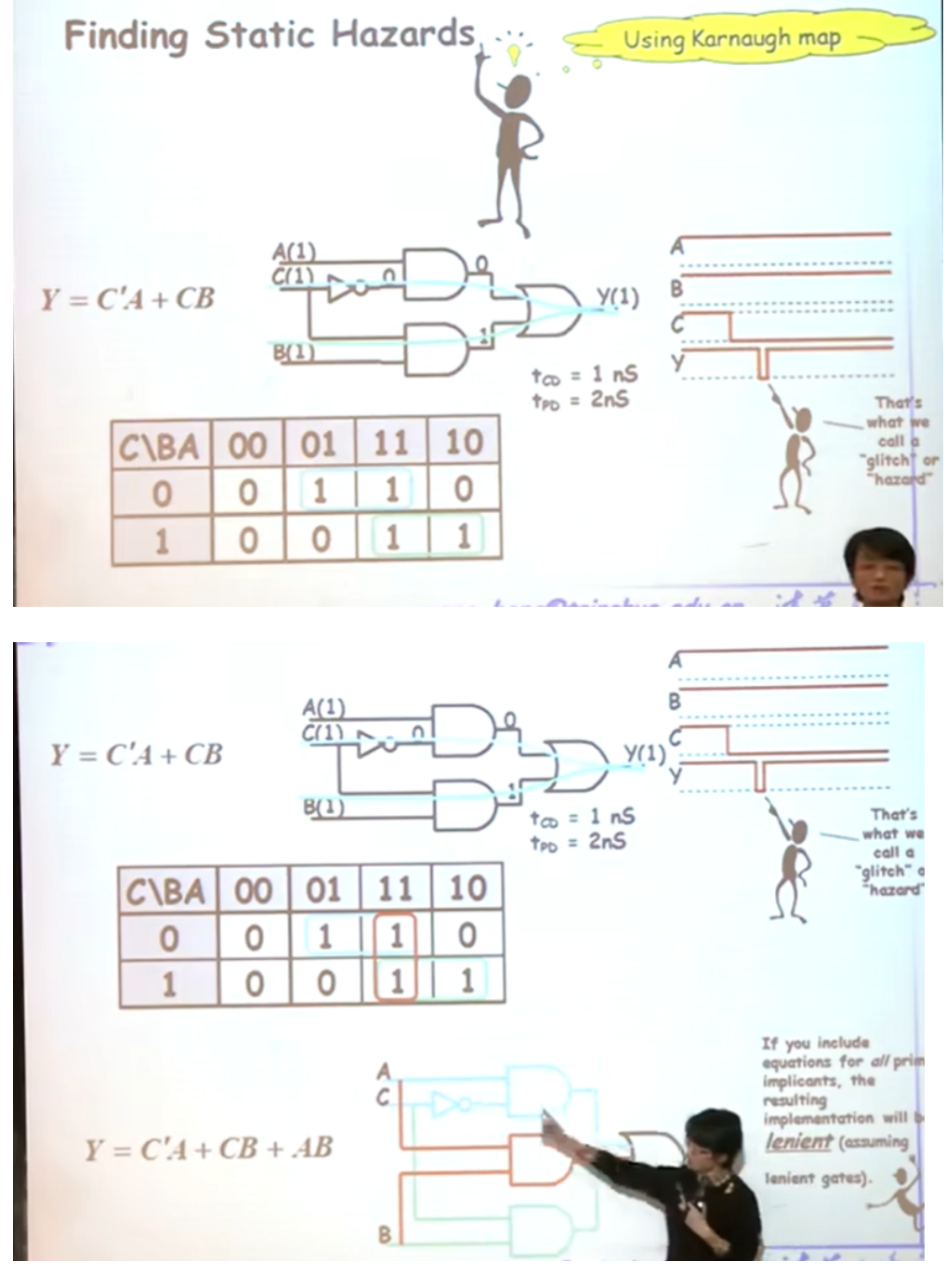
观测法 { 仿真

消除竞争冒险

滤波电容 (与输出端通电阻) { 增加了输出电压波形的上升时间和下降时间, 使得波形变坏

引入选通脉冲, 使得电路稳定

修改逻辑设计, 增加冗余项



卡诺图相切, 最简不是最好