**Centre de Développement des Technologies Avancées** (**CDTA**)

Université De Blida

Département de L’électronique

Module : Architecture des Microprocesseurs



Mini Projet : Description Verilog et implémentation FPGA du Processeur de base

Prof : H. Bougherira

Doctorante : Benbelgacem Lylia

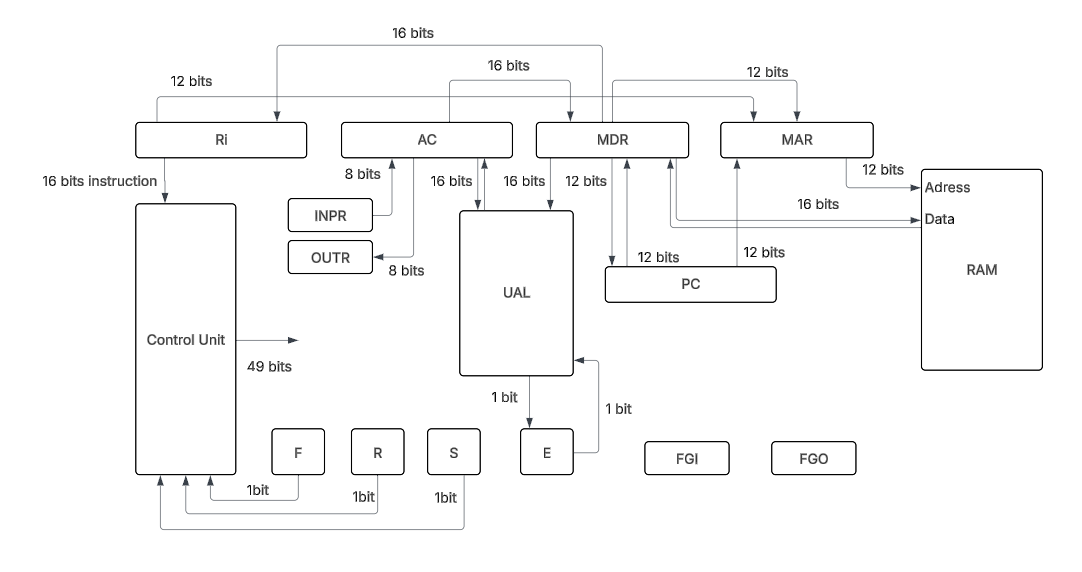
1. Fonctions de contrôle, et cycles du processeur de base en LTR

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **Cycle** | | | **Fonctionde contrôle** | **Micro-opération** |
| **LECTURE** | | | **F1 c0t0**  **F2 c0t1**  **F3 c0t2**  **F4 (q7I) c0t3**  **F5 (q7+ Ī) c0t3** | **MAR****(PC) MDR****M(MAR), PC****(PC)+1 RI** **(MDR)**  **R** **1**  **F** **1** |
| **INDIRECT** | | | **F6 c1t0**  **F7 c1t1**  **F9 c1t2**  **F9 c1t3** | **MAR** **RI [ADR]**  **MDR****M(MAR)**  **Rien**  **F** **1, R** **0** |
| **I R M** | **AND** | **I** 000ADR | **F10 q0c2t0 F11 q0c2t1 F12 q0c2t2**  **F13 c2t3** | **MAR** **MDR [ADR] MDR****M(MAR) AC****(AC)**  **(MDR)**  **F** **0** |
| **ADD** | **I 001ADR** | **F14 q1c2t0**  **F15 q1c2t1 F16 q1c2t2** | **MAR** **MDR [ADR]**  **MDR****M(MAR) AC****(AC) + (MDR)** |
|  |  |
| **LDA** | **I 010ADR** | **F17 q2c2t0**  **F18 q2c2t1 F19 q2c2t2** | **MAR** **MDR [ADR]**  **MDR****M(MAR) AC** **(MDR)** |
| **STA** | **I 011ADR** | **F20 q3c2t0 F21 q3c2t1**  **F22 q3c2t2** | **MAR** **MDR [ADR] MDR****(AC)**  **M(MAR)**  **(MDR)** |
| **BIN** | **I 100ADR** | **F23 q4c2t0** | **PC** **MDR[ADR]** |
| **BSA** | **I 101ADR** | **F24 q5c2t0**  **F25 q5c2t1 F26 q5c2t2** | **MAR** **MDR[ADR],MDR[ADR]****(PC), PC** **MDR[ADR]**  **M(MAR)**  **(MDR) PC****(PC)+1** |
| **ISZ** | **I 110ADR** | **F27 q6c2t0 F28 q6c2t1 F29 q6c2t2**  **F30 q6c2t3** | **MAR** **MDR [ADR] MDR****M(MAR) MDR****(MDR)+1**  **M(MAR)****(MDR), si(MDR)=0alors PC****(PC)+1** |
| **I R R** | **CLA** | **7800H** | **F31 q7 Ī D5c2t0** | **AC** **0** |
| **CLE** | **7400H** | **F32 q7ĪD6c2t0** | **E** **0** |
| **CMA** | **7200H** | **F33 q7ĪD7c2t0** | **AC** **(AC)** |
| **CME** | **7100H** | **F34 q7ĪD8c2t0** | **E** **E** |
| **CIR** | **7080H** | **F35 q7ĪD9c2t0** | **CIR EAC** |
| **CIL** | **7040H** | **F36 q7ĪD10c2t0** | **CIL EAC** |
| **INC** | **7020H** | **F37 q7ĪD11c2t0** | **EAC** **(AC)+1** |
| **SPA** | **7010H** | **F38 q7ĪD12c2t0** | **Si AC(1) = 0 alors PC****(PC)+1** |
| **SNA** | **7008H** | **F39 q7ĪD13c2t0** | **Si AC(1) = 1 alors PC****(PC)+1** |
| **SZA** | **7004H** | **F40 q7ĪD14c2t0** | **Si (AC) = 0 alors PC****(PC)+1** |
| **SZE** | **7002H** | **F41 q7ĪD15c2t0** | **SI E = 0 alors PC****(PC)+1** |
| **HLT** | **7001H** | **F42 q7ĪD16c2t0** | **S** **0** |
|  | **INP** | **F800H** | **F43 q7ID5c2t0** | **AC(9-16)****(INPR) ,FGI** **0** |
| **I E S** | **OUT** | **F400H** | **F44 q7ID6c2t0** | **OUTR****AC(9-16) ,FGO** **0** |
| **SFI** | **F200H** | **F45 q7ID7c2t0** | **Si FGI = 1 alors PC****(PC)+1** |
| **SFO** | **F100H** | **F46 q7ID8c2t0** | **Si FGO = 1 alors PC****(PC)+1** |
| **LDI** | **F080H** | **F47 q7ID9c2t0 F48 q7ID9c2t1**  **F49 q7ID9c2t2** | **MAR****(PC) MDR****M(MAR), PC****(PC)+1**  **AC** **(MDR)** |
|  |  |

1. Circuits de contrôle des éléments du processeur de base :

|  |  |  |  |
| --- | --- | --- | --- |
| **Elément** | **sources** | **Destinations** | **Fonctions de contrôle** |
| PC | MDR | MAR, MDR[ADR] | F2,F23,F24,F26,F30,F38,F39,F40,F41,F45,F46,  F48 |
| MAR | PC, RI[ADR], MDR[ADR] | RAM(ADR), | F1,F6,F10,F14,F17,F20,F24,F27,F47 |
| MDR | RAM(données), PC, AC | RAM(données), UAL, PC, RI | F2,F7,F11,F15,F18,F21,F24,F28,F29,F48 |
| RI | MDR | MAR | F3 |
| AC | UAL, INPR | UAL, MDR, OUTR | F12,F16,F19,F31,F33,F35,F36,F37,F43,F49 |
| UAL | AC, MDR | AC | F31,F19,F35,F16,F49  F37,F33,F36 |
| INPR |  | AC(9-16) |  |
| OUTR | AC(9-16) |  | F44 |
| F |  |  | F5,F9,F13, |
| R |  |  | F4,F9 |
| E | Retenue de sortie de l’UAL | Retenue en entrée de l’UAL | F32,F34,F35,F36,F37 |
| FGI |  |  | F43 |
| FGO |  |  | F44 |
| S |  |  | F42 |
| RAM | MDR(données), MAR(adr) | MDR | F22,F25,F30 |

1. schéma synoptique précis du PB et de la RAM

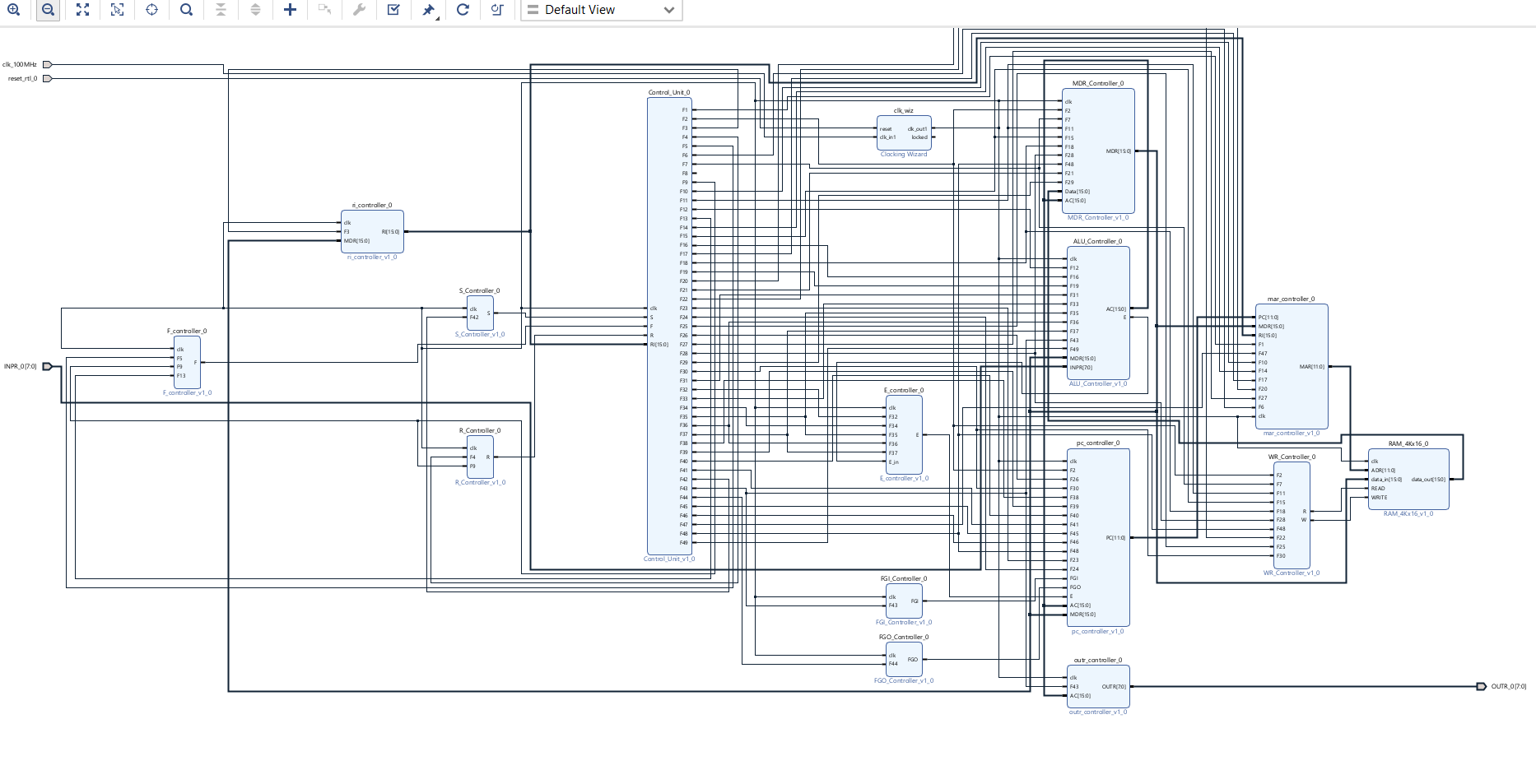
Les 49 bits de l’unité de control seront connecter a tous les blocks en respectant le tableau 2 pour contrôler chaque block

1. Code Verilog :

Vous allez trouver le code complet sur GitHub :

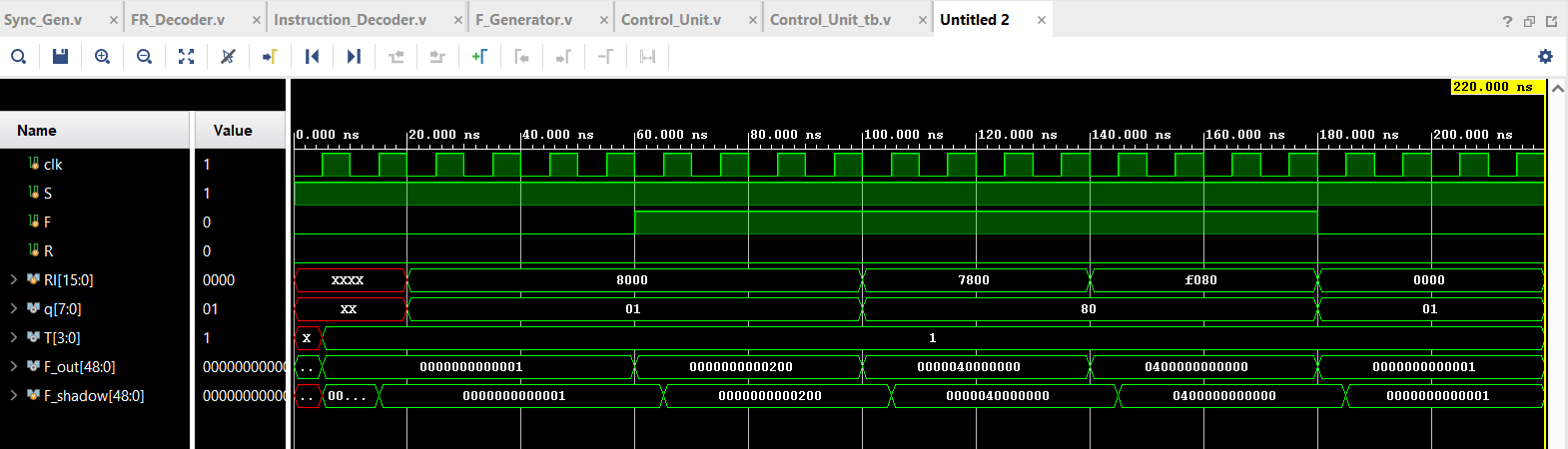
Le lien est le suivant : <https://github.com/Lylia-dev/processeur_de_base>

J’ai créé pour chaque block un IP puis j’ai rassemblé le tout dans un block design (le projet intitule processeur) le schéma global sur Vivado est le suivant :



Les résultats de Simulations sont aussi sur GitHub dans le même repo, exactement dans le fichier Sim\_Imgs

Vous prouvez télécharger le projet et simuler mais il faut inclure le chemin des ips correctement avant même de synthétiser

L’image suivante représente le résultat de simulation de l’unité de contrôle :

Pour plusieurs test Bench l’unité de contrôle fonctionne correctement les sorties sont sous forme de vecteur pour la simulation seulement

Vous pouvez télécharger le projet de chaque élément du même GitHub repo et les tester un par un ou directement utiliser le projet global (processeur)