

关于第 3 次作业的补充说明：

1. 理论题第 2 题

画图时，除非门以外，默认一个门只有两个输入端口，不允许出现三个或四个输入端口的情况。

Parity generator 和 parity checker 是两个互相独立的电路，不共享输入输出。可以认为 Parity generator 有四个输入端 A1,B1,C1,D1，一个输出端 P1；parity checker 有四个输入端 A2,B2,C2,P2，一个输出端 CP。

2. 理论题第 6 题

题目要求实现一个全减器，要考虑是否被低位借位 (B_{in})，以及是否需要向高位借位 (B_{out})。

两个 multiplexers 都需要按照图示连接 $S_1 = X$ 和 $S_0 = Y$ 。需要设计的是 B_{in} 如何连接到两个 multiplexers 上，以及这两个 multiplexers 的输出端口与 Diff 和 B_{out} 的关系。

3. 实验 task2

1) 关于 74151 的 testbench 构建，可参考以下表格：

- a. 当 EN 信号为 1 时，仅需测试一种数据输入的组合，即 $\{D7,D6,D5,D4,D3,D2,D1,D0\} = 8'B1111_1111$
- b. 当 EN 信号为 0 时，仅当前被选中给输出的数据输入信号为高电平，其他的输入信号为低电平。例如：
 - a) 当 $\{S2,S1,S0\}$ 为 $3'b000$ 时，仅 $D0$ 为 1，其他的数据输入为 0，即此时 $\{D7,D6,D5,D4,D3,D2,D1,D0\} = 8'B1111_1110$;
 - b) 当 $\{S2,S1,S0\}$ 为 $3'b001$ 时，仅 $D1$ 为 1，其他的数据输入为 0，即此时 $\{D7,D6,D5,D4,D3,D2,D1,D0\} = 8'B1111_1110$;
 - c) 当 $\{S2,S1,S0\}$ 为 $3'b111$ 时，仅 $D7$ 为 1，其他的数据输入为 0，即此时 $\{D7,D6,D5,D4,D3,D2,D1,D0\} = 8'B0111_1111$;
 - d) 当 EN 为 0， $\{S2,S1,S0\}$ 取其他值的情况以此类推。

inputs				output	
EN	S2	S1	S0	Y	W
1	X	X	X	0	1
0	0	0	0	D0	D0'
0	0	0	1	D1	D1'
0	0	1	0	D2	D2'
0	0	1	1	D3	D3'
0	1	0	0	D4	D4'
0	1	0	1	D5	D5'
0	1	1	0	D6	D6'
0	1	1	1	D7	D7'
function table for 74151					

2) 使用一个 74151 实现指定电路时, 要求 A,B,C 连接该 74151 的 3bit 选择信号(其中 S2 是选择信号的高 bit 位, S0 是选择信号的低位 bit 位), 连接关系是: A 绑定 S2, B 绑定 S1, C 绑定 S0.

3) 使用两个 74151 实现指定电路时, 要求 A,B,C,D 连接 16 选 1 的 4bit 选择信号 (其中 S3 是选择信号的高 bit 位, S0 是选择信号的低位 bit 位), 连接关系是: A 绑定 S3, B 绑定 S2, C 绑定 S1, D 绑定 S0.