

Hardware Description Language (HDL)

数据类型：线网 (Net)、变量

0 逻辑
1 未知
X or x 高阻
Z or z 低阻

逻辑表达： $<\text{位宽}>'<\text{进制}><\text{数学}>$
 $<\text{进制}><\text{数字}>$ ：缺省位宽至少32位
 $<\text{数字}>$ ：缺省进制十进制，位宽32位

wire 定义格式：n位的 wire 变量：wire [n-1:0] 变量名
无指定默认1位

case / casez / casex

三者都可以综合.

		1 means match, 0 means NOT match					
case		a	b	0	1	x	z
a	0	1	0	0	0		
	1	0	1	0	0		
	x	0	0	1	0		
	z	0	0	0	1		

		1 means match, 0 means NOT match					
casez		a	b	0	1	x	z
a	0	1	0	0	0		
	1	0	1	0	0		
	x	0	0	1	1		
	z	1	1	1	1		

		1 means match, 0 means NOT match					
casex		a	b	0	1	x	z
a	0	1	0	1	1		
	1	0	1	1	1		
	x	1	1	1	1		
	z	1	1	1	1		

case 的值有 0, 1, x, z,
需严格相等才能接着操作
casez 有 0, 1, x, 不关心 z.
即 z = 0, 1, 或 x.

均不用 break; 执行完一支即结束分支.

在综合后, casex / casez 效果一样.

赋值语句:

① 非阻塞赋值 (Non-Blocking): $b \leftarrow a$:

- a. 语句块中, 上面语句所赋值的变量不能立即为下面语句所用;
- b. 块结束后才能完成赋值操作
- c. 可综合时序逻辑常用.

② 阻塞赋值 (Blocking): $b = a$:

- a. 赋值语句完成后, 块才结束
- b. b 的值在赋值语句执行完成后立刻改变

\$display = 打印出瞬时值

\$strobe = 在当前时间步长结束时打印值