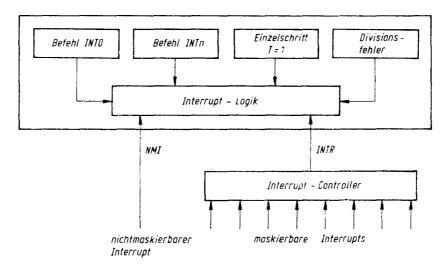
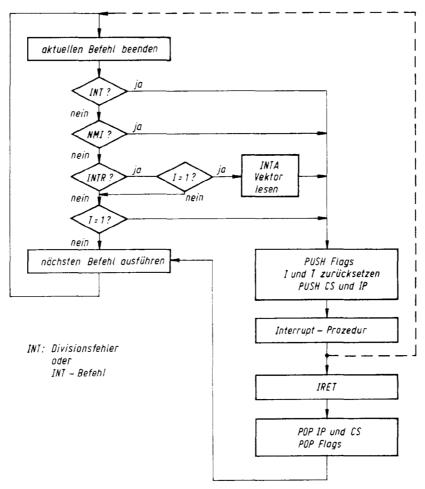
Interrupt-Behandlung des 8086

Interrupt-Quellen



Ablauf der Interrupt-Behandlung



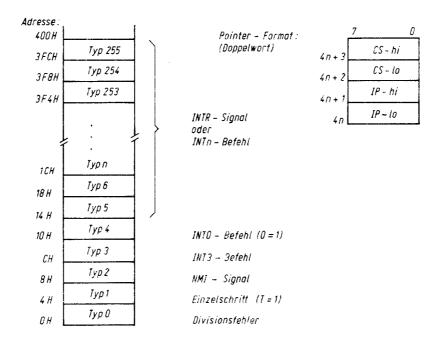
Maskierbarer Interrupt

Die externen INT-Anforderungen sind asynchrone, durch die Peripherie ausgelöste Ereignisse, auf die der Mikroprozessor reagieren soll.

Anforderungen über INTR sind maskierbar: wird das I-Flag auf auf "0" gesetzt (CLI), werden Interruptanforderungen über dieses Pin ignoriert. Bei auf "1" gesetztem Flag (STI), wird im Falle eines Interrupts eine INT-Anerkennung eingeleitet:

- 1. Es werden zuerst zwei Buszyklen generiert, die dem Lesen eines Vektorbytes von einem externen INT-Controller dienen. Dieses Vektorbyte wird als Typnummer für die Interrupt-Vektortabelle interpretiert.
- 2. Der Prozessor liest die Startadresse der INT-Serviceroutine (ISR) aus der INT-Vektortabelle.
- 3. ... weiter wie im Schema oben angegeben.

Aufbau der INT-Vektor-Tabelle



Interruptklassen und Priorität

Priorität	Klasse	Ausführungszeit
höchste	Divisionsfehler	50 Takte
	INT 3 INTO INT n	52 Takte 53 Takte 51 Takte
	NMI	50 Takte
	INTR	61 Takte
niedrigste	Einzelschritt	50 Takte