

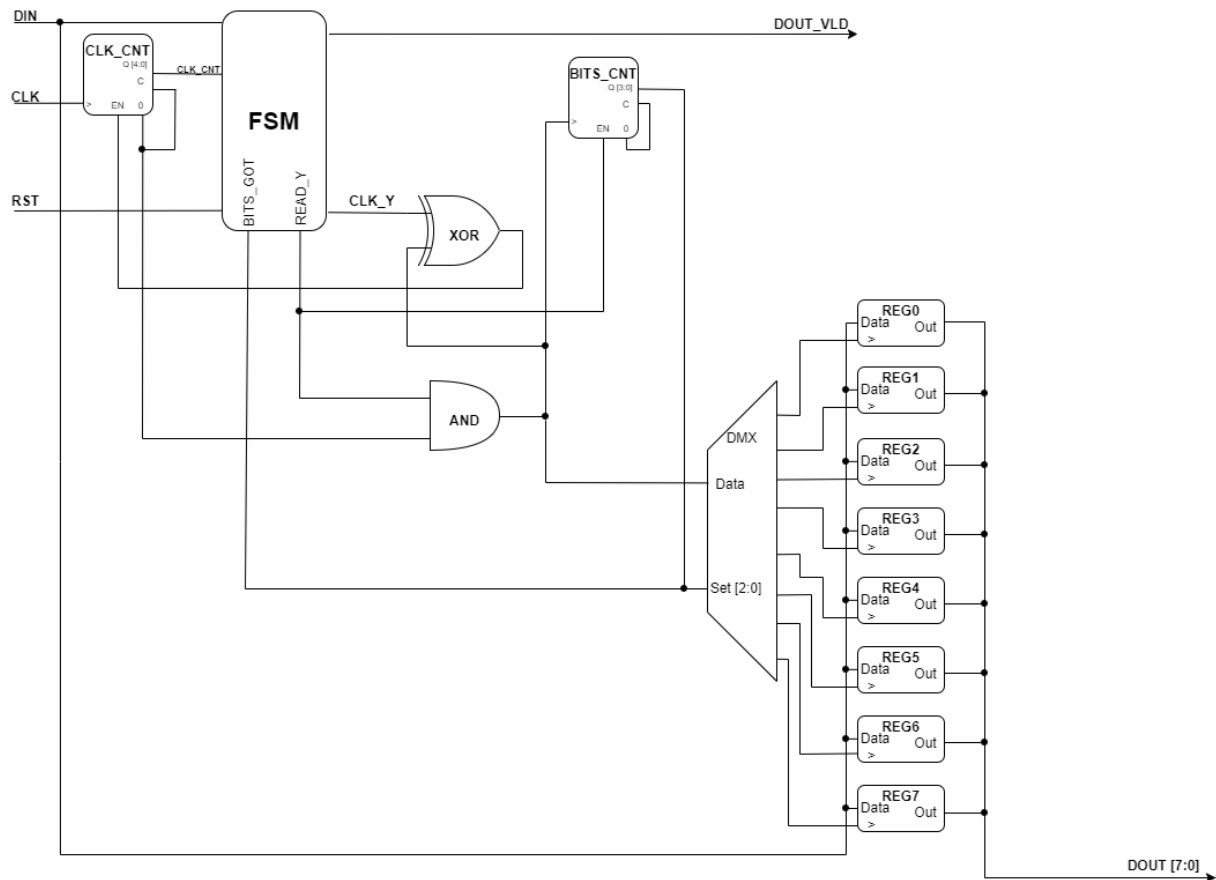
Výstupná správa

Meno: Hugo Boháčsek

Login: xbohach00

Architektúra navrhnutého obvodu (na úrovni RTL)

Schéma obvodu



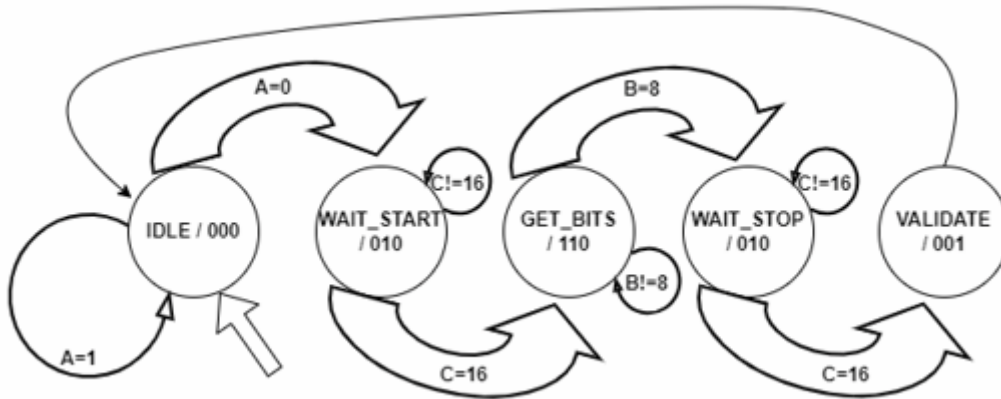
Popis funkcie

Hodinový signál a počet načítaných bitov sú počítané čítačmi a prenášané do FSM, ktorý zodpovedá za postupnú zmenu stavov obvodu a zároveň za výstup výsledkov. V prípade potreby, je možné obvod a jeho súčasti asynchrónne resetovať.

Demultiplexor je využitý na postupné priraďovanie hodnôt DIN do 8 jednobitových registrov. Pomocou hodnoty bitového čítača sa vyberie register, ktorý bude ovládaný stavovým automatom. Po spracovaní všetkých 8 bitov získame výslednú hodnotu (slovo) na DOUT.

Návrh automatu (Finite State Machine)

Schéma obvodu



Legenda:

- Stavy automatu:
 - IDLE
 - WAIT_START
 - GET_BITS
 - WAIT_STOP
 - VALIDATE
- Vstupy:
 - DIN -> A
 - BITS_GOT -> B
 - CLK_CNT -> C
- Výstupy:
 - READ_Y
 - CLK_Y
 - DOUT_VLD

Popis funkcie:

Tento konečný stavový automat FSM má cyklickú štruktúru a po vykonaní akcií sa vracia do počiatočného stavu IDLE.

Automat najprv čaká na prvý bit „start“, po ktorom čaká určitý čas na načítanie údajov zo vstupu (8 bitov). Následne očakáva príchod „stop“ bitu, po ktorom assertne DOUT na DOUT_VLD a vráti sa do stavu IDLE.

Chýbajúce prechody nie sú zohľadnené, pre ich bezvýznamnosť, majú hodnotu „X“. Automat sa nesnaží ošetriť chybné vstupné dáta, jeho chovanie je v takom prípade teda nedefinované.

Snímok zo simulácie

