



بسمه تعالی
طراحی سیستم‌های قابل بازپیکربندی
نیمسال اول ۱۴۰۳-۱۴۰۴
تمرین اول



دانشگاه صنعتی امیرکبیر
(پلی تکنیک تهران)

تحويل در روز سه‌شنبه مورخ ۱۴۰۳/۰۸/۰۸

- ارسال تمرینات به صورت الکترونیکی و از طریق سامانه دروس خواهد بود. فایل ارسالی شما فایل zip با نام sid_hs.zip است که sid شماره دانشجویی و hs شماره سری تمرین است. پرسش‌هایی که پاسخ آن‌ها ماهیت تشریحی و تحلیلی دارد را به صورت تایپ‌شده یا دستی نوشته و به صورت یک فایل PDF ذخیره نمایید.
 - زمان تحويل هر سری از تمرینات مشخص بوده و امکان تغییر آن وجود ندارد. در حل تمرینات، می‌توانید با یکدیگر همفکری و بحث نمایند ولی هر شخص می‌بایست در نهایت پاسخ و استدلال خود را به صورت انفرادی بنویسد و در صورت شباهت پاسخ، تمامی افراد نمره تمرین را از دست خواهند داد.
 - برای هر روز دیرکرد در ارسال تمرین ۱۰ درصد جریمه اعمال خواهد شد. ارسال دیر هنگام فقط تا ۲ روز پس از زمان مقرر شده امکان‌پذیر است و پس از آن نمره تمرین صفر در نظر گرفته خواهد شد.
- چنانچه ابهامی در زمینه تمرینات دارید، می‌توانید اشکالات خود را از طریق پست الکترونیکی زیر با موضوع RCS-2024 مطرح نمایید.

h.malakouty@aut.ac.ir

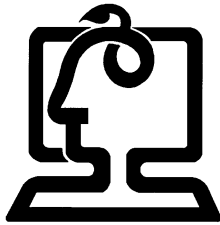
ملکوتی

موفق و پیروز باشید



۱- با ذکر دلیل بیان کنید جملات زیر صحیح هستند یا خیر.

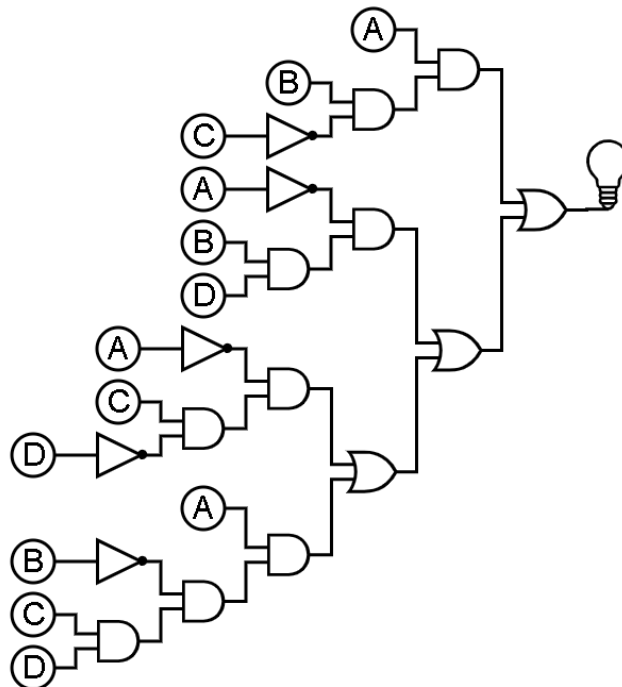
- در یک پروژه با زمان محدود بهترین راه جهت پیاده‌سازی الگوریتم پردازشی استفاده از تراشه‌های قابل بازپیکربندی است.
- طراحی‌های مبتنی بر پردازنده‌های همه منظوره و تراشه‌های خاص منظوره، دو انتهای بردار کارایی و انعطاف‌پذیری هستند.
- معماری قابل بازپیکربندی جهت حل مشکل دسترسی حافظه در کامپیوتر فون نوین ارائه شده است.
- در کاربردهای فضایی و محیط‌های دارای تشعشعات زیاد، تراشه‌های مبتنی بر FLASH بهترین گزینه انتخابی هستند.
- از تراشه‌های مبتنی بر آنتی‌فیوز به دلیل مقاومت مناسب در برابر دمای بالا در کاربردهای صنعتی استفاده می‌شود.
- تراشه‌های CGRA با دارابودن واحدهای خاص منظوره بیشتر، توان کمتری نسبت به FPGAها دارند.
- استفاده از FPGAها در مقایسه با تولید یک تراشه خاص باعث کاهش هزینه تولید محصول خواهد شد.
- یک ASIC همواره سریعتر از یک FPGA دستورات پردازشی سطح بالا را انجام خواهد داد.
- افزایش تعداد ورودی یک LUT همواره باعث افزایش سرعت مدار پیاده‌سازی شده با استفاده از آن خواهد شد.
- بلوک‌های UltraRAM در کنار بلوک‌های DSP برای پیاده‌سازی الگوریتم‌های هوش مصنوعی به کمک FPGA خانواده Zynq بسیار مناسب هستند.



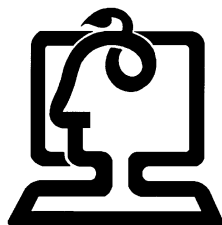
تحويل در روز سه‌شنبه مورخ ۱۴۰۳/۰۸/۰۸

۲- در یک سیستم ایمنی مرتبط با خودرو نیاز به طراحی یک سیستم ایمنی با قابلیت اطمینان بالا می‌باشد که بایستی دارای امکان به‌روزرسانی الگوریتم ایمنی نیز باشد. همچنین زمان عملکرد سیستم نیز بایستی به صورت Hard Real-time باشد. برای طراحی این سیستم در صورت نمونه‌سازی و در صورتی که ۱ میلیون نسخه از آن نیاز باشد استفاده از چه نوع بستر پردازشی را پیشنهاد می‌نمایید؟ برای انجام محاسبات، هزینه‌های مربوط به ساخت معماری پیشنهادی خود را از اینترنت استخراج نمایید.

۳- می‌خواهیم مدار زیر را یک بار با LUT‌های ۳ ورودی و بار دیگر با LUT‌های ۴ ورودی پیاده‌سازی کنیم به طوری که در هر حالت تعداد LUT‌های مورد استفاده کمینه باشد.



۴. معماری سویچ‌های Wilton و Disjoint را توضیح داده و میزان F_s را در هر یک گزارش نمایید. آیا معماری دیگری برای اتصال سویچ‌ها می‌شناسید؟



تحويل در روز سه‌شنبه مورخ ۱۴۰۳/۰۸/۰۸

۵. آشنایی اولیه با ابزار ویوآدو:

در این درس دانشجویان با استفاده از ابزار ویوآدو^۱ از شرکت زایلینکس^۲ به انجام پروژه‌ها خواهند پرداخت. هدف از انجام پروژه‌ها، آشنایی عملی با طراحی توأم^۳ بر روی سیستم‌های قابل بازپیکربندی است. برای این منظور در این بخش در ابتدا دانشجویان می‌بایست نرم‌افزار ویوآدو را بر روی سیستم خود نصب کنند. سپس با بررسی لینک زیر در ارتباط با نحوه طراحی توأمان و نحوه کار با ابزار آشنایی لازم را کسب کرده و توضیحات موردنیاز را در ارتباط با این نوع طراحی ارائه دهند.

https://www.youtube.com/watch?v=_odNhKOZjEo

<https://www.youtube.com/watch?v=AOy5l36DroY>

پروژه مشابه موارد یاد شده در دو ویدئو نیز بایستی به همراه پاسخ تمرین‌ها بارگذاری شود. جهت دانلود نرم‌افزار ویوآدو از لینک زیر استفاده نمایید. نسخه پیشنهادی ۲۰۲۰.۲ به بعد می‌باشد. به دلیل مشکل احتمالی در فعال‌ساز بهتر است از نسخه ۲۰۲۴ استفاده نشود.

<https://downloadly.ir/software/engineering-specialized/xilinx-vivado-design-suite/>

^۱ Vivado

^۲ Xilinx

^۳ Codesign