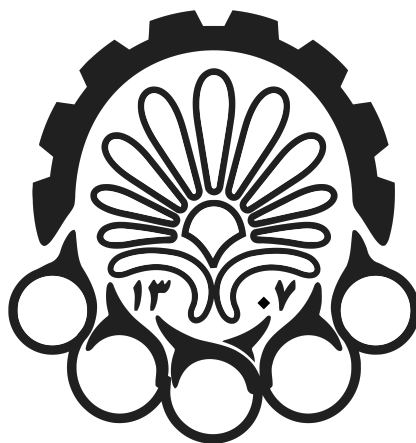


طراحی سیستم‌های قابل بازیگر بندی
دکتر صاحب‌الزمانی



دانشگاه صنعتی امیرکبیر
(پلی تکنیک تهران)
دانشکده مهندسی کامپیوتر

رضا آدینه پور ۴۰۲۱۳۱۰۵۵

تمرین سری چهارم

۳۰ آذر ۱۴۰۳



دانشکده مهندسی کامپیوتر

طراحی سیستم‌های قابل بازپیکربندی

تمرین سری چهارم

رضا آدینه پور ۴۰۲۱۳۱۰۵۵

سوال اول

با ذکر دلیل بیان کنید جملات زیر صحیح هستند یا خیر.

- نگاشت فناوری (technology mapping) می‌تواند بر اساس نوع شبکه ورودی به دو دسته ترکیبی یا ترتیبی طبقه‌بندی شود.

پاسخ

درست.

این گزاره درست است. بر اساس آنکه شبکه ورودی چه باشد نیاز است تا مشخص شود که فرایند نگاشت قرار است از چه نوعی باشد تا بر اساس آن منابع را اختصاص دهد.

- هدف اصلی نگاشت فناوری FPGA فقط کمینه‌سازی مساحت اشغال شده توسط جداول جستجو است.

پاسخ

نادرست.

علاوه بر کمینه‌سازی مساحت (یا تعداد LUT) های مصرفی، کمینه‌سازی تاخیر سیگنال‌ها (افزایش سرعت)، افزایش قابلیت مسیریابی (Routability) و کاهش توان مصرفی نیز جزء اهداف نگاشت فناوری است.

- نگاشت فناوری FPGA عمدتاً از جداول جستجو (LUT) برای عملیات خود استفاده می‌کند و فقط شامل نگاشت LUT است.

پاسخ

درست.

چون در FPGA ها Logic Element ها متشکل است از LUT ها، بنابراین در فرایند نگاشت فناوری در FPGA ها فقط از LUT ها استفاده می‌شود.

- شبیه‌سازی پس از چیدمان (post-layout) اطلاعات کمتری نسبت به شبیه‌سازی قبل از سنتز ارائه می‌دهد.

پاسخ

نادرست.

در شبیه‌سازی پس از چیدمان، اطلاعات کامل طرح (شامل طول سیم‌ها، تعداد سویچ‌های موجود در مسیر)، تأخیرهای دقیق (حداکثر فرکانس کلاک) در نظر گرفته می‌شوند. این اطلاعات در شبیه‌سازی قبل از سنتز وجود ندارد، زیرا شبیه‌سازی قبل از سنتز مبتنی بر توصیف منطقی مدار (RTL) است و فاقد اطلاعات فیزیکی دقیق است.

- Chortle-d برای بهینه‌سازی مساحت طراحی شده است.

پاسخ

نادرست.

این الگوریتم با هدف بهینه‌سازی و مینیم کردن تاخیر ارائه شده است.

- الگوریتم نگاشت ترتیبی می‌تواند فلیپ‌فلاپ‌ها را در طول فرآیند نگاشت جابجا کند.

پاسخ

درست.

قابلیت جابجایی فلیپ‌فلاپ‌ها در نگاشت ترتیبی (با استفاده از Retiming) یکی از ابزارهای اصلی بهینه‌سازی است و امکان طراحی‌های کاراتر و بهینه‌تر را فراهم می‌آورد.

- الگوریتم FlowMap تأخیر سیگنال‌ها را در طراحی‌های نگاشت شده حداقل می‌کند.

پاسخ

درست.

FlowMap گره‌های یک مدار منطقی را به گره‌های کوچک‌تر (مانند LUTها در FPGA) تقسیم می‌کند، به گونه‌ای که طولانی‌ترین مسیر بحرانی (Critical Path) کمترین تأخیر ممکن را داشته باشد.

- بهینه‌سازی برای مساحت در نگاشت منجر به کاهش تأخیر نیز می‌شود.

پاسخ

نادرست.

این گزاره هم می‌تواند درست باشد و هم نادرست. اگر بهینه‌سازی برای مساحت به معنای کاهش تعداد منابع سخت‌افزاری مورد استفاده (مانند تعداد LUTها یا گیت‌ها) باشد گزاره **نادرست** است. اما اگر کاهش مساحت به معنای حذف منطق غیرضروری یا ساده‌تر کردن مدار باشد، مسیرهای بحرانی نیز ممکن است کوتاه‌تر شوند، که منجر به کاهش تأخیر می‌شود و گزاره **درست** است.

- کارایی مسیریابی مستقل از جایابی در طراحی‌های FPGA است.

پاسخ

نادرست.

طراحی‌ها درون FPGA به شدت به Placement وابسته است. تصمیمات مربوط به جایابی می‌توانند تأثیر زیادی بر کارایی مسیریابی داشته باشند.

- در شبیه‌سازی تبرید (simulated annealing)، کاهش هزینه همیشه منجر به پذیرش یک حرکت می‌شود.

پاسخ

درست.

در شبیه‌سازی تبرید، کاهش هزینه ($\Delta cost < 0$) همیشه منجر به پذیرش حرکت می‌شود، زیرا هدف الگوریتم یافتن نقطه بهینه با کمترین هزینه است. این ویژگی یکی از اصول اساسی این الگوریتم است که به آن اجازه می‌دهد به تدریج به سمت بهینه‌سازی حرکت کند.

- تابع هزینه در VPR بر اساس طول مسیر و تراکم می‌باشد.

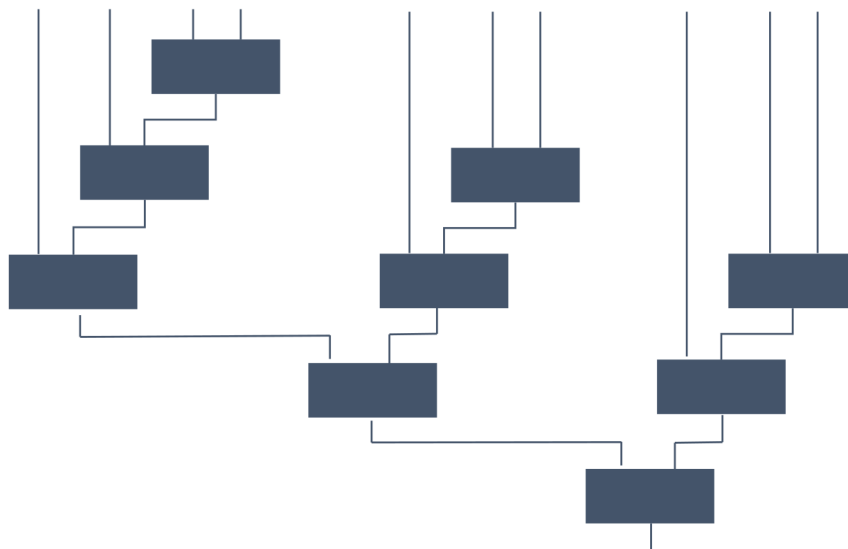
پاسخ

درست.

تابع هزینه در VPR یک ترکیب وزن‌دار از طول مسیر و تراکم است. این ترکیب به طراح اجازه می‌دهد که بسته به نیاز، روی کاهش تأخیر یا جلوگیری از تراکم بیشتر تمرکز کند.

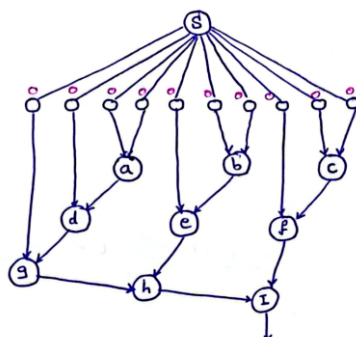
سوال دوم

در کلاس درس، مدار زیر را با هدف حداقل کردن تأخیر به صورت دستی روی LUTهای ۴ ورودی نگاشت کرده‌اید. الگوریتم FlowMap را روی این گراف اجرا کنید و مراحل آن را نشان دهید و نتیجه نگاشت را رسم کنید. هر مستطیل نماینده یک گیت است.



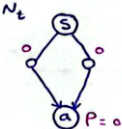
شکل ۱: شکل سوال ۲

پاسخ

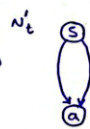


ابتداءً همه Primary Input ها Label=0 می‌دهیم. سپس همه Node ها را مرحله به مرحله بررسی می‌کنیم و Label آنها را تعیین می‌کنیم. ترتیب بررسی Node ها: $\{a, b, c, d, e, f, g, h, i\}$

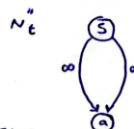
① Node $\frac{a}{p}$:



Collapsing



input LUT size



$X_b = \{a\}$ ، $L(a) = p+1 = 1$ پس $K=4$ یا نه

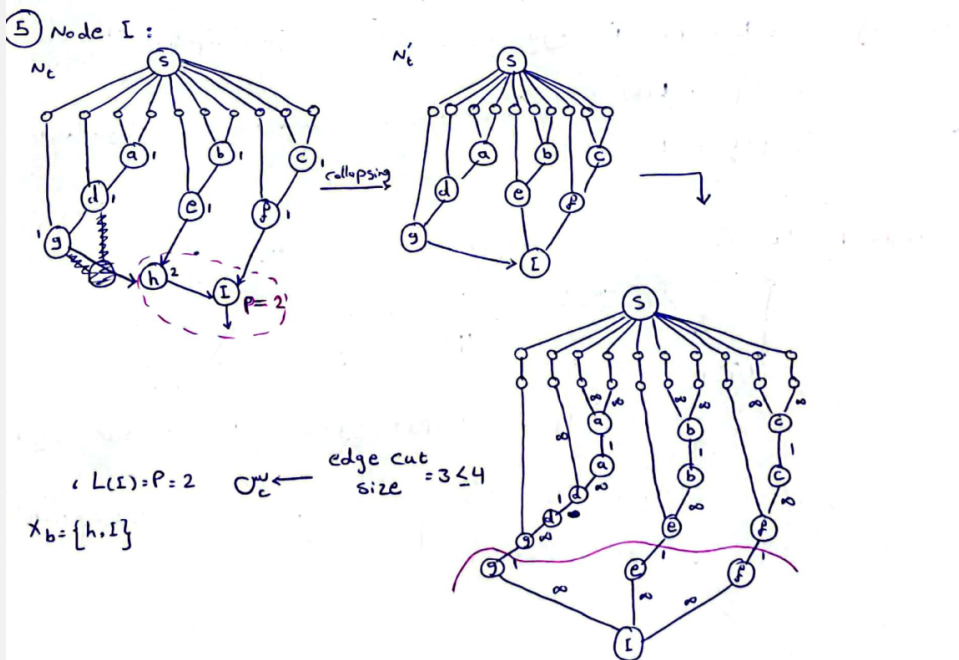
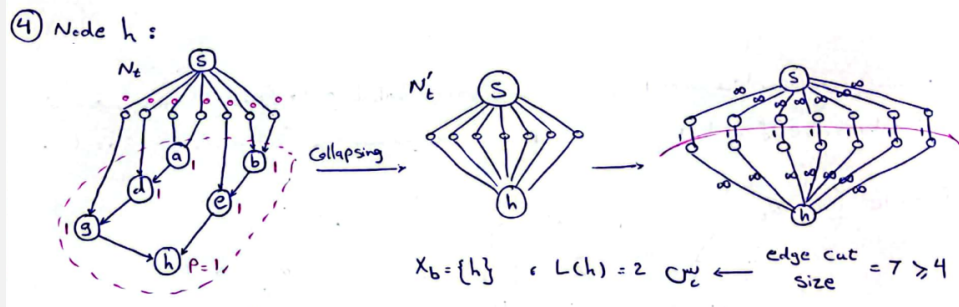
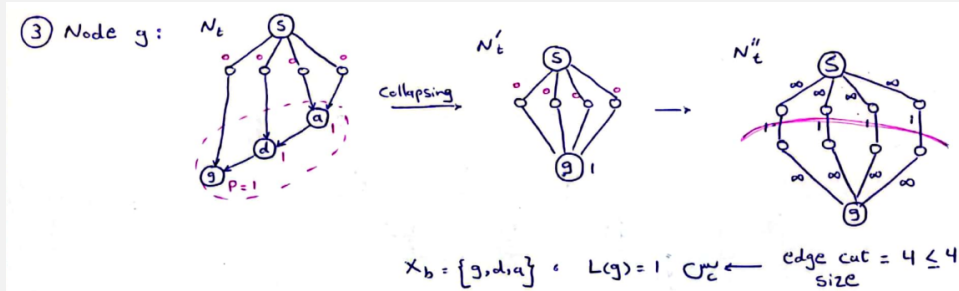
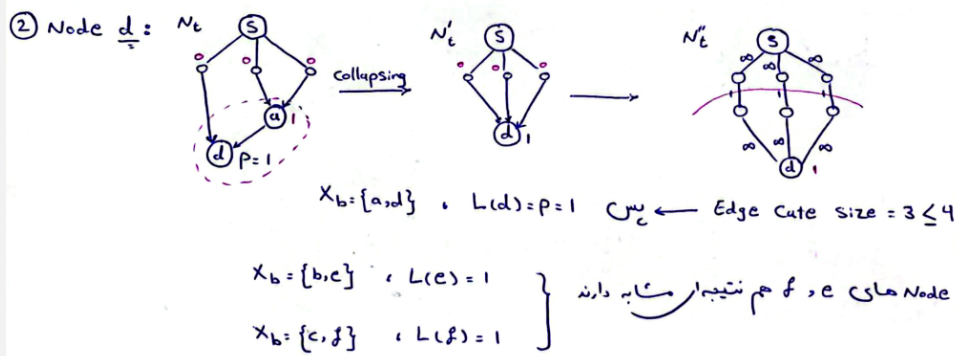
edge cut size ای نداریم که کوچکتر یا مساوی $K=4$ باشد

$X_b = \{b\}$ ، $L(b) = 1$

$X_b = \{c\}$ ، $L(c) = 1$

Node های b و c هم دقیقاً مانند a محاسبه می‌شوند

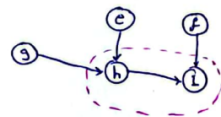
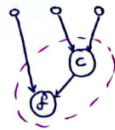
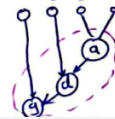
پاسخ



پاسخ

Phase 2 :

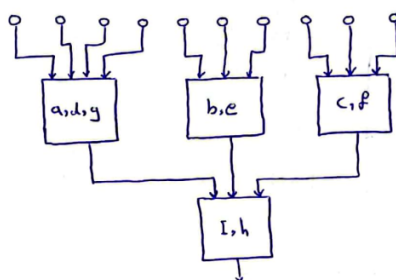
Node	Label	cluster
a	1	{a}
b	1	{b}
c	1	{c}
d	1	{a,d}
e	1	{b,e}
f	1	{c,f}
g	1	{g,d,a}
h	2	{h}
I	2	{h,I}

Primary output = $L = \{I\}$ step ① : $L = \{I\} \rightarrow \text{cluster} = \{h, I\}$ Input $\{I'\} = \{f, e, g\}$ $L = \emptyset \cup \{f, e, g\} = \{f, e, g\}$ step ② : $L = \{f, e, g\} \rightarrow \text{cluster} = \{c, f\} \rightarrow L = \{\cancel{f}, e, g\} = \{e, g\}$ step ③ : $L = \{e, g\} \rightarrow \text{cluster} = \{b, e\} \rightarrow L = \{\cancel{e}, g\} = \{g\}$ step ④ : $L = \{g\} \rightarrow \text{cluster} = \{g, d, a\} \rightarrow \begin{cases} \text{Input } \{G'\} = \{\} \\ L = \emptyset \cup \emptyset = \emptyset \end{cases}$ 

پاسخ

⇒ Final Result :

Root	Element
I	{I, h}
f	{c, f}
c	{b, e}
g	{a, d, g}



Max Delay = 2

سوال سوم

سه نمونه مختلف از الگوریتم‌های مورد استفاده در نگاشت تکنولوژی FPGA (غیر از الگوریتم‌های تدریس شده) را به طور خلاصه توضیح دهید (برای هر کدام یک پاراگراف) و سپس بررسی کنید که چگونه می‌توان آنها را بر اساس توابع هدف و انواع شبکه‌های ورودی طبقه‌بندی کرد.

پاسخ

الگوریتم‌های مورد بررسی به صورت زیر است:

۱. Performance driven technology mapping for lookup-table based FPGAs using the general delay model [۱]

در این مقاله، الگوریتمی کارآمد برای نگاشت فناوری مبتنی بر عملکرد برای معماری‌های FPGA مبتنی بر lookup-table با استفاده از مدل تأخیر عمومی ارائه داده شده است. از آنجا که این الگوریتم هیچ محدودیتی بر مقادیر مجاز تأخیر لبه‌ها اعمال نمی‌کند، می‌تواند از اطلاعات تأخیری که در مرحله جایابی تولید می‌شود استفاده کرده و فرآیند نگاشت فناوری را در یک حلقه تکراری به صورت هوشمند هدایت کند.

این الگوریتم از مجموعه‌ای از وزن‌های گره برای اندازه‌گیری میزان بحرانی بودن گره‌ها در یک شبکه بولین استفاده می‌کند. سپس یک جستجوی عمق اول هدایت‌شده به کار می‌رود تا یک ترتیب توپولوژیکی از گره‌ها تولید شود و این ترتیب برای هدایت مرحله خوشه‌بندی استفاده می‌شود. یکی از ویژگی‌های مهم این الگوریتم این است که به‌طور خودکار از مسیرهای همگرا در شبکه استفاده می‌کند.

۲. Placement-Driven Technology Mapping for LUT-Based FPGAs [۲]

این مقاله به مطالعه مسئله نگاشت فناوری مبتنی بر جایابی برای معماری‌های FPGA مبتنی بر Table-Lookup به منظور بهینه‌سازی عملکرد مدار پرداخته شده است. کارهای اولیه در حوزه نگاشت فناوری برای FPGAها مانند Chortle-d و Flowmap بر بهینه‌سازی عمق راه‌حل نگاشت‌شده تمرکز داشتند، بدون اینکه تأخیر اتصالات بین‌گره‌ای را در نظر بگیرند. کارهای بعدی مانند Flowmap-d، Bias-Clus و EdgeMap تأخیر اتصالات را حین نگاشت مد نظر قرار دادند، اما اثرات راه‌حل نگاشت آن‌ها بر جایابی نهایی را لحاظ نکردند. این مقاله به تعامل بین مراحل نگاشت و جایابی تمرکز دارد. ابتدا، اطلاعات مربوط به تأخیر اتصالات از جایابی تخمین زده می‌شود و در فرآیند برجسب‌گذاری استفاده می‌گردد. سپس یک راه‌حل نگاشت مبتنی بر جایابی که هم تراکم سلول‌های Global و هم تراکم سلول‌های Local را در نظر می‌گیرد، توسعه داده می‌شود. در نهایت، یک مرحله Legalization و جایابی دقیق برای پیاده‌سازی طراحی انجام می‌شود.

۳. LUT-based FPGA technology mapping under arbitrary net-delay models [۳]

در این مقاله، مسئله نگاشت فناوری مبتنی بر LUT در FPGA تحت مدل تأخیر شبکه دلخواه بررسی شده است. ایده موجود در FlowMap را تعمیم داده شده و الگوریتمی کارآمد توسعه داده شده است که تضمین می‌کند راه‌حل نگاشت بهینه از نظر تأخیر برای شبکه‌های عمومی ارائه شود، به شرط آنکه تأخیر هر شبکه قبل از فرآیند نگاشت مشخص باشد. با محاسبه کارآمد k -Feasible Cut با حداقل ارتفاع برای هر گره در شبکه، می‌توان نگاشت بهینه برای هر گره را محاسبه کرد و در نتیجه، راه‌حل نگاشت بهینه برای کل شبکه را با استفاده از برنامه‌ریزی پویا به دست آورد.

۱. طبقه‌بندی بر اساس توابع هدف:

(آ) کاهش تأخیر (Delay Minimization):

- الگوریتم ۱: Performance Driven Technology Mapping for Lookup-Table Based FPGAs

این الگوریتم به طور خاص برای بهبود عملکرد شبکه و کاهش تأخیر طراحی شده است. از اطلاعات تأخیری استفاده می‌کند و تأخیر مسیرهای بحرانی را در فرآیند نگاشت به حداقل می‌رساند.

- الگوریتم ۳: LUT-Based FPGA Technology Mapping under Arbitrary Net-Delay Models

تمرکز اصلی این الگوریتم نیز بر کاهش تأخیر کلی است و تضمین می‌کند که تأخیر مسیرهای بحرانی حداقل شود.

(ب) بهینه‌سازی جایابی و نگاشت همزمان (Placement-Aware Mapping):

- الگوریتم ۲: Placement-Driven Technology Mapping for LUT-Based FPGAs

این الگوریتم علاوه بر کاهش تأخیر، بهینه‌سازی جایابی را در نظر می‌گیرد. تعامل میان جایابی و نگاشت، از ویژگی‌های کلیدی آن است.

۲. طبقه‌بندی بر اساس انواع شبکه‌های ورودی:

(آ) شبکه‌های بولین (Boolean Networks):

- الگوریتم ۱:

این الگوریتم با استفاده از یک گراف بولین (Boolean Network) برای محاسبه وزن گره‌ها و مسیرهای بحرانی استفاده می‌کند.

(ب) شبکه‌های عمومی (General Networks):

- الگوریتم ۳:

این الگوریتم برای شبکه‌های عمومی طراحی شده است و مدل‌های تأخیر دلخواه را پشتیبانی می‌کند.

(ج) شبکه‌های مبتنی بر جدول جستجو (LUT Networks):

- الگوریتم ۲:

به طور خاص برای شبکه‌هایی طراحی شده که مبتنی بر LUT هستند و تعامل میان جایابی و نگاشت در آنها اهمیت دارد.

✱

References

- [1] Anmol Mathur and C. L. Liu, "Performance driven technology mapping for lookup-table based FPGAs using the general delay model," *ACM/SIGDA Workshop on Field Programmable Gate Arrays*, 1994. [\[Link\]](#)
- [2] Joey Y. Lin, Ashok Jagannathan, and Jason Cong, "Placement-driven technology mapping for LUT-based FPGAs," *Proceedings of the 2003 ACM/SIGDA Eleventh International Symposium on Field-Programmable Gate Arrays*, pp. 121–126, 2003. [\[Link\]](#)

- [3] Jason Cong, Yuzheng Ding, Tong Gao, and Kuang-Chien Chen, "LUT-based FPGA technology mapping under arbitrary net-delay models," *Computers & Graphics*, vol. 18, no. 4, pp. 507–516, 1994. Published by Elsevier. [\[Link\]](#)

سوال چهارم

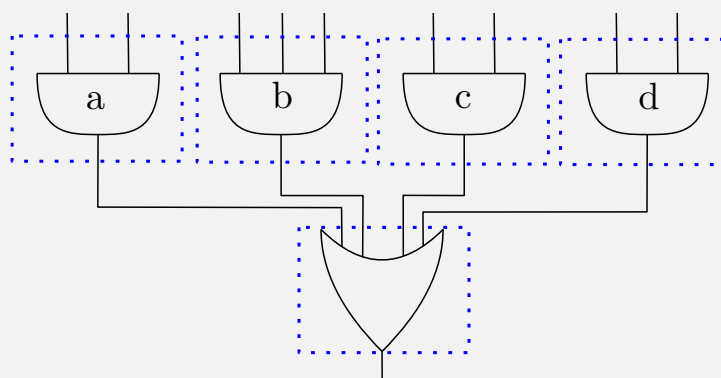
یک مثال از مداری را بزنید که برای مرحله اول Chortle-crf، روش first-fit جواب بهتری نسبت به best-fit می‌دهد.

پاسخ

برای مثال تابع زیر در نظر گرفته شده است:

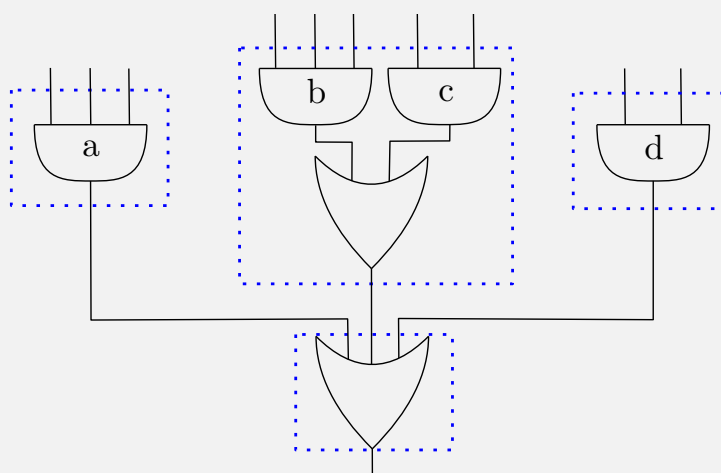
$$f(A, B, C, D) = AB'C + A'BC + A'C' + AD'$$

شکل کلی تابع به صورت زیر رسم می‌شود:



شکل ۲: شکل کلی مدار

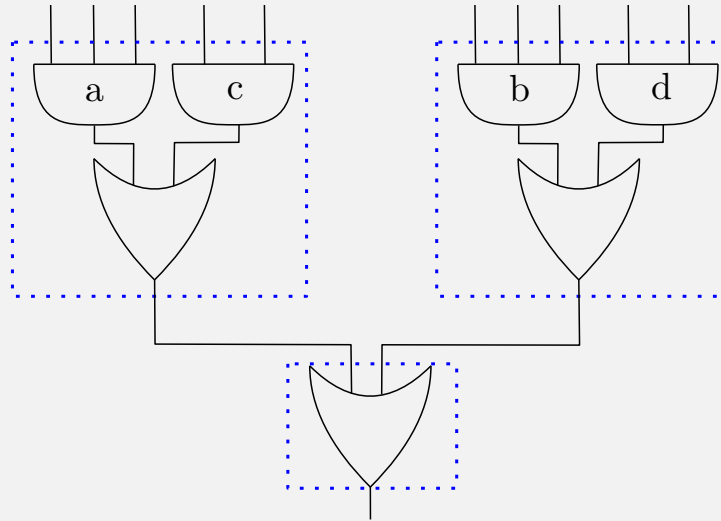
در الگوریتم First Fit تنها می‌توان b و c را باهم ترکیب کرد:



شکل ۳: First Fit

تعداد LUT ها در First Fit، ۴ عدد به دست می‌آید. همچنین تعداد Pack ها نیز ۲-۵-۳ به دست آمده است. در ادامه مسئله را برای حالت Best Fit بررسی می‌کنیم. در این حالت می‌توان گیت‌های a و c را باهم و b و d را نیز باهم ترکیب نمود:

پاسخ



شکل ۴: Best Fit

در این حالت تعداد LUT ها به ۳ عدد کاهش پیدا می‌کنند. همچنین مقدار Pack ها نیز به صورت ۵-۵ می‌شود.

سوال پنجم

مفهوم برش k -feasible در نگاشت فناوری FPGA را توضیح دهید و مزایای استفاده از آن در بهینه‌سازی طراحی را در یک پاراگراف شرح دهید.

پاسخ

برش k -feasible cut در نگاشت فناوری FPGA به مفهومی اشاره دارد که در آن یک گره در شبکه بولین به همراه تمام گره‌های پیشین آن به یک برش تقسیم می‌شود، به طوری که تعداد گره‌های موجود در این برش حداکثر k باشد. این مفهوم زمانی کاربرد دارد که طراحی مدار برای FPGAهای مبتنی بر LUT انجام می‌شود، جایی که هر LUT می‌تواند حداکثر k ورودی داشته باشد. در این روش، گره‌های موجود در برش به ورودی‌های یک LUT نگاشت می‌شوند. از مزایا مفهوم می‌توان به موارد زیر اشاره نمود:

استفاده از برش k -feasible قابل قبول در نگاشت فناوری موجب بهینه‌سازی تأخیر و کاهش عمق مدار می‌شود، زیرا الگوریتم می‌تواند به طور موثری مسیرهای بحرانی را شناسایی و نگاشت کند. این روش همچنین به دلیل محدود کردن تعداد گره‌ها در برش، بهره‌وری منابع FPGA را افزایش می‌دهد و استفاده بهینه از LUTها را ممکن می‌سازد. به علاوه، الگوریتم‌های مبتنی بر k -feasible cut مانند FlowMap به طور کارآمد و در زمان چندجمله‌ای عمل کرده و راه‌حل‌های بهینه را با تضمین درستی و عملکرد تولید می‌کنند.