

در جلسه ششم

نمایشگاه های جاری

اسلاید ۴۰:

FPGA حالت لحاظ معماری خیلی شبیه به سیستم های IC و FPGA شرکت intel با IC های شرکت linux خیلی تفاوت ندارند

بازار تولید FPGA خیلی متغیر است و ممکن است در سال دبی IC جدیدی وارد دلی با خیلی ها هم لایه ها را

CACTUS

نشان و فلسفه ای که نامش هم در یاد هم نشود ولی معماری خیلی دلی می شود ولی این که هیچ عای

استاده شدگان و تولید کنندگان مسئول اجرای شد زیرا بازار متغیر

بررسی IC های شرکت intel (در خانواده های cyclone و starix در FPGA های شرکت intel)
cyclone خاصیت پردازش تراژیکات بسیار خوب برای IC های کوچک خانواده starix خلیه نوی رشته و

Year: Month: Day:

Subject:

cyclone layout

صفحات زیرین logic block ها هستند که بخش LAB می شوند و این layout را می بینیم

تکسری بلوک های خاص خانواده DSP وجود دارند (تکسری بلوک های 10K موجود دارند)

سری های مختلف cyclone

سری E قابلیت اتصال با خاصیت در حجم ایزال هستند

سری GX علاوه بر بلوک های فرکانس بالا می توانند به بخش gigabit transfer
transistor ها بلوک های هستند که برای ارتباط با سرون از ترانزیستورهای سرعت بالا به صورت سریال داده ارسال می کنند
سری GT مثل GX است فقط سرعت ترانزیستورهای بیشتر است

سری SE علاوه بر بلوک های hard processor core

سری SX بلوک های سخت افزار hard processor core و بلوک های gigabit transfer

سری ST مثل SX است فقط سرعت ترانزیستورهای بیشتر است

بخش های معماری FPGA های cyclone

بخش های اتصال داخلی switch یا حالتی که می تواند به عنوان یک سوئیچ عمل کند و همچنین می تواند به عنوان یک سوئیچ عمل کند و همچنین می تواند به عنوان یک سوئیچ عمل کند

حالتی که می تواند به عنوان یک سوئیچ عمل کند و همچنین می تواند به عنوان یک سوئیچ عمل کند

که می تواند به عنوان یک سوئیچ عمل کند و همچنین می تواند به عنوان یک سوئیچ عمل کند

حالتی که می تواند به عنوان یک سوئیچ عمل کند و همچنین می تواند به عنوان یک سوئیچ عمل کند

حالتی که می تواند به عنوان یک سوئیچ عمل کند و همچنین می تواند به عنوان یک سوئیچ عمل کند

حالتی که می تواند به عنوان یک سوئیچ عمل کند و همچنین می تواند به عنوان یک سوئیچ عمل کند

حالتی که می تواند به عنوان یک سوئیچ عمل کند و همچنین می تواند به عنوان یک سوئیچ عمل کند

حالتی که می تواند به عنوان یک سوئیچ عمل کند و همچنین می تواند به عنوان یک سوئیچ عمل کند

حالتی که می تواند به عنوان یک سوئیچ عمل کند و همچنین می تواند به عنوان یک سوئیچ عمل کند

حالتی که می تواند به عنوان یک سوئیچ عمل کند و همچنین می تواند به عنوان یک سوئیچ عمل کند

مسابقات جہول ہوسٹل شمال دفعہ یک تراستہ صحت . سسر افریشن صید نہ پلاک حایا کدو در cyclone v
کہ شون صید تراستہ حایا single gate صحت یا dual gate

Year:..... Month:..... Day:..... Subject:.....

Subject:

: startix family

stratix cyclon 200

خزانه startix, انسان می دود

Spartan Family (Xilinx FPGAs)

2. spartan

$L_{Tx}(r)$ $L_{Tx}(r)$ 0/0 0/0 0/0 0/0

216 gigabit transiver: LTx

Spartan

3 CLB

۱۱۶۱ سنه

سید محمد رفیع

memory

Scanned by CamScanner

اسلامی ۵۸

۵۸. توزیع شده \leftarrow حل \leftarrow Slicem به تون بهورت حافظه توزیع شده هم استفاده شود به این لحاظ
توزیع شده می تواند بهورت single port ، dual port ، quad port باشد
۵۹. Lut اگر بخواد بهورت حافظه استفاده شود باید write address هم داشته باشد (در مینی و مینی ۲)
 $\text{wA1} : \text{wA6}$ ، write address (۶ بیت) و DI دارد بیت در آن SRAM نوشته شود

نویسند
مستقیماً از ROM، RAM، Lut ... می‌خوانند که به هر موردی که می‌خوایم برنامه‌ریزی کنیم
این به صورت shift register یا به کمک slice یا به کمک shift register 32 بیت داده
باشد

اسلامی

به ازای هر ۱۶ بیت در FF بیت : ۱ FF دسته اول ۲ FF دسته دوم
دسته دوم خط میانه به صورت FF بیت و در دسته اول به صورت O-FF و O-Latch می تواند باشد.
در تمام FF ها دردی را از ۱۶ می شود (05 تا 06)
دسته اول FF ها دردی است از ۱۶ می شود به 31 می باشد و افزودن xor می باشد و از 31 به ۱۶
یا از 05 تا 06 به ۱۶ در واقع به ۱۶ می باشد و به ۱۶ می باشد و به ۱۶ می باشد و به ۱۶ می باشد
- مزیت FF دسته اول است به دسته دوم :

همیشه $Flexibility$ هزینه دارد و در طراحی معماری باید در نظر گرفت $Flexibility$ بالایی می خواهند کم هزینه بالا
 می رود یا با هزینه زیاد مشکل دارند و می خواهند هزینه کاهش پیدا کند اما نه از $Flexibility$ بالایی می خواهند از
 FF دسته اول استفاده نمی کنند و برای سرعت $Area$ بالایی می خواهند از FF دسته دوم استفاده نمی کنند

کتابخانه Fracturable (سلسله) busها (همچون bus ۶ ورودی استفاده کنیم و هم در ۵ ورودی)
 Year: Month: Day: Subject:

که مدار این اسلاید این کتابخانه را نشان می‌دهد

یک bus ۶ ورودی، ۴۴ SRAM، ۶۴ RAM، دو نیمه نیم در ۳۲ در نظر بگیریم
 اگر خواستیم به صورت دو تابع ۵ ورودی ساده کنیم، A_5 و A_4 را به ورودی bus جدید (ورودی مشترک دارند)
 و با A_4 و حالتی یکسری می‌دهیم و با استفاده از حالتی یکسری مشخص می‌کنیم عملکرد دوم هر رمی را در ۵۶ بیت،
 اگر A_4 صفر باشد هر رمی bus ۶ را در هر رمی ظاهر می‌شود و اگر A_4 یک باشد هر رمی حالتی یکسری
 این که هر رمی ظاهر می‌شود

این ترتیب روابط را در یک bus ساده می‌کنیم و با تنظیم A_4 مشخص می‌کنیم که ۵۶ و ۵۵ چه خروجی بدهند
 (این کتابخانه در رمی که آدرس‌های Fracturable هستند موجود دارد)

مجموعه اتصالات bus:

این شکل اتصالات bus با یک switch matrix (local inter connect) نشان می‌دهد
 که ارتباطات busها با یکدیگر را مشخص می‌کند

مجموعه اتصالات:

در این حالت هر یک از خط‌های مشخص شده در عمل توسط مدارها این نشان را دارند و لازم نیست به صورت
 طریق مسیریابی خاص به خط اتصال می‌زنند اما اتصال اتصال غیر کارها به صورت مشخص هم وجود دارد یعنی
 هر bus می‌تواند به دو تا ۴ تا آن طرف تر هم متصل شود که ارتباطات به صورت single و double
 Quad است. اگر single باشد به یک طرف و اگر double باشد به دو طرف و اگر Quad باشد به چهار طرف و اگر
 double به دو طرف و اگر Quad به دو طرف و اگر Quad به دو طرف و اگر Quad به دو طرف و اگر Quad به دو طرف
 طرف تر هستند و می‌توانند

در این طرح busها اتصال double می‌تواند به صورت قطری هم busها را به یکدیگر متصل کند و Quad هم

به صورت قطری به 4 آن طرف متصل می‌کند در واقع تمام محاسباتی که در آن است که این باعث می‌شود محاسبات خیلی بهتر شود

اسلاید 14: Subject: Year: Month: Day:

مشخصات اسپارک V 2:
از لحاظ مقدار CLB ها به نظر می‌رسد که 9600 اسلایس دارند و تقریبی 14000 تا 15000 تا برای این slice ها است
حجم به صورت distributed است و به نسبت 170KB تا 1000KB هستند
مجموع block های که در این تراشه هستند از 110KB تا 400KB هستند

اسلاید 17

بلوک های کانسای (Dsp block ها)

تکینو 48A1 Dsp هست که یک ضرب کننده 18×18 بیت دارد و با هر بلوک Dsp می‌توان
ضرب 18×18 بیت انجام داد و یک Accumulator $4n$ بیتی دارد و تقریبی می‌توانیم عملیات MAC
انجام بدهیم باید هر دو ضرب کننده را با هم جمع کنیم یک تعدادی جمع شده دارد. نتایج حاصلی دارد که می‌تواند
در خروجی حاصل جمع و در خروجی دیگر در خروجی دیگر

توجه به قابل برنامه ریزی است و یک کنترل فرام است که خروجی 48A1 را می‌تواند از نظر این جمع و تفریق
انتخاب 16 بول (اگر می‌خواهیم در این به صورت یک ضرب کننده کنترل فرام هستند

اسلاید 19

یک نمونه از فرام های که در Dsp آنجا می‌باشد FIR Filter است:

نکته: ضرایب ثابت دارد (C0 و C1 و ... و Cn) و یک سری ورودی $x[n]$ دارد که به صورت متوالی وارد می‌شود
و $[n]$ را می‌تواند به شود

یک معماری که می‌تواند کار را انجام دهد آن سلسله ای است که به صورت pipeline می‌باشد و محاسبات
یکبار را در می‌شود و هر یک از آن را در می‌شود تا عدد ثابت را انجام می‌دهد و در نتیجه در نهایت خروجی خروجی
می‌شود و یکبار چند بلاک نتیجه حاصل می‌شود و در خروجی می‌شود

برای ساده سازی می‌توانیم یک Dsp block ساده کنیم و می‌توانیم یک pipeline را در خروجی ظاهر شود
و می‌توانیم یک راه دیگر این که m تا Dsp block می‌توانیم در یک pipeline قرار دهیم و می‌توانیم

اسلاید ۲۰

دارای مشخصات بسیار عالی

کاربرد و مقدار block dsp ها را نشان می دهد

Year: Month: Day:

Subject:

اسلاید ۲۱

بلوک های فرستنده / گیرنده / تطبیقی

نصفی از تراشه های gigabit transiver سرعت خیلی بالایی برای ارتباطات سریالی فراهم می کنند و بعضی ها

این gigabit transiver را ندارند ولی بعضی ها ۲ تا دارند و بعضی ها ۴ تا و بعضی ها ۸ تا دارند

سرعت هر کدام حدود ۳ Gbps است و بعضی سرعت پایین تر دارند و حدود ۱۴۱۴ مگابیت

7 series Family (Altera FPGA)

تراشه های خیلی قوی دارند و امکانات های مختلفی دارند

اسلاید ۲۳

مشخصات تراشه های Altera FPGA

تعداد = سرعت فرستنده / گیرنده x بلوک های فرستنده / گیرنده

تعداد pin های I/O تراشه است چون بعضی از پورت های ورودی، خروجی، مناسبتی دارند و بعضی از پورت های

و بعضی تراشه ها هر دو خاصیت را دارند و بعضی دیگر فقط یکی از این دو خاصیت را دارند

اسلاید ۲۴

vertex family

تعدادی بلوک های منطقی، تعدادی پورت های ورودی، تعدادی بلوک های حافظه و تعدادی پورت های خروجی

خروجی و بلوک های فرستنده / گیرنده که بسته به مشخصات بسیار عالی است و می تواند با بسیاری از

دارند این است که ما می توانیم به سبب داشتن بلوک های ورودی

اسلاید ۲۵

vertex 7

CACTUS

در vertex 7 بلوک های حافظه ۳۶ کیلو بیت

بلوک های dsp می تواند تا ۱۶ کیلو بیت داشته باشند و بعضی از آنها processer hard دارند

اسماء

3. Deep learning: accuracy vs. compute

موسیٰ حسینی دایم در توالی شصت و نهمین سال از دنیا رفت

3fuu:

موضوعی از عصری از شدت و عصبانیت نشان می دهد و عیان به حسب صورت انجام می شود و صلا برای مرده ای است اینها
وجود دارد کاری که باید انجام دهد این است که هرگز در احوال حاکم که وارد یک قرن می شود یک درونی دارند و این قرن ها
باید در input مدک شد و باید در این نور حاصل شود تا حاصل جمع بشود و هر چه را توانستید

CACTUS

مشتری رامی واک در $sp C_{60}$ دارد

* precision سے ارتقا حاصل کرنے کا خاصہ FPGA میں

எனது:

Deep learning: Best precision

[illegible]

34mm

Low-precision on FPGA

Importance of DSP block. In DSP block, the data is processed in FPGA, not in microcontroller, and it is a hard core.

محیط خوب FPGA نسبت به CPU و GPU - precision را می توان بر اساس نیاز مقیاس داد.
در DSP ها می توان این کار را انجام داد مثلاً ۳۲x۳۲ می توان به صورت ۱۸x۱۸ انجام داد اما خیلی
flexible نیست اما اگر نیاز داشته باشیم که زیاد سازگاری داشته باشیم با flexible است که چه صورت
گیرد می تواند به صورت App قرار گیرد می تواند در CPU ها این خواص
این است که می تواند زیاد سازگاری داشته باشد CPU مشخص است چه می توان مثلاً ۳۲x۳۲ است و اگر می
خواهد Fx4 می تواند انجام دهد و می تواند به صورت ۳۲x۳۲ استفاده کنیم

DSP ها برای محاسبه های زیر مثل ۱۸x۱۸ بیت جبری خوب عمل می کنند و در Area کم و می توان استفاده کرد

مناسب می توانستید را انجام دهید و این را با ما قرار انجام بدهم که در آن حال ما در مورد
 ۱۸x۱۸ است و ما ۱۵۰۰۰۰ را باید انجام بدهم بنابراین می توانستید در حال Dsp که انجام بدهم و این مورد می توانی برای
 انجام بدهم Dsp که می توانی
 Year: Month: / Day: Subject: /

Year: Month: Day: Subject: م

مثلا Device هایی که دارای Dsp هستند و یا Dsp blocker ها را از اسفالت می کشند و نباید خیلی اندک بار داشته باشیم که Dsp blocker ها را استفاده نکنند و تعداد ضرب زیادی را می توانی انجام دهیم و بنابراین باید بدیم سرانجام ها و ALM ها داریم و اگر از سر هم کنیم و روی این ضرب های بیشتری را انجام بدیم

Dsp هایی که در precision خیلی ضعیف نیستند و اگر مثلا بخواهیم ضرب های بیشتری انجام دهیم ما استفاده از B با تعداد ALM هایی که می توانیم ضرب کرده ۲۴ برابر تعداد عملیات ضربی است و Dsp block ها می توانی انجام دهیم

8. V. 1

[illegible]

اما اگر Fe^{+3} نیست باشد D_{sp} block چون ۱۱ $d_{x^2-y^2}$ را با فرکانس ۴۸ به اتمام می دهد اما اگر از $3d$ خارجیم استفاده نمی شود ۱۸ افرای اعداد نیز را می توان با فرکانس ۴۱۷ تکمیل اتمام داد (چیزی که قبلاً گفته فرکانس هست Delay می باشد ۳۵ تا ۴۰)

این برای low precision است. Dsp block هم سوئیچ الایمیه و هم مقدار ضرایب می توانیم

Logic block multiplier

39 nu!

۱۳۹۷
در حد ALM برای 60 درصد $Fracturable$ (قابل شکست) بودن
اگر حد 40 درصد $Fracturable$ باشد ALM برای 60 درصد $Fracturable$ بودن
در حد 40 درصد $Fracturable$ بودن ALM برای 60 درصد $Fracturable$ بودن

210 ml

2 multiplication operation

برای غیر $unsig.$ و متوجه می شویم اتمام بد است $partial product$ اتحاد می کند و می بینیم اتحاد است
ست دلیل دیگر را می بینیم می گوید و می بینیم اتحاد می شود (چون می شود در اتحاد اتمام می شود) ۸۴

unsigned 4-bit multiplier

اگر خواهم برای ۴ بیت انجام دهم → در ALU 4 bit های ورودی برای AND دو ورودی می توان استفاده کرد. هر ALU

Year: Month: Day: Subject: AND-4 bit multiplier

در ALU می توانه دو تا ALU (یا ALU های که به صورت عمودی هستند) را با هم ترکیب کرد.

partial product می توانیم بشوند (مثل نوشتن این به صورت)

تا اینکه ALU برای ALU ایجاد شدند.

در ALU ها carry chain وجود داره که عملیات جمع را می توانه انجام دهد و از اینجا استفاده

می کنیم که partial product ها را با هم جمع کنیم حاصل AND ها را می بینیم به جمع شده ها که در هر

ALU دو تا جمع می توان انجام داد و یک مقدار ALU در یک جمع می بینیم برای این که جمع های که لازم داریم انجام دهم

یک مقدار ALU در یک جمع انجام می شه و حاصل این partial sum ها به یک ایادی شده توسط

فرم این carry chain ها جمع شده ها ایادی شده

چون حاصل جمع ها به جمع شده می شه هر ALU را باید بشیریم و به هم می شنود از ابتدا در ALU

استفاده می شه تا ورود این هر ALU جمع می شه و به عنوان دردی جمع شده ها استفاده می

به این ترتیب برای ۴ بیت ۴x۴ ALU استفاده می شه

* برای ۴ بیت ۹۶ بیت انجام داده و به شدت میانه این هر ALU ۴x۴ ALU شده است

Observation در این مدار وجود دارد (در ۴ بیت)

۱- مقدار 4 bit که به جمع شده می آید (دردی جمع شده را می بینیم)

۲- برای AND دو ورودی می توانیم 4 bit های ورودی را با هم ترکیب کرد

در نتیجه ما در این مدار می بینیم که دو مشکل را می توانیم حل کنیم تا بتوانیم 4 bit های efficient تر و area

Design constrain

- برای این مدار جدید می توانیم به برای کارها حساب می کنیم و efficiently می بینیم

routing architecture هم باید خیلی تغییر کند connection ها باید compatible باشه تا به device

Extra carry chain architecture

اولین تعدادی که برای انجام این مدار جدید استفاده می شه → عملیات میانه است 4 bit های

جمع شده را به 4 bit های این هر ALU می بینیم و به هم می شنود از ابتدا در ALU

که مستقیم از ۱۵ و خروجی جمع شده دارای مستقیم به جمع مستقیم دوم
 این شکل این بود که 2×4 با عنوان جمع شده استفاده می شوند برای این به در دردی جمع شده بر سر و داخل این
 یک سطح دوم Carry chain در ALU تولید کنیم و صرف اصلی این است که مسیر را برآورد می بین
 و صرف در این است که Area را بهتر می کند

اسلاید ۱۶
 اول ۱۵ ALU برای ضرب 4×4 صرف می شود اگر second level را اضافه کنیم دقت ALU مورد نیاز
 کمتر می شود و صرف برای ضرب می شود که باید موضوعی خاص را برآورد
 در نتیجه تعداد ALU های مورد نیاز از ۱۵ تا ۷ (۲ آن صاف می شود) برای 4×4 صرف می شود از ۱۵ تا ۱۷
 کاهش یافت (یک level و ALU هم کمتر شد و در نتیجه اخیر کمتر می شود)

اسلاید ۱۷
 شکل در دردی را با هم جمع می کنند (مثل از لایه second level و دربار second level)

اسلاید ۱۸
 شکل دوم این بود که ALU های ۴ دردی برای ALU در دردی باید استفاده می کردیم
 داخل \leftarrow ALU های ۴ دردی را در ALU می توانیم چون این است که ۸ Partial products
 در ALU داشته باشیم و ۴ می شود

به این ترتیب تعداد ALU های بیشتری را در ALU می توانیم جادو. در نتیجه هم از ALU ها صرف استفاده می شود
 تعداد جمع بیشتری در ALU می توان انجام داد
 اسلاید ۱۹
 شکل بخوبی ریاضت را نشان می دهد که ۷ ALU می توانیم 4×4 را انجام داد برای 4×4 است می شود ۱۵/۸
 و تعداد بیشتری عملیات در ALU انجام می شود

اسلاید ۲۰
 اثری از area efficiently را بهتر کنیم از shadow multiplier استفاده کنیم
 یعنی داخل ALU ضرب کنیم و هم داریم و می توانیم 4×4 است بدایم تا اگر خواست ضرب را با
 ALU انجام دهیم و multiplier را با هم در ALU صرف می توانیم تا اگر خواست استفاده
 کنیم از ALU ها در دردی تا آن ALU ها در دردی می توانیم در دردی ALU ها را در دردی و از ALU ها
 می توانیم انجام بدهیم در این کارها صرف استفاده کنیم
 CACTUS

• soft Error

[illegible]

Soft error: نرم افزار
error: خطا
Soft error: نرم افزار
error: خطا

زمرہ ۵

۱) ولتاژ V_{DD} را کم می کنند به نام سون ولتاژ V_{DD} می کشند و جای که سازه یک مقدار را می دارند و می ولتاژ کم شده چنانچه می دارند و احتمال این یک جایی این را تغییر دهد و بیشتر می شود

۲. Scaling در این مورد را نیاز به اجرای تکرارهای زیاد و استفاده از سیستم‌های توزیع‌شده دارد. چون توان
محاسبه در هر یک از سرورهای مختلف (و همچنین در سرورهای مختلف) متفاوت است و در هر یک از سرورهای مختلف
محاسبه‌ها را می‌توان به صورت موازی انجام داد.

(۱) خرمیدارستان ماری و لازم است به مدیریت امور و احوال و اسباب همی در

[illegible][illegible]

اسم ۳ : soft error
 غلطی که در درون حافظه رخ دهد :

Year: _____ Month: _____ Day: _____
Configuration memory (خطای حافظه پیکربندی)

۲ flip flop

۳ memory block

۴ ترانزیستورهای در combinational قرار دارند

در این شکل یک سلول SRAM را نشان می‌دهیم که در یک قطعه مدار دیجیتال قرار دارد. این سلول دارای ۶ ورودی و ۶ خروجی است. ۳ ورودی به ورودی‌های حافظه (Data) و ۳ ورودی به ورودی‌های کنترل (Control) می‌باشد. ۳ خروجی به خروجی‌های حافظه (Data) و ۳ خروجی به خروجی‌های کنترل (Control) می‌باشد. در این شکل، ۳ ورودی به ورودی‌های حافظه (Data) و ۳ ورودی به ورودی‌های کنترل (Control) می‌باشد. ۳ خروجی به خروجی‌های حافظه (Data) و ۳ خروجی به خروجی‌های کنترل (Control) می‌باشد.

این مدار در ASIC هم وجود دارد ولی در FPGA حاصل می‌شود. در این مدار، ۳ ورودی به ورودی‌های حافظه (Data) و ۳ ورودی به ورودی‌های کنترل (Control) می‌باشد. ۳ خروجی به خروجی‌های حافظه (Data) و ۳ خروجی به خروجی‌های کنترل (Control) می‌باشد. در این مدار، ۳ ورودی به ورودی‌های حافظه (Data) و ۳ ورودی به ورودی‌های کنترل (Control) می‌باشد. ۳ خروجی به خروجی‌های حافظه (Data) و ۳ خروجی به خروجی‌های کنترل (Control) می‌باشد.

اسم ۴ :

soft error :

combinational circuit

در این شکل، ۳ ورودی به ورودی‌های حافظه (Data) و ۳ ورودی به ورودی‌های کنترل (Control) می‌باشد. ۳ خروجی به خروجی‌های حافظه (Data) و ۳ خروجی به خروجی‌های کنترل (Control) می‌باشد. در این مدار، ۳ ورودی به ورودی‌های حافظه (Data) و ۳ ورودی به ورودی‌های کنترل (Control) می‌باشد. ۳ خروجی به خروجی‌های حافظه (Data) و ۳ خروجی به خروجی‌های کنترل (Control) می‌باشد.

اسم ۵ :

soft error in configuration

در FPGA، ۳ ورودی به ورودی‌های حافظه (Data) و ۳ ورودی به ورودی‌های کنترل (Control) می‌باشد. ۳ خروجی به خروجی‌های حافظه (Data) و ۳ خروجی به خروجی‌های کنترل (Control) می‌باشد.

soft error (خطای حافظه پیکربندی) : در این شکل، ۳ ورودی به ورودی‌های حافظه (Data) و ۳ ورودی به ورودی‌های کنترل (Control) می‌باشد. ۳ خروجی به خروجی‌های حافظه (Data) و ۳ خروجی به خروجی‌های کنترل (Control) می‌باشد.

در آن حالت که با این تغییرات فیلتر یا فیلتر ریاضی از نویز می‌شود حذف configuration تراند

این soft error نویز نامی می‌شود؟

اگر reset کنیم سیستم منتهی به ریست می‌شود و می‌توان reset کرد چون این است device در
Year: _____ Month: _____ Day: _____
جای حساسی استفاده شود که ماه ها یا دهی کرده و یک دقیقه بعد از آن از کار می‌افتد

اسلاید ۶۶

SE mitigation Technique

برای کاهش مشکل soft error در FPGA ها روش های مختلفی وجود دارد

۱ در سطح circuit and technology → طراحی که این مدار شود و مدار ها را بعد از آن افزایش
میدهند یعنی در زمان های حساس مدار ها را از آن می‌کشند و باعث می‌شود سطح آستانه بالا رود و
soft error با احتمال کمی اتفاق بیفتد

۲ در سطح system → کاری می‌کنند که رانش حافظه را در soft error آسان آسان detect کنند
و سریع حافظه را در و اصلاح کند (از روش هایی که به صورت عملی برای این کار انجام می‌دهند و صورت embedded
در سطح FPGA ها هم استفاده می‌کنند

۳ در سطح user → کاری که این از طراحی user می‌کنند یعنی اگر تا TMR است یعنی یعنی تکرار می‌کنند
که حساسیت حساسیت را در هر دو روش را note می‌کنند

یک مورد دیگر این است resource های سخت افزاری در FPGA استفاده می‌کنند کاری که حساسیت
soft error کم شود

اسلاید ۶۷

Circuit level

حالت روشن switch matrix ها را حذف می‌کنند که در هر یک از مدار های اسمی و عمومی (مقاومتی)
۶ تا سلول SRAM داریم. مسئله ای که این روش مطرح کرده این است که با این نویز SRAM ۶ را در این مدار ها
چون با ۶ تا مانتریم اتفاق پذیری را دارد و خیلی از این ها می‌تواند از این اطلاعات استفاده کند چون ۶ تا
حالت داریم که خیلی از حالات این ها می‌تواند در این حالت هیچ وقت استفاده نشود

اسلاید ۶۸

تمام مدار های که این از طراحی استفاده می‌کنند را در ۶ تا حالت می‌کشند

CACTUS
در Type 1 هیچ مدار روشن نیست. در Type 2 یا مدار اسمی که حساسیت را می‌گیرد

برای حل این که سه آرمیال باید وصل شود این ۱۲ حالت وسط که طوسی رنگ هستند را دارد و برای حل این که ۴ آرمیال باید وصل شود سه حالت آخر (۵ type) که است که حالات را با abcdef نشان می دهیم و هر کدام که روشن باشد یک هستند

Year: _____ Month: _____ Day: _____

Subject:

در حالت عادی هر SRAM را به یک ترانزیستور وصل می‌کنیم و به صورت مستقیم خط آبی را به ترانزیستور وصل می‌کنیم و به
مستقیم می‌شود وصل کرد و به این ۲۶ خط را همان دهم باید از مدار ترانزیستور استفاده کنیم و ۲۶ خط را
decade کنیم به حالت های abcdef و این مدار ترانزیستور خود را ترانزیستور داده و Area صرف می‌شود
باین این سول SRAM area را هم می‌شود در برابر soft error مقاوم می‌شود و این صرف این روش
کمترین soft error است و این سبب کاهش configuration memory مقدار SRAM مقاوم می‌شود و
soft error را هم می‌شود Area را کاهش می‌دهد

حالا اگر بخواهم ۶ تا ششم عملاً باید از نقطه ای در این حالت حاضر و نظر می‌گیرم Flexibility را با این می‌دارم. آری اینطوری Flexibility مستطقی ایجاد نمی‌کند و انحراف را می‌خواهی و خوب است می‌تواند در سوتینگ را انجام دهد.

३१५५!

switchbox pattern frequencies

ماژاری که تحت دست دیده یعنی از pattern ها در صدا استفاده می‌کنیم که این استفاده می‌شود
 بعد از آن pattern که استفاده می‌شود یک بار در حالت 0000 زیاد استفاده می‌شود و پس در بازه
 0000 تا 0000 در صدا استفاده می‌شود این اسلاید را در این اسلاید می‌بینیم که این اسلاید در
 این اسلاید می‌بینیم و net های پس از صد می‌بینیم که این اسلاید را در این اسلاید می‌بینیم و
 حالت های پس از صد

2 to 4

Circuit level

با حذف تعداد زیادی از حالت های نام ۲۴ حالت را به ۱۴ نام می توانیم و یک decoder ۴ باینری با ۴ آدرس ورودی و ۱۶ خروجی را می توانیم از جدول استفاده کنیم

این ساختار یک استاده می باشد از ۲، ۵ تا ۱۱ and or و خنجر آن می توان استاده کرد که یک سب اینها
این decoder را می سازد

درست است. چون تعداد سلول های SRAM زیاد است و در درون خود حافظه ای ندارد. CACTUS
SRAM ها را هم منبع soft error می توان نامید چون در درون آن ها سلول های حافظه ای کمتری

Reconfiguration system: applications

Year: _____ Month: _____ Day: _____

Subject: Practical

Application

device reconfigurable

۱) برای افزایش سرعت به علاوه کارایی و صرفه جویی در هزینه و زمان، استفاده از FPGA در سیستم‌های پردازشی و محاسباتی بسیار رایج است. این فناوری به دلیل قابلیت پیکربندی و انعطاف‌پذیری بالا، برای پیاده‌سازی مدارهای دیجیتال و سیستم‌های پردازشی به کار می‌رود. همچنین، استفاده از FPGA می‌تواند به کاهش مصرف انرژی و افزایش کارایی سیستم‌ها منجر شود.

۳) برای reconfiguration → FPGA است. ASIC ها reconfigurable است یعنی این سرکته بالا و توان می توانیم تغییر دهیم. راه ASIC است ولی مستطیل که بالا و پایین تغییر می دهد ولی FPGA می تواند تغییراتی قابلیت سخت افزار را داشته باشد ولی قابل تغییر می باشد.

الحسين رحمه الله

المادة ٢٢

- Reconfigurable system advantage

[illegible]

اسماء

2) speak up (repeatedly)

Expectation - abundance of many color mate color

: speed up (repe)

CACTUS

CPU و GPU و FPGA برای اپلیکیشن‌های speed up که کارشان ساده‌تر

Year: Month: Day:

Subject:

اسلاید ۶: speed up

برای کارهای code breaking یا حدس زدن رمز (password guess) راسان ساده‌تر

تفاوت FPGA های 6 cortex, intel cpu, AMD Gpu, Nvidia Gpu

بعضی مناسب‌تر است برای این کار تا این حد، پیچیده‌تر است (چون برای یک بار پیچیدگی‌های زیادی

حالا در این حالت می‌تواند با خلاصه‌سازی انجام بدهد. processing element یک پیچیدگی را حل می‌کند

در زمان زیادی که ارتباط با هم دارند و هر کدام از این عناصر می‌توانند با processing element parallel

حل می‌کند. انجام شود بنابراین FPGA می‌تواند در این زمینه هم عمل کند.

CPU، GPU، Multi Core. چون عناصر و processing element parallel است.

اینهمه می‌شود. بنابراین یک تعداد زیادی می‌تواند در این زمینه کار کند. انجام این کار با FPGA

چون parallelism را می‌تواند در این زمینه کار کند. processing element داشته باشند.

هر کدام که می‌خواهند انجام بدهند. همین دلیل در این code breaking عناصر FPGA به صورت موازی

می‌تواند انجام دهد و این سرعت داشته باشند. همین دلیل می‌تواند عمل کند.

اسلاید ۸:

معمولاً ASIC استفاده می‌شود اما برای کارهایی که نیاز به تغییر دارد، FPGA مناسب‌تر است.

اگر بخواهیم راجع به cryptocurrency mining صحبت کنیم، CPU کارایی کمی دارد و GPU

به GPU و FPGA و ASIC خاصیت

صرفه energy efficient تر است. کلاً این در این مورد صحبت می‌کند.

اسلاید ۱۱:

FPGA as a network chip

کارهای زیادی برای speed up استفاده می‌شود. network chip خاصیت. کارهای زیادی

device های reconfigurable وجود دارد. gigabit transceiver خاصیت که ما در این

صحنه عناصر ارسال می‌کند. اما در این حالت، ما می‌توانیم از FPGA های خاص استفاده

سال به هزاران عدد هم می‌رسد. اما اگر بخواهیم تعداد کارها را زیاد کرد و همین موقع می‌توانیم از این کارهای خاص استفاده

مellanox Arista, Cisco, FPGA استفاده می کنند

2012-12-12

ایم ایچ آر انشور رینڈم نمبر: transit / FPCA سے کیا کیا اعتماد سے روٹوچ transit ایچ آر
 Subject: Year: Month: Day: ۶۵

Year: 2008 Month: 05 Day: 05

سرایب سے قوت و انکم حاصل ہوا ہے

۱۳۲۱

Big data : web search

کاربرد دیگر در big data در محاسبات برای web search ها چون فضاان تعداد زیادی آدم دارن سرچ میکنن و صفحات با سرعت خوب بالا میآید و این نشون میده که سرعت خیلی بالاتر از محاسبه داده های گسترده تر هست. هم بالاتر. چون یک وقتی سرچ میکنیم، کیورد ها را میگیریم و در یک تعدادی web page را میبینیم و نه رتبه ها را میبینیم و در نهایت رتبه ها را sort میکنیم و این کار با اکثر فرآیندها فرق افتاده و محاسبه این نشان میده این کار با پردازش سرورهای cluster که PC-based هست انجام میشه یعنی سرورهای اساس PC بودند که تعداد زیادی PC آن cluster را انجام میدادند. اما امروزه دیسک ها با هم وصل Power wall میخوان شدند و همین دلیل برنام FPGAs قرار شد

الفصل ١٤

Microsoft Bing search Engine

این روش رتبه‌بندی را می‌توانیم به روشی دیگر هم برای سرورهای خاص برای IFMS و دیگر
IFMS اطلاعات rank اقامت‌دهی و این عملیات rank را تابع برای server می‌توانیم
IFMS اطلاعات می‌تواند score صادر کند این کار Computation intensive است و از accelerator می‌توان
استفاده کرد

مسئله ۱: FPCA استناد بر صورت

2। वे

Line state machine

این پردازش شامل انجام سه مرحله است: مقدارگیری FS، محاسبه مدارهای ورودی و خروجی و انجام محاسبات و مقایسه.

نرخ فیلد فیس، و فیلد فیس در هر 1400ms : 100ms

Final score \sim machine learning \sim scoring -
FPGA

اردی FPCR ایام می شود

CACTUS

पुस्तकालय (Library) - 12 फरवरी 2023

Bionformatics: Genomics

کاربرد در سرعت برای عملیات با سرعتی که در دنیای زیستی وجود دارد است
 Year: _____ Month: _____ Day: _____ Subject: _____

از روشی genome انسان استفاده می‌کنند و دنباله DNA ایجاد می‌کنند و این دنباله DNA برای انسان ها خیلی هم شبیه هستند ولی این اختلاف کمی که دارند باعث می‌شود نتوانند افراد حقیقی تفاوت‌های خاص را پیدا کنند و اطلاعات با استفاده از آن‌ها که مشخص شده و این که در A و T و C و G هستند و این‌ها با هم دنباله‌های مثل دنباله‌های باینری این اسلاید ایجاد شده

در آنالیز کردن Genome ها، سیستم‌های باینری string را می‌توانند در کارهای مختلفی در بین انجام بین در FPGA ها به کمک یک سری FSM های خاص منطقیه برایشان انجام دهند و این FSM ها با هم در ارتباط هستند و این در دنیا در مدل‌های دیگر هم می‌تواند کارها را انجام بدهد و در نهایت می‌تواند کارهای گوناگونی که در دنیا وجود دارد این است که Data word ها در سیستم هستند (چون آن‌ها را داریم) و این naturality باینری که خاصیت می‌شود که FPGA برای آن‌ها مناسب باشد. به عبارت دیگر ما این سیستم‌های باینری low resolution را انجام بدهیم و FPGA ها هم برای این کار خیلی مناسب هستند

Genome Assembly From...

به عنوان یک روش از کارهایی که در این Genome Assembly انجام می‌دهند این سیستم‌های دنباله‌ها را می‌تواند و بعضی می‌تواند این کارها را با هم انجام بدهد و Genome را می‌تواند را با این کارها را می‌تواند استرکاتی که این ایجاد وجود دارد انجام می‌دهد (از این که با هم استرکات زیادی دارند می‌تواند می‌تواند و در آخر این دنباله‌ها را می‌تواند) در نهایت عملیات زیاد است و این می‌تواند با سخت‌افزارهای انجام بدهیم زمان زیادی طول می‌کشد

Deep learning

کاربرد در Deep learning است که عملیات مورد نیاز machine learning خیلی تسهیل شده و شتاب گرفته و تغییر یافته است. کاری که می‌خواهد انجام بدهد مستطقیه نیست و می‌تواند آنرا با شتاب بسیار در زمان کوتاهی انجام بدهد و سخت‌افزارهای مختلف در این زمینه را در دسترس می‌گذارد که می‌تواند از FPGA استفاده می‌کنند

CACTUS

ما یک سیستم یک سرور داریم اسمش Azure است که خیلی سخت‌افزارهای machine learning را می‌تواند استفاده از این FPGA های intel انجام می‌دهد

مت power را از دهنش توان واسه سرده

Year: Month: Day:

Subject:

۱۱۔ مسائل حاصل فرمائی

Power wall ۱۲: عنوان فصل ۱۲، backup و ۱۳: Power wall

Рршш!

power/energy as a global issue

در حال حاضر صنعت برادری نسبت به سایر صنایع کشور پیشرفت بیشتری داشته است. سال ۲۰۳۵ حدود ۱۰٪ از تولیدات داخلی را برادری تشکیل می‌دهد. برای سال ۲۰۴۰ این رقم به ۱۵٪ و برای سال ۲۰۴۵ به ۲۰٪ می‌رسد. این روند ادامه خواهد داشت.

۱۱) اگر میں user کا دوست بن جاؤں تو کیا ہونے لگا

۱۲ + Iot می از حشاشد جای مصروف انوری این

social network (۳)

محمد اکیف ویدویچ افراسیوی

(۱۵) علیات cloud, باد، آسمان، باران

۱۶) قاضی امیر محمدی

Pr. 2.1

[illegible]
$$: P F \sim u \mid$$
[illegible]

CACTUS

Future high-speed system

از قبل ساخت global بر ر حال در سوز chip ها هم یک محدودیت های وجود دارد :

Year: _____ Month: _____ Day: _____ Subject: _____

- سعی می شود امپدانس در سوز بدن برای این که سوز را از امپدانس در حد ۵۰ در حد ۵۰ درصد امپدانس سوز بود و در حد ۵۰ درصد امپدانس سوز را این نمی نشه و در حد ۵۰ درصد امپدانس سوز را این نمی نشه و در حد ۵۰ درصد امپدانس سوز را این نمی نشه
- توان مصرفی را این نمی نشه و در حد ۵۰ درصد امپدانس سوز را این نمی نشه و در حد ۵۰ درصد امپدانس سوز را این نمی نشه
- امپدانس را این نمی نشه و در حد ۵۰ درصد امپدانس سوز را این نمی نشه و در حد ۵۰ درصد امپدانس سوز را این نمی نشه
- از این که کم می کشد و در حد ۵۰ درصد امپدانس سوز را این نمی نشه و در حد ۵۰ درصد امپدانس سوز را این نمی نشه
- کم می کشد و در حد ۵۰ درصد امپدانس سوز را این نمی نشه و در حد ۵۰ درصد امپدانس سوز را این نمی نشه
- کم می کشد و در حد ۵۰ درصد امپدانس سوز را این نمی نشه و در حد ۵۰ درصد امپدانس سوز را این نمی نشه
- کم می کشد و در حد ۵۰ درصد امپدانس سوز را این نمی نشه و در حد ۵۰ درصد امپدانس سوز را این نمی نشه
- کم می کشد و در حد ۵۰ درصد امپدانس سوز را این نمی نشه و در حد ۵۰ درصد امپدانس سوز را این نمی نشه
- کم می کشد و در حد ۵۰ درصد امپدانس سوز را این نمی نشه و در حد ۵۰ درصد امپدانس سوز را این نمی نشه
- کم می کشد و در حد ۵۰ درصد امپدانس سوز را این نمی نشه و در حد ۵۰ درصد امپدانس سوز را این نمی نشه

راحتی که پیدا شده است Dark silicon است این مطلبی که در chip و در این سیستم توان مصرفی زیادی در این سیستم است Area مصرفی است که مقدار زیادی از chip را خالی می کشد (چون های از chip در حد ۵۰ درصد امپدانس سوز را این نمی نشه و در حد ۵۰ درصد امپدانس سوز را این نمی نشه)