

81 Full

«تراشه خاصه در زمینه $EPROM^2$ و فلش»

«برای برنامه‌ریزی بر روی EPROM و فلش»

EPROM و فلش تفاوتش در این است که می‌توان به صورت انفرادی یا یک‌باره آن را پاک کرد.

تفاوت فلش با EPROM در این است که می‌توان آن را به صورت یک‌باره پاک کرد و دوباره نوشت. یعنی به صورت

byte-programable است. این یعنی فلش است که باعث از بین رفتن آن نیست. $EPROM$ E^2PROM

نمودار ساده

امروزه دیگر از FPGA حافظه پرتابل نیست اما حافظه SRAM باسترحتنه
استایلر ۱۵۰

منه ای EPROM² و فلش³
- فرمت اصلی PLD های عصر برعکس و EPROM این است که نیاز به حافظه خارجی ندارد چون وقتی یک
فلش را با یک کارت قابل برنامه ریزی از یک منبع داده می کشیم تا فلش بتواند اطلاعات این برنامه را درون
مخزنیت خود نگه دارد SRAM حافظه . این باعث می شود که فضای مخزن روی برد بسیار
- کوچکتر از حافظه برنامه ریزی شده باشد زیرا SRAM می تواند ۶۴ ترانزیستور
لازم دارد اما فلش و EPROM برای هر سلول یک ترانزیستور نیاز خواهد داشت.

- امنیت بالا در مقابل سرعت طرح. در SRAMها در دسترس یک باخ $1C$ نمی توان دسترسی داشت اما با دستور $bit\ stream$ می تواند با اطلاعات برنامه ریزی دست پیدا کرد و می سازی به $bit\ stream$ نیست

معایب دشوار تر هست چون هر بار که بخواهیم تغییراتی بفرستیم باید استاندارد CMOS دارد باعث می شود

Year: Month: Day:

Subject:

موضوع: ساخت مدار

کند بودن برنامه ریزی و چون باید یک بایت کامل یک بار در دوباره بنویسیم و این باعث می شود برای کاربر $run\ time\ reconfiguration$ مناسب نباشد

$run\ time\ reconfiguration$ در بعضی کاربردها می توانیم IC در حین اجرا $reconfigure$ شود یعنی اگر سیستم 1 در حال اجرا است می توانیم سیستم 2 را در حین اجرا، اجرا کنیم یعنی می توانیم $reconfiguration$ در حین اجرا انجام شود. در این کاربردها معمولاً از $SRAM\ based$ استفاده می کنند و فواید E^2PROM خاص نیستند و تعداد دفعات برنامه ریزی محدود است و ممکنه تعداد چند بار در این برنامه ریزی محدود باشد پس $SRAM$ ما می توانیم از طریق تعداد دفعات $reconfiguration$ نداشته باشیم برای $run\ time\ reconfiguration$ مناسب نیست

معایب روشن تر از دستور زیاد است

توان استایل زیاد است

م
ر
ا
ن
ت
ی
ن
ی
ن

بعضی اوقات که می خواهیم برنامه ریزی کنیم به صورت گام به گام می توانیم برنامه ریزی کنیم و در این صورت می توانیم دو لایه فلش در یک قطعه عایق های تراشه ها (مانند بایت های حافظه) ONV (این عایق ها می توانند به روشی جریان برنامه ریزی را از آنها رد می کنیم و در این حالت می شود که اتصال را قطع کنیم پس فلش ها می توانند به روشی اتصال دائم برقرار شوند و این برنامه ریزی می تواند در حافظه $SRAM$ ها و $Flash$ ها در این $reconfigurable$ نیستند و $configurable$ هستند

آنتی فیس $AntiFuse$ ها قابل برنامه ریزی می باشند

- مساحت بسیار کم نقاط برنامه ریزی در نتیجه ظرفیت IC بسیار بالایی دارد و مقدار انرژی بسیار زیادی را با آن می توان پیاده سازی کرد

- مزایای کم در سطح روشن (در سطحی از حال همین) موارد می مانند

Year: Month: Day:

Subject:

- خازن بسیار کمتر

- امنیت بالای طرح در برابر سرقت چون در داخل IC و دست کسی به آن امکان پذیر نیست

- امکان تغییر طرح توسط خطای هم وجود ندارد چون اتصال دائمی شود و امکان تغییر آن وجود ندارد در نتیجه

برای کار برد های خاص خاصیت حساسه

- توان مصرفی بسیار کم دارد

اسلاید ۱۹:

مقایسه تکنولوژی های تراشه های برنامه ریزی

صم اسلاید ۸۲

بارگذاری برنامه ریزی به اصطلاحی به نام $load$ داریم که برابر نسبت IC های درست به کل IC ها است

$$load = \frac{\text{تعداد IC های سالم}}{\text{تعداد کل IC ها}}$$

که در اینجا بارگذاری برنامه ریزی یعنی تعداد برنامه ریزی کردن خدنا از IC ها درست کار می کنند به IC های تستی SRAM و فلش تقریباً به مقدار برنامه ریزی به طور کامل درست کار می کنند اما در اکثر موارد به صورت ۹۰ درصد درست کار می کنند

مشارکت در برابر SEU (soft Error)

تکسری تشعشعات در فضای مواد رساننده بر اثر وجود داروای تشعشعات ذرات نوترون یا گاما باعث می شود SRAM ها یا FF های داخل IC مقدار ۰ یا ۱ تبدیل کنند یا ۱ را به صفر تبدیل کنند یعنی به طور ناخواسته مقدار برنامه ریزی تغییر کند

تراشه های تستی SRAM حساس در برابر soft error هستند

«Routing Architecture»

اسلاید ۲۲

یک نرم افزار برای PC که طراحی هزینه های بود. در این طراحی یک درایور از اتصال (رسم هاردرینگ) داریم و در حین آن هزینه های آن را حساب می کنند.

۳۵ در شمار سیستم ها سرچشمه های ما این سرچشمه ها در بالا های و دارند که بعضی ها تحت عنوان connection block

یک از این به اسم wire budget که مقدار wire صادره هر کانال است که یا راضی است که در زمان ساخت مداران مشخص کرده اند که نه خیلی زیاد نه خیلی کم باشد.

Year: _____ Month: _____ Day: _____

دلیل این که مقدار سیم ها زیاد یا خیلی کم باشد و در خیلی زیاد باشد باعث می شود فضای زیادی از سیم ها اختصاص دهد و از سیم های دیگر استفاده نشود و مقدار هر روتر هم مقدار خیلی کم باشد مقدار سیم ها کافی نیست و مسیر را می برد و بسته ای تمام می شود و router دچار مشکل می شود به طور کلی چون مقدار سیم ها قابل تغییر نیست باید در تمام ساخت تصمیم گیری در بسته انجام شود و مقدار مناسبی باید انتخاب شود تا برای design های مختلف مناسب باشد (design کم های مختلف نیازهای متفاوتی دارند و این مشخص کردن design که می خواهد pad شود کاری را از کابینور راحت می کند و می تواند حواصا باشد که برای design های Connection دچار مشکل نشود یا معضات کم در حین ساخت IC را بالا برد)

اسلاید ۷

یک نوبت ای از تراشه های island

اسلاید ۹

دری که router می خواهد مسیر یک اتصال را مشخص کند مثلاً از B تا A یا از C به B یا این که یک راس مسیر مشخص کند باید wire seg ها که باید مورد استفاده قرار گیرد و switch های که در connection block و switch block هستند باید به طور مناسبی و به درستی به راسی مشخص کنند کدام switch و on باشد تا اتصال فراهم شود این کاری است که router باید انجام دهد

اسلاید ۱۰

در داخل switch block ها چند wire seg را از طریق با وارد این switch block می شود به switch block در محل منابع تعیین کننده ها و عموماً با ساختار مشخص وجود دارد هر کدام از اشیاء این نوبت را ترانسستور است (همه ترانسستورهای هر کدام یک ترانسستور هستند و ۹ ترانسستور دارد) و هر ترانسستور یک سلول SRAM متصل می شود که با نام سلول های SRAM مشخص می شود که off/on switch می شود به اینجا PSM می نویسند

CACTUS

در محل منابع می توان ساختار وجود دارد (مثلاً به دلیل این که به نام مشخص شده اند) Flexibility را کم می کند چون هزینه زیادی ایجاد می کند اینها را می توان به هم وصل کرد و این یک trade off بین انعطاف پذیری در حین است

یک FPGA را نشان می‌دهد که در آن مشخصات مدار بالا به سه قسمت اصلی تقسیم شده است: **Routing** (مسیر رانجینگ)، **Map** (نقشه جایگزینی) و **Replacement** (جایگزینی).
 Year: _____ Month: _____ Day: _____ Subject: _____
 switch block و switch on با شد

«پایه صفت» ۱۴۰۵/۱۲/۱۵

Global routing architecture

معماری ۳ Hierarchical
 در این معماری ۳ لایه برای L3 ها به صورت یک شبکه منسجم در **clustered** های زیرمجموعه‌ای یا خوشه‌های می‌تواند در نظر گرفته شود.
 این ۳ لایه در داخل گروه منقسم قرار می‌گیرد (در پایین تر سطح Hierarchical اتصال بین داخل گروه برقرار می‌شود).
 در این اتصال ۳ لایه‌ای به هر یک از گروه‌های مختلف منقسمه باید یک سطح یا دو سطح بالا تر باشد و گروه‌های cluster های آنها به هم متصل شوند.

ساختار Hierarchical یا سلسله مراتبی

در این معماری ۳ لایه ۱: ۱: ۱ و ۱: ۱: ۲ و ۱: ۱: ۳ در یک cluster قرار می‌گیرند که اسم cluster آن ۱: ۱: ۱ است.
 به همین ترتیب ۸ cluster در این وجود دارد - در یک سطح بالاتر cluster، ۱: ۱: ۱ و ۱: ۱: ۲ با هم cluster شدن و اسم آن ۱: ۱ است.
 سلسله منقسمه که ۴ cluster (۱: ۱: ۱ و ۱: ۱: ۲ و ۱: ۱: ۳ و ۱: ۱: ۴) در یک سطح بالاتر cluster شدن و اسم آن ۱: ۱ است.
 (مجموعه ارتباطات در cluster ها را ایجاد می‌کند)

درخت سلسله مراتبی را در پایین این اسلاید مشاهده کنید

۲ ابزارهای کانال یا بصری‌های کانال‌ها (بصری‌های کانال = تعداد اتصالات) هر چه به سطح بالاتر می‌رویم بیشتر می‌شود.
 مثلا اتصال ۱: ۱: ۱ با ۱: ۱: ۲ با ۱: ۱: ۳ با ۱: ۱: ۴ به سه اتصال است، ۱: ۱: ۱ با ۱: ۱: ۲ با ۱: ۱: ۳ با ۱: ۱: ۴ به ۶ اتصال است و اتصال ۱: ۱: ۱ با ۱: ۱: ۲ با ۱: ۱: ۳ با ۱: ۱: ۴ به ۱۲ اتصال است و ...

کاری که ابزارها انجام می‌دهند خلاصه این را می‌توانیم به این صورت از مدار مشخص کرد در مدار اصلی نگاه می‌کنیم.
 گروه منقسمه ها با هم اتصال دارند تا در داخل cluster قرار دهد تا بتواند با ارتباطات داخل cluster راحت سیم‌کشی ها را با هم رد و بدل کند و منابع اتصالات زیاد شود و تا حد امکان سیم‌کشی را

سیرت اصلی 8 Hierarchical

۱) ارتباطات و Delay: LAB ها قابل پیش بینی تر می شود یعنی اگر عمل ها را با این سیستم می توانیم پیش بینی کنیم مقدار Delay آن را (حتی قبل از این که جایابی انجام شود) می توانیم مقدار آن را تخمین بزنیم (تخمین از مقدار Delay)

۲) در بعضی از design ها ممکن است Performance خیلی دهنده یعنی سرعت عملکرد و اندازه و آخرین مدار خیلی بهتر از معماری فرم های است

مسئله اصلی 8 Hierarchical

۱) در هر سطح Hierarchical یک متر نام که برای عبور از آن ممکن است عبور شویم چند Lever

Hierarchy را عبور کنیم حتی اگر نزدیک به هم باشند

۲) در سئو نوی ها جدیدتر آخرین سیستم ها که ما می بینیم بود به مقدار قابل توجهی رسیده است به همین دلیل در مدارات تجاری تعداد Level ها را خیلی زیاد نمی کنند (در سطح ۱ به سطح ۲ بیشتر است)

در FPGA معماری سلسله مراتبی است یا Island style

واقعیت این است که اینجا را با هم مرتبط می کنند در واقع Island style است با دو سطح Hierarchy مثل Lattice, intel, xilinx

یک حالت دیگه که ای دیگرند طول مسیر ها تفاوت است

این یک نوعی inter cyclone است که ای ها در سبک LAB ها هستند و از این ها ارتباطات براساسی بین LAB ها است. مقدار ارتباطات داخل LAB از طریق local inter connect انجام می شود داخل LAB های تعدادی Logic Element است. هر کدام از خودهای این متعلق به ای ای LAB هستند داخل LE ها Lookup Table ها هستند. ارتباطات بین LE ها از طریق local inter connect است

کل دقت تر cyclone که داخل LAB نشان می دهد که در آن LE ها است در واقع LE ارتباطات داخل LAB را به هم مرتبط می کند

برای ارتباطات LAB با هم فرقی LAB این از طریق خطوط آبی که خطوط اتصال براساسی هستند LAB

دستری وصل می شود

معماری خبره ای معروف Spartan 3

داخل CLB حاوی منطق و تعداد زیادی LB داخل CLB هست

Subject: معماری ارتباطات سیستم های داده و LB های داخل CLB
Year: معماری سیستم های داده و LB های داخل CLB

در کنار CLB یک local inter connect وجود دارد که آن switch matrix نامیده می شود.

Lookup Table حاوی یک CLB هست که از خواص و منطق سیستم در ویدئو استفاده می کند. این کار را انجام می دهد و لازم نیست آن را در سیستم روی خطوط سراسری

معماری ارتباطات سیستم های داده

این سطل یک معماری island است

یک یا چند connection block هست که منطق را در connection block این است

این قسمت قابل برنامه ریزی است که با وایر سگمنت ها و وایر سگمنت ها و وایر سگمنت ها

wire seg را وصل می کند و در LB ها

یا در صورت F_{con} (Flexibility) در connection block

را مشخص می کند. این این wire seg های که در LB وجود دارد چه نسبتی از آنها قابل وصل شدن

به دردی است. اگر خواست max flexibility را برای هر عمل تعریف یک switch می توانم

که هر کدام را خواستیم on کنیم تا اتصال ایجاد شود. max flexibility را می توانیم تعریف کنیم

اتصالات را برقرار کنیم. یک نسبت از آن را وصل می کنیم برای اینکه هر چه می کشیم در تعداد آن نسبتی از

مصرف می شود. پس همان FPGA باید تقسیم درستی شود که Flexibility یعنی ما می توانیم معماری

زیادی مصرف می شود و مساحت زیادی تلف شود و این مقدار هم با نسبت می توانیم

یا در صورت F_{con} است که برای هر چه حالت در واقع نسبت تعداد سوئیچ های

است که هر چه راه وایر سگمنت ها

یا در صورت برای switch block حالت

CACTUS انتظاری برای switch block ها را با یک نشان می دهیم

FC ← نسبت نسبت بلکه تعداد است و منظور این است که هر کدام از wire seg های که دارد
 block switch می شوند به حته wire seg دیگر می تواند وصل شود (در شکل کنار این اسلاید هر کدام از
 حتماً یک switch است)
 Subject: _____

Year: _____ Month: _____ Day: _____

* FC نسبت بود ولی FC یک عدد بزرگتر از یک است

اسلاید ۵۲۵

همکاری های داخلی ارتباطات :

۱) Disjoint : در این همکاری اگر ارتباط را شماره گذاری کنیم هر کدام به هم نام خودتون وصل می شوند
 مثلاً ۱ و ۲ قطع به هم وصل می شوند ۱ قطع به ۱ وصل می شود و بقیه قطع به هم وصل می شوند
 در این همکاری اگر یکی block switch ها به هم ترتیب به هم وصل شوند ارتباط پذیری routing
 با این می آید چون هیچ wire seg در یک دامنه به هم وصل نمی شوند و در دامنه دیگر می توانند وصل شوند و
 تمام این دامنه ها از هم انزوا هستند مثلاً هیچ راهی برای اتصال wire seg با شماره کمتر به
 wire seg با شماره ای یک وجود ندارد.
 به همین دلیل همکاری wilton را ارائه دادند

اسلاید ۵۲۶

۲) wilton : این همکاری به این صورت است که در هر block switch ها wire seg به بقیه
 wire seg ها وجود دارد در واقع به این ترتیب راه ارتباطی دامنه به هم یک دامنه یک با دو دامنه دو با سه و
 دامنه سه با هم می آید و یک همکاری خوبی را ایجاد می کنند نسبت به همکاری Disjoint طرز

اسلاید ۵۲۷

یک کار دیگر در IC های امروزی انجام می دهند wire seg های با طول مختلف است
 با طول طول wire seg ها برابر بود و قطعی که نزدیک تر است wire seg های با طول دور ایجاد کنیم و
 تعداد switch مسیر راه اتصال کمتر شود و با ماها با ماها به هم می توانستند طرز مستقیم به هم
 وصل شوند با wire seg به طول ۴ ایجاد شد ۵ (اتصالات با طول ۴ و ۵ و ۶ و ۷ و ۸ و ۹ و ۱۰ است)
 که اینجا باعث می شود block switch های مسیر راه کم شود و به راحتی با ماها با ماها زیاد به هم وصل
 می شوند

اسلاید ۵۲۸

مثال ← IC شرکت Zylinx است

می خوانیم بنیم switch ها چه هستند و از چه جنسی هستند؟

- معنی از switch pass transistor هستند. pass transistor یعنی سوئیچ NMOS.

Year: Month: Day: Subject:

کار pass transistor این است که این اتصال را برقرار کند یا نه. این از لحاظ Area خیلی خوب است چون یک ترانزیستور بیشتر مصرف می کند. اما اتصال که دارد این است که اگر چندتا از این pass transistor ایجاد شود یعنی از چندتا از این switch ها خود ریشه آن وقت تا چند اتصال ایجاد می شود.

pass transistor برای اتصالات کوتاه خیلی خوب عمل می کند. Area و delay قابل قبولی دارد. ولی برای ارتباطات بلند علاوه بر pass transistor از بافر هم استفاده می کنند. بافر خاصی تواند سیگنال را تقویت کند و delay را کم کند در واقع مدارای چندتا pass transistor یک بافر هم قرار هم تا وصل delay را حل کند و tri-state buffer را ایجاد می کند. اما شش این سه بافرها صاحب زیادی از بیت ترانزیستورها اتصال می کنند ولی برای بافر pass transistor هم شکل Area را حل می کند ضم delay

این اتصالات یک طرفه باشند یا در طرفی؟

در شکل یک خط اتصالات بین LB ها از طریق wire seg و block و switch ها جای می آید. آنجا است که چون در switch ها بافر طرف داریم ارتباط ما در طرفی است. این Flexibility خوبی ایجاد می کند و برای ارتباط به طرفی که خواستیم می توانیم بافر آن سمت اتصال کنیم اما این کار باعث می شود که تعداد زیادی Area در برود چون مثلا از ۱۰۰ تا از اینها چیزی حدود ۵۰۰ غیر فعال است (چون از هر کدام از این بافرهای موجود فقط هر دو تا یکی از آنها فعال است) پس اگر چندین یکی این که کارایی efficient تر باشد کاری یک طرفه باشد و اینکه که شکل است می شود اینصورتی در بهترین حالت از همه استفاده می شود و حجمی ۱۰۰ است ولی در بهترین حالت ۵۰۰ خواهد بود.

مثلا در شکل یک است است ۷۰ تا اتصال خوب به است ۱۰۰ تا است به خوب میانه از ۱۴۰ تا بافر داریم (۱۴۰ = ۷۰ × ۲) چون ما در قبل می دیدیم که ۳۰ تا است به خوب می خوانیم پس باید کاری متوازن باشد به چون اندازه کل برای ۷۰ برای این است حجم در نظر بگیریم که همان ۱۴۰ است. در شکل یک خط است است اتصال خوب به است ۷۰ و است به خوب ۱۰۰ تا است چون در این اتصال ۵۰ در هر دو طرف به است استفاده است پس ما ۱۰۰ تا است اتصال میانه داریم (۱۴۰ + ۵۰) و چون گفتیم ۵۰ در هر دو طرف است پس به ۲۰۰ اتصال نیاز داریم.

نکته: در نظر به اتصالات این است که سیم ها از طریق driver ، drive می شوند یا diver (در بعضی موارد به صورت این است)

Year: / / Month: / Day: /

اگر wire seg از طریق مختلف جعبه وصل شوند به آن multiple driver می گویند. اگر تار یک سیم به single driver شود و مطابق driver داشته باشد کار را جایی راحت تر می کند

برای single driver ارتباطی که می توانی از ورودی های حالتی یک سیم به خروجی وصل شود و در pass transistor برداشته می شود. با برابری مناسب select حالتی یک سیم به wire seg وصل می شود در حالت قبلی که در آن سیم ها در حالت wire seg وصل می شود

در single driver و connection blocker و wire seg از هم قابل تفکیک نیستند و در حالتی یک سیم را دارند و سیم multiple drive از هم قابل تفکیک نیستند. از نظر Area و delay ، single driver خاص تر است و single driver soft error را کم می کند

«Research های جدید در زمینه Routing Architecture»

HARP : این کاری که در این switch block ها به طری که در اینجا psm (در

اسلايد ۲۴ هست) وجود داشته و Flexibility بالایی ایجاد می کند و دست ابزار routing را خیلی باز می داند و این Flexibility بالایی ایجاد می کند چون تعداد ترانسستورها زیاد می شود و delay دارد به همین دلیل از من

بکاری HARP را ارائه دادند. هدف این معماری این است که با کم کردن Flexibility تعداد ترانسستورها را کم کند و delay را کم کند. این delay را کم می کند. این delay را کم می کند. این delay را کم می کند.

یک سری راه صورت Hard wire ایجاد کنیم یعنی به جای وجود ترانسستور را با سیم به هم وصل کنیم

اسلاید ۳۹: شکل‌های L شکل و T شکل و + شکل را داشته می‌دهد (در صفحه ۴۲ توضیحات هست اگر کسی)

Year: Month: Day:

Subject: ۳۸ ۳۵

مادر تقسیم سری درست شده به تعداد از ... داشته باشیم و به تعداد از Hard wire ها داشته باشیم
چون اگر از ... زیاد استفاده کنیم Area و delay زیاد می‌شود و اگر تعداد Hard wire زیاد باشد
معمولاً در routing شکل ایجاد شده به اندازه کافی مسیر وجود نداشته باشد
برای این کار، اولین در مرحله این کار را انجام دارند

۱. تحلیل نیازمندی‌های routing ← ابزارهای routing قابلیت‌های زیاد دارند، محدودیت‌های
T شکل نیاز دارند، محدودیت + شکل نیاز دارند ...

در این مرحله یک تعدادی مدار را place و route می‌کنیم routing pattern ها را می‌گیریم
و می‌نویسیم چند در صد T شکل هست، چند در صد + هست و ... (در صفحه رابست می‌بینیم)
۲. بر اساس آن مدار می‌توانیم یک HARF را ایجاد می‌کنیم (استفاده از تعداد مدار pattern ها،
pattern های HARF را ایجاد می‌کنیم)

۳. با در نظر گرفتن HARF می‌توانیم یک router می‌تواند کارهای نهایی و انجام دوباره این
مراحل را شروع می‌شود تا به تعداد لازم از pattern برسیم

نکته: HARF تقسیم‌بندی multiple block length wire (یعنی منتهی اسلاید ۲۷) هست

تقسیم‌بندی HARF، Area و delay را محدود می‌کنند ولی می‌توانیم تعداد ترانزیستورها را کم کنیم
عواملی که باعث می‌شوند توان مصرف شود را کم می‌کنیم و هر یک از اینها به Hard wire کم می‌شود تا
ترانزیستور را کم می‌کنند و خود SRAM و ترانزیستور که به صورت فیلد عمل می‌کنند را قطع می‌کنند تا ۶۰٪ توان
مصرف می‌کنند و اگر کم کنیم این ترانزیستورها باعث کاهش توان می‌شود ولی در صورتی که
در دست است که routing به خوبی انجام شده باشد چون با کم کردن Flexibility ابزار routing
را محدود می‌کنیم و مسیرها را محدود می‌کنیم

در نتیجه کم کردن Flexibility، Area و delay می‌شود ولی این مسیر را می‌توانیم محدود کنیم

و این مسیرهای طولانی ممکنه باعث delay راجد بشوند و critical path های بیشتری را به بار آورند و توان مصرفی پویا را زیاد کند

اسلاید ۴۱

تیم های مختلفی که برای بهسازی اتصال داده شده باعث بیشتر شدن حجمی می شود در delay شده
Year: _____ Month: _____ Day: _____

این اسلاید یک آماری از delay در FPGAs های مختلف در مدل های مختلف را نشان می دهد. محور عمودی

delay است، محور افقی نشان دهنده lookup table های در دسترس است

منظور از lookup table در دسترس نامنه lookup ها از هم دیده است و هر چه در حافظه

از هم کمتر باشد delay کم تر است و چون قدر نامنه بیشتر باشد delay هم بیشتر شود.

در این شکل می بینیم که هر چه تکنولوژی جدیدتر است (هر چه به سمت پایین آمده) تکنولوژی جدیدتر یعنی نوآوری

بیشتر از هم در عمق های بیشتر است (میزان delay به ازای up look های کمتر کم است مثلاً در

تولدهای ۹۰۰، ۸۰۰، ۷۰۰ lookup table در دسترس میزان delay زیر ۱ns است

بنابراین شون بوده که نامنه lookup ها هر چه بیشتر شود delay خفیفی زیاد نمی شود

این شکل کاربرد برای بهساز (double length HARP) باعث می شوند که delay کم تر شود و

LB و lookup table ها هر چه در هم نهان شوند، زیاد شدن تأخیر زیادی را ایجاد کند

lookup table های جدید با delay کم تر و حجم کم تر می شوند و در این شکل به LB دیده می شود

تأخیر بیشتری دارند مثلاً در ابتدا ۸.۷ ns تاخیر می داشت و در نسخه جدید ۸.۷ ns تاخیر می داشت و در نسخه جدید ۸.۷ ns تاخیر می داشت

power consumption

اسلاید ۴۴

توان مصرفی دو بخش دارد: ۱) dynamic power ۲) static power (عده ای می گویند leakage power است)

توان dynamic با leakage

توان را می توان آن بخشی از توان مصرفی است که به دلیل تغییرات سیگنال ها اتفاق می افتد (و ۱ شدن سیگنال ها

به این معنا است که میزان شارژ و دشارژ می شود و این باعث می شود توان مصرفی پویا می شود)

در سیگنال های دوطرفه مانند خروجی و ورودی و کلک حجم بیشتری نسبت به توان مصرفی پویا داریم

و این به دلیل این است که در هر دو جهت تغییر می کنند و در هر دو جهت تغییر می کنند (تأخیر کمتر می شود)

۴۵

$$P_d = K \cdot C_L \cdot V_{DD}^2 \cdot F$$

دینامیک توان
مقاومت کلک

اما leakage power به تغییر حالات بستگی ندارد و اگر هیچ تغییراتی نباشد، این هم عوض نمی‌کند. V_{DD} وصل هستند و در مدار هستند و کامی گندیده دلیل وجود جریان نشتی می‌توان مصرف می‌کند.

مقدار زیادی از منابع افعال به صورت Active استفاده نمی‌شوند و دلیل جریان نشتی می‌توان مصرف می‌کند.

Year: _____ Month: _____ Day: _____

۱- اطاری به سرقتیدن که 1.40 و 1.60 در حد توان مصرفی dynamic و static و programmable interconnect ها است و خطی از آنها استفاده نمی‌شوند برای اجار Flexibility وجود ندارند.

اسلامه ۴۷ :

در این نمودار V_T مقدار threshold را به نشان می‌دهد و دایر V_{GS} از V_T کمتر باشد هیچ ترانزیستور قطع است و جریان هم نمی‌کشد و اگر از V_T بیشتر باشد ترانزیستور وصل است و جریان رو به افزایش است.

V_T به ضابطه تقطه تقطه برادر به تقسیم تقطه برابر V_T است و یک مقدار میل از آن هم جریان کمی وجود دارد که آن subthreshold و نیز همین باعث می‌شود که نشتی می‌شود و به واسطه این V_{GS} در V_T $V_{GS} = 0$ برابر 10^{-10} باشد و در V_T $V_{GS} = 0$ در V_T $V_{GS} = 0$ برابر 10^{-10} است.

بنابراین اگر خواهم جریان subthreshold را کم کنم که جریان نشتی کم شود باید V_{GS} را خیلی نزدیک به صفر کنم.

اسلامه ۵۰ :

از این جایی که برای کاهش توان مصرفی انجام می‌دهند :

روی توان نشتی به واسطه V_{GS} دارد و کم می‌کند.

۱- V_{DD} ترانزیستورهای استفاده شده را قطع کنیم که باعث می‌شود نشتی و مصرف توان پایین می‌آید.

۲- برای بعضی از ترانزیستورهای استفاده شده V_{DD} را کم کنیم و این کم کردن V_{DD} dynamic power و V_{DD} ثابتی نامشدار چون در dynamic V_{DD} را تقسیم داریم و نصف کنیم dynamic power یک چهارم می‌شود.

۳- حفظ عملی که می‌توانیم V_{DD} را کم کنیم این است که delay افزایش پیدا می‌کند و کاری که انجام می‌دهند مصرف‌های که در مدار وجود دارد را بر روی می‌کند و ترانزیستورهای که در مسیر جریان هستند تأخیر را طولی هم می‌کند و از high voltage استفاده می‌کنیم یعنی ولتاژ V_{DD} را کامل به اجزای دهم اجزای بقیه مصرف‌های توان low voltage استفاده کرد و توان را پائین آورد که باعث بهبود توان مصرفی می‌شود.

این IC ها در ASIC و FPGA وجود دارد ولی در FPGA دستیابی به آن دارد که به واسطه این مشخص

نیت (در ASIC به راحتی مشخص است) چون نوع خرید مشخص نیست و وقتی دنبال خودمون را بوی IC

map قسم میری برای و غیر برایی هستند می شود و آن وقت رفته دیو که بر سرم کجایا Low - high و هم کجایا Low -

اسلام آباد

3 اسرار
 T.H.
 بلندی برای حل مشکل Fpga به این زبان است و مشخص کردن این
 Year: Month: Day:
 MOD high با دستورات below

Year: Month: Day:

Day:

مایل براسره از پی می گند و باد و باران تر است و حسش می گند که با low & high drive و بعد پیرای

کریم مستخلص می شود که در مسجد علمانی حضرت مانع

از این دو تا بر این دستور برای مجلس جهانی از مدار که در مدار اصلی هستند و بی استفاده هستند قسم استفاده می کنند و هر دو
موانع دستور را قطع می کنند تا ۷۵۵۵ به آن نرسند

موازنہ دستور اور قطع سے نکلتا WDD ہے، اگر ان پر عمل

این در آنست که حالت دارد ۱) high WDD بیم ۲) low WDD بیم ۳) WDD ۰ بیم

وحد و طبع باشد

این کتب مستطاب می دارد

در سراسر IC ما در دو VDD (VDD high، VDD low) و این کار بسیار خفیه‌ری است

ایکلا من اید ۲

برای ترانزیستورهای NMOS در مدارهای دیجیتال به دو نوع NMOS و PMOS تقسیم می‌شوند. PMOS ترانزیستورهای PMOS در مدارهای دیجیتال به دو نوع PMOS و NMOS تقسیم می‌شوند. PMOS ترانزیستورهای PMOS در مدارهای دیجیتال به دو نوع PMOS و NMOS تقسیم می‌شوند.

pass transistor