

نکته - معمولا برای طراحی interface در یک سیستم ما زبان خاص و توصیف زبان خاص خود را داریم. این توصیف تحت عنوان زبان مدل و توصیفها زبان خاص توصیف سیستم

۱۴۰۰

Year: ..... Month: ..... Day: .....

### Subject:

Subject: 8 FPGAs Architecture

سخت‌افزار (Hardware) طراحی از نظر فیزیکی و اداری، FPGA و ASIC، با هم تفاوت دارند. در ASIC، هر ورودی و خروجی یک بلوک مشخص است و تغییر آن دشوار است. در حالی که در FPGA، هر ورودی و خروجی یک بلوک مشخص است و تغییر آن آسان است. همچنین، در ASIC، هر ورودی و خروجی یک بلوک مشخص است و تغییر آن دشوار است. در حالی که در FPGA، هر ورودی و خروجی یک بلوک مشخص است و تغییر آن آسان است.

جلسہ سب سے دوم  
اساتذہ ۱۵

: Disgn flow for H/w part

مراحل Design Flow ← این طراحی دیجیتال از اراده، زبان HDL یا یورو لایک می‌شود.  
تبدیل شدن به پلاسر و روتینگ می‌شود و در مرحله بعد به شبیه‌سازی (Simulation) انجام می‌دهیم که  
مشخص شود نتایج درست است و به شبیه‌سازی می‌پردازیم و در مرحله بعد به طراحی می‌پردازیم.

اسلام ۱۶

طراحی درسی سنی درون تراشه

بررسی دقیق تر Design Idea ها به این جهت که اصل این فصل به طور دقیق تر انسان می رود .  
در هر یک از شب های انجام می دهیم و اگر درست کار نمی کند می گیریم تو میفون ایا مراح می کشیم و دوباره شب های می کشیم و این عمل است چند بار طول می کشد و اگر درست نشد شب های خود را  
نیمه را دستگیری کشیم و دوباره شب های را اصلاح و غیره و بعد خوابی و میسرای ...

**-CACTUS**

در هر صفحه علاوه بر این که Design entry اسم سیستم منسجی در ردیفی خاص است از جداولی در صفحه هم باید کشش بدیم. مثلاً در صفحه منسجی علاوه بر این که طرح را بیاوریم در آنجا هم باید اسم دهیم مثل است ۱۱۴



تستی عملکرد ما هم که آن به جسم تا ابزار تست کردن هوشی که طراحی دارد را بهتر انجام دهد علاوه بر این باید تاخیر micro cell ما را به دستم و اطلاعات منو فوری (هم باید ششم) (تستی ششم) (FPGA) تاخیر

Subject: FPGA Date:            Year:            Month:            Day:            و به ازای

هر تاخیر چند FPGA داده و ... این اطلاعات را بهتر شده باید داشته باشد تا بتوان در وقت کار کرد را انجام دهد به همین ترتیب در مرحله placement هم اطلاعات منو فوری تا لازم داده و مقیدها را دارد و نیاز به مسیر این جسم هست

اسلاید ۱۷

## توضیح طرح (Design entry)

توضیح طرح به کار عمل در سطح RTL انجام می‌دهیم (یا سطح انتقال ثبات)

سطح انتقال ثبات (Register transfer level): به سطحی از توضیح طرح دیجیتال که در آن رفتار مدار را توضیح می‌دهیم و در حقیقت انتقال داده‌ها بین عناصر مختلف در مدارهای توضیحی و مدارهای ترکیبی که می‌تواند تا آینده هر مدار خطی فاسد بماند یا خطی باشد بیان می‌شود. به این توضیح انتقال ثبات توضیح طراحی است. دقیقاً مشخص می‌کنیم در هر بلاک چه عملیاتی انجام شود. توضیح رفتاری به عکس در رفتار مدار را توضیح می‌دهد و داده‌ها را در هر بلاک چه کاری انجام می‌دهد

اسلاید ۱۸

## RTL specification

در سطح انتقال ثبات دو بخش داریم:

۱ Data path: مجموعه‌ای از رجیسترها و مدارهای ترکیبی که به هم وصل می‌شوند. مشخص می‌کند داده‌ها چه رجیستری به چه رجیستری می‌روند و به چه رجیستری می‌روند. به طور کلی مجموعه‌ای از عملیات که روی داده‌ها انجام می‌شود و رجیسترهایی که داده‌ها را ذخیره می‌کنند و ارتباطات بین آنها.

۲ Control path: به سراسر مدار می‌رود از جمله state به state و به state ورود و هم مشخص می‌کند در هر Transition چه رفتاری می‌شود و به چه رجیستری می‌رود و به چه رجیستری می‌رود.

این دو تا هم دنیا را در یک چیز می‌بینیم. در داده‌ها از سراسر مدار می‌رود و دارد control path. یعنی ما هم از data path می‌بینیم. خودی‌های control path و data path را می‌بینیم. خودی‌های مدار را می‌بینیم.







[illegible]

السيرة:

Year: ..... Month: ..... Day: .....

Subject:-

نمبر و نام حسب مقامی:

از مفاد آن بولس که در دست آمد نقش است راست این اسلام دست می آید در عبارت technology mapping

اسلام ۱۰٪

یہ نئے اوزار نسبت برآمد 3 ماہ میں اس خصوصیت پر ان کے لئے technology mapping

السلامة

[illegible][illegible]

حرف و آوازی که باید به هر یک از این نوع تراش داده شود، مشخص کنیم تراش حرف ج را حیف و کلام

part number

اطلاعات کتابخانه‌ای داده شده که با اختیار خود شماست، Library of Congress  
ماده ایست و می‌داند که خط سبز و قرمز از خط سیاه جدا شده است.  
در صورت نیاز به استناد به این اثر

: ۳۴۵۶

درستی

درستی ۴  
دلیل از دستر نیامده شواهدی وجود ندارد - برای شمارش باید Test bench نوشت

تعارف شدن با آقای دکتر شایسته از طریق این که معانی اصطلاحات تفسیری دارم و بعد از در  
سطح گفتگوهای مشخص شده است و اصطلاحات تفسیری دارم و بعد از در سطح گفتگوهای مشخص شده است

CACTUS

تسبیح بار خدای تعالی را بخوان 3 بار و دست دعا ... ششصد تسبیح و یا 100 تسبیح و یا 10 تسبیح و یا 1 تسبیح



درس پنجم: سین آریستند

Year: Month: Day:

که این جای طراحی برای ما انجام می دهیم

عنوان: محل: موضوع:

عنوان: محل: موضوع:

صلاحتی این آریستند را در این سیستم می بینیم از report که این در این حالت است مقدار این timing را  
 ۳ تا ۴ ثانیه داده است یعنی تا آخر مسیر برای ۳ تا ۴ ثانیه می شود و طراحی شده یعنی کرده است آن را  
 رعایت شده اما برای این که در این حالت که می بینیم از این constraint timing استوار است رعایت شده  
 خلق توان هم می توان انجام داد که خلق توان می شود و می توان مدار در این حالت که در این حالت قبول نیست یا نه

اسلاید ۳۴

جایابی و مسیرابی:

موقعی که placement است. placement معنی قرار دادن آریستند را می بینیم در bit stream  
 را می بینیم که در (مدار مسیرابی) (خروجی جایابی و مسیرابی bit stream) در این حالت  
 محل هر ۳ تا ۴ ثانیه می شود و این کارهای کارهای هم استفاده کرده است جایابی که در این حالت می بینیم  
 و این کار عملی می شود و در این حالت می بینیم که در این حالت می بینیم که در این حالت می بینیم  
 هم در این حالت می بینیم که در این حالت می بینیم که در این حالت می بینیم که در این حالت می بینیم  
 می بینیم که در این حالت می بینیم که در این حالت می بینیم که در این حالت می بینیم که در این حالت می بینیم  
 را می بینیم که در این حالت می بینیم که در این حالت می بینیم که در این حالت می بینیم که در این حالت می بینیم

اسلاید ۳۵

تأثیر جایابی روی موقعیت مسیرابی:

تأثیر جایابی روی موقعیت مسیرابی: placement است که در این سیستم می بینیم Rats net می بینیم که در این  
 و به سیم ها را می بینیم که در این سیستم می بینیم که در این سیستم می بینیم که در این سیستم می بینیم  
 تأثیر تأثیر Rats net placement در این سیستم می بینیم که در این سیستم می بینیم که در این سیستم می بینیم  
 placement خیلی بهتر است. می بینیم که در این سیستم می بینیم که در این سیستم می بینیم که در این سیستم می بینیم  
 تا این placer این را می بینیم که در این سیستم می بینیم که در این سیستم می بینیم که در این سیستم می بینیم

ادامه اسلاید ۳۶

در این سیستم می بینیم که در این سیستم می بینیم که در این سیستم می بینیم که در این سیستم می بینیم  
 CACTUS می بینیم که در این سیستم می بینیم که در این سیستم می بینیم که در این سیستم می بینیم  
 می بینیم که در این سیستم می بینیم که در این سیستم می بینیم که در این سیستم می بینیم که در این سیستم می بینیم



در مرحله پایانی یکی از constraint های که می توانیم در حجم effort level انتخاب می کنیم.  
 اگر effort level بالا حجم زمان placer بیشتر می شود و بارین اگر effort level حجم باشد effort level  
 را باید بالا در حجم انجام زمان اجرا بر مبنای effort level را باید در حجم  
 Year: Month: Day: Subject:

اسلاید ۳۷

در مرحله آخر می بینیم که مشخص می کند هر کدام از اینها اتصال از چه می بینیم باید رد شود و از mux رد شود

«جستجوی بهینه در حجم» ۱۴۰۱/۳/۱۴

اسلاید ۳۹

«درستی منبجی بهینه در حجم»

تست بهینه در حجم بهینه در حجم

در مرحله آخر می بینیم که مشخص می کند هر کدام از اینها اتصال از چه می بینیم باید رد شود و از mux رد شود

است

place and route بهینه در حجم بهینه در حجم

اجرای زمان و تأخیر بهینه در حجم بهینه در حجم

اسلاید ۴۰

placement & routing بهینه در حجم بهینه در حجم

در مرحله آخر می بینیم که مشخص می کند هر کدام از اینها اتصال از چه می بینیم باید رد شود و از mux رد شود

اجرای زمان و تأخیر بهینه در حجم بهینه در حجم

bit stream بهینه در حجم بهینه در حجم

تغییرات bit stream

اجرای زمان و تأخیر بهینه در حجم بهینه در حجم

تغییرات bit stream

اسلاید ۴۱

Design Flow

Design Flow بهینه در حجم بهینه در حجم



می‌کنیم بعد از اجرا Execution می‌شود و در آنجا می‌توانیم وضعیت را در Edit می‌کنیم درگاه کامپایل می‌کنیم و در آنجا می‌توانیم (نمایش می‌دهد) (نمایش می‌دهد) (نمایش می‌دهد)

در Design Flow - ابزار - Subject  
Year: Month: Day: Design entry می‌کنیم (نمایش می‌دهد) (نمایش می‌دهد) (نمایش می‌دهد)

بعد از کامپایل می‌کنیم simulation می‌کنیم (در simulate در آنجا می‌توانیم) (این توانایی است در سطح RTL باشد) بعد از آنکه می‌کنیم Edit می‌کنیم و دوباره simulate و کامپایل می‌کنیم در مراحل بعدی place and route simulate می‌کنیم

اسلاید ۴۲:

مثال (انتخاب یک بزرگ‌ترین عدد)؟  
خوب می‌کنیم در FPGA در آنجا یک FF یک mux است (است) (است)

اسلاید ۴۳:

حالا می‌خواهیم در این FPGA یک Design می‌کنیم و این Fsm را  
تولید می‌کنیم و در آنجا state diagram می‌کنیم و در آنجا state table می‌کنیم و  
در آنجا state table می‌کنیم و در آنجا state table می‌کنیم (در آنجا state table می‌کنیم)  
و در آنجا state table می‌کنیم و در آنجا state table می‌کنیم (در آنجا state table می‌کنیم)  
حالا می‌خواهیم در آنجا state table می‌کنیم و در آنجا state table می‌کنیم (در آنجا state table می‌کنیم)

اسلاید ۴۴:

اینجا می‌توانیم در آنجا state table می‌کنیم و در آنجا state table می‌کنیم (در آنجا state table می‌کنیم)  
و در آنجا state table می‌کنیم و در آنجا state table می‌کنیم (در آنجا state table می‌کنیم)

اسلاید ۴۵:

در آنجا state table می‌کنیم و در آنجا state table می‌کنیم (در آنجا state table می‌کنیم)  
و در آنجا state table می‌کنیم و در آنجا state table می‌کنیم (در آنجا state table می‌کنیم)

CAETUS

در آنجا state table می‌کنیم و در آنجا state table می‌کنیم (در آنجا state table می‌کنیم)  
و در آنجا state table می‌کنیم و در آنجا state table می‌کنیم (در آنجا state table می‌کنیم)



دو تا عددی را ساخت  $AB + AD + p + BO$  است (یعنی) استفسار است در آن تا یاد (Year: Month: Day: Subject:)

تا در این ساخت پنج حرف  $A + B + p + BO$  است (یعنی) استفسار است در آن تا یاد (Year: Month: Day: Subject:)

یاد داده شده است  $p(A+B)$  را یاد داده و تا آخر هم  $or$  فرم

در سطح است ضروری است  $11$  یاد شده است  $11$  یاد شده است  $11$  یاد شده است

مسئله ۴۸:

در سطح پایینی تر از سری مشخص می شود. خط پایینی می باشد جای بخشی را برای اجزای ایستاده و می بیند FPGA در تمام LB موجود در FPGA حساب جهت برای LB که در  $netlist$  به دست آمده قرار دارند

اوست که A را تولید می کند نزدیک او می قرار داده که  $pm$  را تولید می کند

مسئله ۴۹:

۴۹. رابطه  
 در شبکه‌های ارتباطی (مانند شبکه‌های رایانه‌ای) دو نوع سیم‌کشی وجود دارد: direct و switch.  
 در direct سیم‌کشی مستقیم از منبع به مقصد انجام می‌گیرد. در switch سیم‌کشی از طریق یک یا چند واسطه (مانند سوئیچ) انجام می‌گیرد.  
 در شبکه‌های رایانه‌ای، direct معمولاً برای ارتباطات کوتاه و switch برای ارتباطات طولانی و پیچیده استفاده می‌شود.

## FPGA synthesis

الحمد لله

## RTL specification

1- اصل این کتاب توسط آقایان ... و ... در سال ... در تهران ...  
در سال ... در تهران ...

Prun!

۱. مقدمه:  
در سیستم‌های دیجیتال، RTL (ریاضیات برای طراحی) یک روش برای طراحی مدارهای دیجیتال است. در این روش، مدارها به صورت یک سری عملیات (operation) و داده‌ها (data path) تعریف می‌شوند. این عملیات و داده‌ها به صورت یک سری دستورالعمل (code) در یک فایل RTL (مثلاً Verilog یا VHDL) ذخیره می‌شوند. این فایل‌ها سپس توسط یک ابزار طراحی (EDA) به یک مدار فیزیکی (مثلاً یک چیپ) تبدیل می‌شوند.

$$\therefore \mu_{\text{net}} =$$

1: synthesis <sup>from</sup> Goal

CACTUS

سند R.T در این مدار از سیستم رایانه ای یار دیتا استفاده شده است.

CACTUS

این مدار با استفاده از آیسی (FPGA) به دست آمده و این سیستم حال حاضر در مرحله تست قرار دارد.







# FPGA Technology mapping

در خواص بنیم داخل FPGA خاصیت چیست در سطح mapping را با آدرس

Year: ..... Month: ..... Day: .....

Subject: ..... اسم

## Type of algorithms

در رویه های Technology mapping شامل net list و FF حالت و net list از FF ها.  
 در net list از بیت ها یا عبارات بولین هستند و بسیاری از عبارات منطقی که آنها را تشکیل می دهد  
 عمل فیزیکی شده و ... پس هر چه نت است از اعتبار است  
 Technology mapper باید سعی کند عبارات بولین را با لیت ها یا داده های به عملیات منطقی  
 حالت فناوری FPGA خاصیت داده ای عبارات بولین با لیت ها حالت خاص  
 LUT mapping (عبارات بولین) بزرگ را به لیت ها تبدیل و مشخص می کند که چه جوری با لیت ها  
 آنها را می توانیم کرد. هدف LUT mapping این است که می توانیم با لیت ها (یا داده های) که در  
 Area هدف می باشد. اگر سرعت مورد نیازمان به حاصل level از لیت ها کار  
 را انجام دهد

اسم ده

دسته بندی الگوریتم های ارائه شده :

۱- بر اساس objective function که در سطح الگوریتم ها Area driven، speed driven،  
 چون هدف منسوب optimize کردن Area است، و در سطح performance driven  
 حتمه و در سطح Routability driven حتمه و در سطح power driven حتمه  
 ۲- بر اساس شیوه (دری) که در سطح عبارات Combinational و عبارات عبارات  
 ترکیبی (سری) است. mapping بنیم حاصل level از LUT. در سطح sequential speed  
 در سطح و در سطح FF عبارات در سطح FF عبارات در سطح Combinational و  
 طبق شیوه (حالت) FF ها را retiming (تأخیر) که تأخیر را می تواند به هر چه تغییر

۳- بر حسب روشی که در سطح Functional حتمه و در سطح structural حتمه



### 8 Definition

Year: 1997 Month: 01 Day: 01

## Subject

[illegible]

فان in u ← نحو خوردن های که سر در می بخورند و در می نشینند  
فان out u ← نحو برش های که از سر و استاده می کنند (از سر در می کشند) و استاده می کشند

← primary input

disturbance  $\leftarrow$  primary output

سطح کے لئے استعمال کیا گیا ہے اور

عقبات → بر سرِ پیرِ مدافعِ حرمِ

برای اینکه بتوانیم به این شکل  $\text{bounded}$  را بنویسیم این شرط برای هر ورودی  $n$  در  $\text{can in}$  معنای  $K$  باشد  $(\text{input}(n) \leq K)$  (در واقع  $K$  حداکثر حجم تعداد ورودی می باشد)

310 mm!

[illegible]

$K$ -feasible cone: یک مخروط  $K$  feasible cone است اگر درشتی داشته باشد (input) مخروطی است که  $K$  باشد (یعنی در  $K$  قرار بگیرد) مخروطی که در  $K$  قرار بگیرد

12  
 13  
 14  
 15  
 16  
 17  
 18  
 19  
 20  
 21  
 22  
 23  
 24  
 25  
 26  
 27  
 28  
 29  
 30  
 31  
 32  
 33  
 34  
 35  
 36  
 37  
 38  
 39  
 40  
 41  
 42  
 43  
 44  
 45  
 46  
 47  
 48  
 49  
 50  
 51  
 52  
 53  
 54  
 55  
 56  
 57  
 58  
 59  
 60  
 61  
 62  
 63  
 64  
 65  
 66  
 67  
 68  
 69  
 70  
 71  
 72  
 73  
 74  
 75  
 76  
 77  
 78  
 79  
 80  
 81  
 82  
 83  
 84  
 85  
 86  
 87  
 88  
 89  
 90  
 91  
 92  
 93  
 94  
 95  
 96  
 97  
 98  
 99  
 100  
 101  
 102  
 103  
 104  
 105  
 106  
 107  
 108  
 109  
 110  
 111  
 112  
 113  
 114  
 115  
 116  
 117  
 118  
 119  
 120  
 121  
 122  
 123  
 124  
 125  
 126  
 127  
 128  
 129  
 130  
 131  
 132  
 133  
 134  
 135  
 136  
 137  
 138  
 139  
 140  
 141  
 142  
 143  
 144  
 145  
 146  
 147  
 148  
 149  
 150  
 151  
 152  
 153  
 154  
 155  
 156  
 157  
 158  
 159  
 160  
 161  
 162  
 163  
 164  
 165  
 166  
 167  
 168  
 169  
 170  
 171  
 172  
 173  
 174  
 175  
 176  
 177  
 178  
 179  
 180  
 181  
 182  
 183  
 184  
 185  
 186  
 187  
 188  
 189  
 190  
 191  
 192  
 193  
 194  
 195  
 196  
 197  
 198  
 199  
 200  
 201  
 202  
 203  
 204  
 205  
 206  
 207  
 208  
 209  
 210  
 211  
 212  
 213  
 214  
 215  
 216  
 217  
 218  
 219  
 220  
 221  
 222  
 223  
 224  
 225  
 226  
 227  
 228  
 229  
 230  
 231  
 232  
 233  
 234  
 235  
 236  
 237  
 238  
 239  
 240  
 241  
 242  
 243  
 244  
 245  
 246  
 247  
 248  
 249  
 250  
 251  
 252  
 253  
 254  
 255  
 256  
 257  
 258  
 259  
 260  
 261  
 262  
 263  
 264  
 265  
 266  
 267  
 268  
 269  
 270  
 271  
 272  
 273  
 274  
 275  
 276  
 277  
 278  
 279  
 280  
 281  
 282  
 283  
 284  
 285  
 286  
 287  
 288  
 289  
 290  
 291  
 292  
 293  
 294  
 295  
 296  
 297  
 298  
 299  
 300  
 301  
 302  
 303  
 304  
 305  
 306  
 307  
 308  
 309  
 310  
 311  
 312  
 313  
 314  
 315  
 316  
 317  
 318  
 319  
 320  
 321  
 322  
 323  
 324  
 325  
 326  
 327  
 328  
 329  
 330  
 331  
 332  
 333  
 334  
 335  
 336  
 337  
 338  
 339  
 340  
 341  
 342  
 343  
 344  
 345  
 346  
 347  
 348  
 349  
 350  
 351  
 352  
 353  
 354  
 355  
 356  
 357  
 358  
 359  
 360  
 361  
 362  
 363  
 364  
 365  
 366  
 367  
 368  
 369  
 370  
 371  
 372  
 373  
 374  
 375  
 376  
 377  
 378  
 379  
 380  
 381  
 382  
 383  
 384  
 385  
 386  
 387  
 388  
 389  
 390  
 391  
 392  
 393  
 394  
 395  
 396  
 397  
 398  
 399  
 400  
 401  
 402  
 403  
 404  
 405  
 406  
 407  
 408  
 409  
 410  
 411  
 412  
 413  
 414  
 415  
 416  
 417  
 418  
 419  
 420  
 421  
 422  
 423  
 424  
 425  
 426  
 427  
 428  
 429  
 430  
 431  
 432  
 433  
 434  
 435  
 436  
 437  
 438  
 439  
 440  
 441  
 442  
 443  
 444  
 445  
 446  
 447  
 448  
 449  
 450  
 451  
 452  
 453  
 454  
 455  
 456  
 457  
 458  
 459  
 460  
 461  
 462  
 463  
 464  
 465  
 466  
 467  
 468  
 469  
 470  
 471  
 472  
 473  
 474  
 475  
 476  
 477  
 478  
 479  
 480  
 481  
 482  
 483  
 484  
 485  
 486  
 487  
 488  
 489  
 490  
 491  
 492  
 493  
 494  
 495  
 496  
 497  
 498  
 499  
 500  
 501  
 502  
 503  
 504  
 505  
 506  
 507  
 508  
 509  
 510  
 511  
 512  
 513  
 514  
 515  
 516  
 517  
 518  
 519  
 520  
 521  
 522  
 523  
 524  
 525  
 526  
 527  
 528  
 529  
 530  
 531  
 532  
 533  
 534

# CACTUS

(Tronic) as primary input & fan-out assembler











# FPGA Technology mapping chortle

Year: \_\_\_\_\_ Month: \_\_\_\_\_ Day: \_\_\_\_\_

Subject: \_\_\_\_\_

## اسلاید ۲۸ : chortle algorithm

این الگوریتم در optimize area و سعی میکند تعداد لبه ها را کم کند و در درون آن یک fan-out tree و در هر یک از همبستگی است که لبه ها را کم کند.

## اسلاید ۲۸ : chortle of algorithm

در درون الگوریتم chortle of sop باید باشد و لبه ها را کم کند و در درون چورتل لبه ها را کم کند و در درون چورتل لبه ها را کم کند و در درون چورتل لبه ها را کم کند.

bin packing (۱) dynamic programming

اسلاید ۲۹ :

## bin packing problem

مسئله bin packing به ما می دهد که با bin های (محدود ظرفیت) و یک تعداد object داریم و می خواهیم این object ها را در bin های (محدود ظرفیت) قرار دهیم و می خواهیم که تعداد bin ها را کم کنیم.

از طرف دیگر مسئله assign کردن object ها به bin ها است (در درون object ها bin assign شود)

در درون bin packing باید بود. اگر در درون bin ها object ها را قرار دهیم و در درون bin ها object ها را قرار دهیم.

اسلاید ۳۰ :

در اینجا می بینیم که در درون bin ها object ها را قرار دهیم و در درون bin ها object ها را قرار دهیم.

۲۴ و ۲۵ و ۲۶ و ۲۷ و ۲۸ و ۲۹ و ۳۰ و ۳۱ و ۳۲ و ۳۳ و ۳۴ و ۳۵ و ۳۶ و ۳۷ و ۳۸ و ۳۹ و ۴۰ و ۴۱ و ۴۲ و ۴۳ و ۴۴ و ۴۵ و ۴۶ و ۴۷ و ۴۸ و ۴۹ و ۵۰ و ۵۱ و ۵۲ و ۵۳ و ۵۴ و ۵۵ و ۵۶ و ۵۷ و ۵۸ و ۵۹ و ۶۰ و ۶۱ و ۶۲ و ۶۳ و ۶۴ و ۶۵ و ۶۶ و ۶۷ و ۶۸ و ۶۹ و ۷۰ و ۷۱ و ۷۲ و ۷۳ و ۷۴ و ۷۵ و ۷۶ و ۷۷ و ۷۸ و ۷۹ و ۸۰ و ۸۱ و ۸۲ و ۸۳ و ۸۴ و ۸۵ و ۸۶ و ۸۷ و ۸۸ و ۸۹ و ۹۰ و ۹۱ و ۹۲ و ۹۳ و ۹۴ و ۹۵ و ۹۶ و ۹۷ و ۹۸ و ۹۹ و ۱۰۰

در درون CACTUS می بینیم که در درون bin ها object ها را قرار دهیم و در درون bin ها object ها را قرار دهیم.







اسلام ۳۴:

تقسیم اسلایم chortle or دردی که می شود sop باید باشد یعنی برای producter در یک اسلایم

که با هم می شود sop را سازان

Year: ..... Month: ..... Day: ..... Subject: تقسیم ۵-۲ با شش و یک اسلایم با جدول تعداد اسلایم سازی

اسلام ۳۵:

برای اسلایم این decomposition را انجام دهیم در مرحله انجام دهیم؟

در مرحله اول Two level decomposition انجام دهیم

تدقیقش می کنیم multi level decomposition

اسلام ۳۶:

در Two level می خواهیم انجام دهیم اول هر کدام از  $l_1$  ها را با یک  $l_2$  با یک اسلایم سازی کنیم. مثلاً  $l_1$

است تا این می شود  $l_2$  و  $l_3$  در ردی  $l_2$  و  $l_3$  در ردی  $l_2$  با یک  $l_2$  با یک اسلایم سازی کنیم و پس از آن

تعداد زیادی  $l_2$  می شود که  $l_2$  ها را با یک  $l_2$  می شود که  $l_2$  ها را با یک  $l_2$  می شود که  $l_2$  ها را با یک  $l_2$  می شود که

در  $l_2$  ها می داریم که  $l_2$  ها را با یک  $l_2$  می شود که  $l_2$  ها را با یک  $l_2$  می شود که  $l_2$  ها را با یک  $l_2$  می شود که

اول را با هم ترکیب کنند

در multi level با شش و یک  $l_2$  با یک  $l_2$  می شود که  $l_2$  ها را با یک  $l_2$  می شود که  $l_2$  ها را با یک  $l_2$  می شود که

در  $l_2$  ها می داریم که  $l_2$  ها را با یک  $l_2$  می شود که  $l_2$  ها را با یک  $l_2$  می شود که  $l_2$  ها را با یک  $l_2$  می شود که

خوب است پس خوبی  $l_2$  ها را با یک  $l_2$  می شود که  $l_2$  ها را با یک  $l_2$  می شود که  $l_2$  ها را با یک  $l_2$  می شود که

اسلام ۳۷:

steps: Two level decomposition

packing در مرحله اول Two level است

می خواهیم دو تا  $l_1$  و  $l_2$  را با هم ترکیب کنیم و یک  $l_2$  با یک  $l_2$  می شود که  $l_2$  ها را با یک  $l_2$  می شود که

ترکیب  $F_1$  و  $F_2$  را انجام می دهیم این به معنی آن است که  $F_1$  و  $F_2$  را با هم ترکیب می کنیم برای اینکه

این کار را انجام دهیم در راه داریم؟

۱. First-fit انجام دهیم به معنی آن است که  $l_1$  و  $l_2$  را با هم ترکیب می کنیم و یک  $l_2$  با یک  $l_2$  می شود که  $l_2$  ها را با یک  $l_2$  می شود که

۲. Best-fit انجام دهیم به معنی آن است که  $l_1$  و  $l_2$  را با هم ترکیب می کنیم و یک  $l_2$  با یک  $l_2$  می شود که  $l_2$  ها را با یک  $l_2$  می شود که

استاده که  $l_1$  و  $l_2$  را با هم ترکیب می کنیم و یک  $l_2$  با یک  $l_2$  می شود که  $l_2$  ها را با یک  $l_2$  می شود که  $l_2$  ها را با یک  $l_2$  می شود که

اسلام ۳۸:

bin packing & best-fit

CACTUS

فرضاً  $l_1$  ها هستند. فرض است آنقدر دردی حاست و  $l_2$  ها را با یک  $l_2$  می شود که  $l_2$  ها را با یک  $l_2$  می شود که  $l_2$  ها را با یک  $l_2$  می شود که



∴  $K = \frac{1}{2} \times \frac{1}{2} = \frac{1}{4}$

**Subject:**

سین bin 1، آکلت ریشہ، bin 2، 4، و bin 3، 2، آکلت ریشہ است

السلامة ٣٩:

در حالت اول multi در سمت بالایی مدار را مشخص را level 2 بدنام و سمت پایینی مدار را level 3 بدنام و کاری که انجام می ده فرضی است اما level 1 را وارد می کنه به عنوان ورودی و level 2 که ورودی خالی داره در واقع خروجی طرف مقابلیه که بر تراز همه سمت راستی سر و رسید به اونیه که خالی می از همه است به همین ترتیب سلسله وار می ره جلواته انتخاب می کنه و این آخری را سعی می کنه که این فایده level 3 را باره داخل است اما

8. K. u. u. l.

is chortle - crf: Reconvergent path

[illegible]

KLUM

تجوید ترکیب نامہ

फरवरी

negative charge on it and contains

$$: K F_{\mu \nu} I$$

chortle - d

یک نسخه دیگر از chortle اوست اسم chortle د delay را optimize می کند  
دریغبار chortle د او هم نسخه ای است اسم flow map که در هم نسخه د delay را  
حسین کند و واقعاً این کار را تمام می کند و یک مسئله را حل می کند و خوب است



# placement and routing algorithm

## اسلامیه: FPGa placement & routing

Year: \_\_\_\_\_ Month: \_\_\_\_\_ Day: \_\_\_\_\_

Subject: \_\_\_\_\_

نقشه‌های مدار این اسلاید به شما نشان می‌دهد و نتایج تستی از این به شما می‌دهد  
ما در دو placer باید حرکتی را انجام دهیم که در آنجا که congested است و این را به صورت دستی با  
تورینگ به صورت خودکار

اسلامیه: ۱

## placement

منه placement اثر می‌گذارد که در این مرحله interconnect حالت. اگر placer کارش را به اتمام دهد  
طول اتصالات زیاد می‌شود، تأخیر زیاد می‌شود و در هر یک از این موارد مشکل برای مسیر  
وجود می‌آید. راه حل این interconnect منتهی به این است که اتصالات را به صورت دستی با  
کشی و انداختن باشد و بار placement کم می‌شود.

در کسوتوری می‌تواند که switch و mux و ... در placement نقش خیلی مهم دارد

در ASIC هیچ مسئله وجود ندارد ولی در FPGa خیلی اثر زیادی روی performance دارد چون حجم  
طول مسیرها زیاد می‌شود و switch هایی که این مسیرها را از یک نقطه به نقطه دیگر می‌رساند  
باید رد شود. تأثیر این routability هم مشکل جدی داریم. در ASIC اثر می‌گذارد که مسیرها  
باشد می‌توانیم مدار را حل کنیم و بعد از آن می‌توانیم (در واقع فضای طراحی) را محدود  
FPGa مدار این FPGa در صورتی که مدار را به اتمام رسانیم و اگر مدار را به اتمام  
وجود داشته باشد می‌توانیم مدار را حل کنیم و بعد از آن می‌توانیم (در واقع فضای طراحی) را محدود  
اتصال شوند باید یک راه دیگر پیدا کنیم که در آنجا که congested است و این را به صورت دستی با

## FPGa placement است

اسلامیه: ۲

فلا توینج داده شده

اسلامیه: ۳

## Simulated annealing

ما از این روش برای حل مسئله placement می‌توانیم استفاده کنیم و می‌توانیم ASIC را به صورت  
CACTUS  
Simulated annealing است. ایده آن از فرایند فرسایشی Annealing گرفته شده. در این فرایند



## a simulated annealing

این الگوریتم placement را از یک حالت تصادفی شروع می کند و سعی می کند با تغییر دادن اجزای مدار به دنبال یافتن بهترین حالت می گردد. این فرآیند شبیه به فرآیند سرد شدن یک فلز است. در هر مرحله از فرآیند، یک تغییر کوچک در placement ایجاد می شود و اگر این تغییر منجر به کاهش هزینه شود، آن تغییر پذیرفته می شود. در غیر این صورت، با احتمالی که به دما بستگی دارد، تغییر رد می شود. این فرآیند تا زمانی که دما به حد کافی پایین نیفتد و یا تغییرات placement منجر به بهبود هزینه نشود، ادامه می یابد.

در هر مرحله از فرآیند، یک تغییر کوچک در placement ایجاد می شود و اگر این تغییر منجر به کاهش هزینه شود، آن تغییر پذیرفته می شود. در غیر این صورت، با احتمالی که به دما بستگی دارد، تغییر رد می شود. این فرآیند تا زمانی که دما به حد کافی پایین نیفتد و یا تغییرات placement منجر به بهبود هزینه نشود، ادامه می یابد.

## bridging

این فرآیند برای رفع مشکلاتی که در فرآیند placement ایجاد می شود، استفاده می شود. این فرآیند شامل تغییر دادن اجزای مدار است تا به نحوی که بتواند مشکلاتی را که در فرآیند placement ایجاد می شود، رفع کند.

در هر مرحله از فرآیند، یک تغییر کوچک در placement ایجاد می شود و اگر این تغییر منجر به کاهش هزینه شود، آن تغییر پذیرفته می شود. در غیر این صورت، با احتمالی که به دما بستگی دارد، تغییر رد می شود. این فرآیند تا زمانی که دما به حد کافی پایین نیفتد و یا تغییرات placement منجر به بهبود هزینه نشود، ادامه می یابد.

## search space

مجموعه تمام حالت های ممکن برای placement را search space می نامند. این مجموعه شامل تمام حالت های ممکن برای placement است. این مجموعه به نحوی تعریف می شود که تمام حالت های ممکن برای placement در آن قرار می گیرند.

این فرآیند برای رفع مشکلاتی که در فرآیند placement ایجاد می شود، استفاده می شود. این فرآیند شامل تغییر دادن اجزای مدار است تا به نحوی که بتواند مشکلاتی را که در فرآیند placement ایجاد می شود، رفع کند.

این فرآیند برای رفع مشکلاتی که در فرآیند placement ایجاد می شود، استفاده می شود. این فرآیند شامل تغییر دادن اجزای مدار است تا به نحوی که بتواند مشکلاتی را که در فرآیند placement ایجاد می شود، رفع کند.

این فرآیند برای رفع مشکلاتی که در فرآیند placement ایجاد می شود، استفاده می شود. این فرآیند شامل تغییر دادن اجزای مدار است تا به نحوی که بتواند مشکلاتی را که در فرآیند placement ایجاد می شود، رفع کند.

این فرآیند برای رفع مشکلاتی که در فرآیند placement ایجاد می شود، استفاده می شود. این فرآیند شامل تغییر دادن اجزای مدار است تا به نحوی که بتواند مشکلاتی را که در فرآیند placement ایجاد می شود، رفع کند.



اسلام آباد

اسم: simulated annealing

یک  $T_0$  داریم که در حجم حرارت اولیه است و یک پارامتر مستقیم داریم که از  $T_0$  شروع می شود و به یک  $T_{min}$  می رسد  
Year: \_\_\_\_\_ Month: \_\_\_\_\_ Day: \_\_\_\_\_ Subject: \_\_\_\_\_

حرارت  $T$  را می بینیم. به صورت کلیه حسی که از  $T$  داریم می بینیم که  $T_{min}$  می رسد و این  $T_{min}$  را می بینیم  
با آن باید  $initial\ solution$  را بگیریم و مقدار  $cost$  را اندازه گیری می کنیم. در مرحله بعدی  $perturb$  می دهیم که از  $Temp$  و  $achieve$  استفاده می کنیم  
انجام دهم