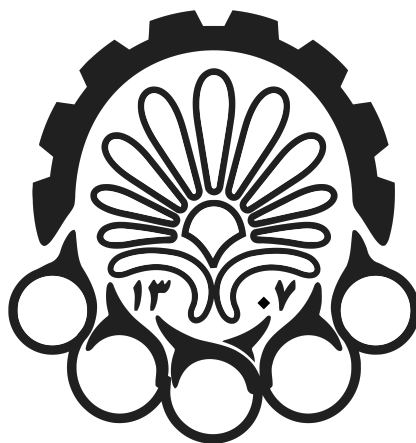


طراحی سیستم‌های قابل بازیگر بندی  
دکتر صاحب‌الزمانی

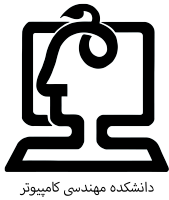


**دانشگاه صنعتی امیرکبیر**  
( پلی تکنیک تهران )  
دانشکده مهندسی کامپیوتر

رضا آدینه پور ۴۰۲۱۳۱۰۵۵

تمرین سری دوم

۲۱ آبان ۱۴۰۳



دانشکده مهندسی کامپیوتر

# طراحی سیستم‌های قابل بازپیکربندی

تمرین سری دوم

رضا آدینه پور ۴۰۲۱۳۱۰۵۵

## سوال اول

با ذکر دلیل بیان کنید جملات زیر صحیح هستند یا خیر.

۱. خانواده Cyclone نسبت به Stratix مصرف انرژی کمتری دارد.

پاسخ

نادرست.

۲. معماری کلی تراشه‌های برنامه‌پذیر از تولیدکننده‌ای به تولیدکننده دیگر کاملاً متفاوت است.

پاسخ

نادرست.

۳. مدل‌های Cyclone تولیدی شرکت Intel دارای هسته پردازنده ARM هستند.

پاسخ

نادرست.

۴. بلوک‌های منطقی قابل پیکربندی (CLB) در خانواده اسپارتان دارای slice‌های مشابه هستند.

پاسخ

نادرست.

۵. برای ارتباط دو سیستم مبتنی بر اسپارتان LX25 با سرعت بالا می‌توان از رابط Gigabyte استفاده کرد.

پاسخ

درست.

۶. بلوک URAM در اسپارتان قابل پیکربندی به صورت دسترسی تک کاناله و دوکاناله است.

پاسخ

درست.

۷. خانواده Artix-7 دارای بیش از ۷۰۰ ضرب‌کننده سخت‌افزاری است.

پاسخ

نادرست.

۸. بلوک‌های MLAB در Cyclone برای پیاده‌سازی FIFO مناسب نیست.

پاسخ

درست.

۹. معماری FPGAها برای داده‌های پردازشی با سایز مختلف مناسب نیست و برای این منظور GPUها کاربرد بیشتری دارند.

پاسخ

نادرست.

۱۰. در Stratix 10 از معماری LUT قابل شکستن استفاده شده است که قادر به تامین دو LUT با ۳ ورودی و یک LUT با ۴ ورودی با ورودی‌های مستقل هستند.

پاسخ

نادرست.

## سوال دوم

تفاوت‌های اصلی بین خانواده‌های Cyclone و Stratix را توضیح دهید و ذکر کنید در چه شرایطی استفاده از هر کدام مناسب‌تر است؟ همین مقایسه را در خصوص خانواده Stratix و Virtex نیز انجام دهید. موارد را در داخل مدارک فنی شرکت‌های تولیدکننده مشخص کرده و محل آنها را در گزارش خود بیاورید.

پاسخ

## سوال سوم

آیا با کاهش دقت ذخیره‌سازی برای پیاده‌سازی در FPGAها خصوصاً در شبکه‌های عصبی با استفاده از کوانتیزاسیون همواره دقت کاهش می‌یابد؟ موضوع را تا حد ممکن در حالات مختلف بررسی کنید و با کمک مقالات روز نتایج حاصل را مقایسه کنید. علت استفاده از این روش را نیز به صورت کامل توضیح دهید. در نوشته خود به مقالات مطالعه شده ارجاع دهید.

پاسخ

## سوال چهارم

با پیشرفت‌های حاصل شده در خصوص شبکه‌های عصبی معماری‌های FPGA جدید نیز برای پاسخ به این نیاز ایجاد شده‌اند. در این خصوص دو معماری Speedster7t و Versal ACAP را با معماری Stratix 10 مقایسه نمایید و مزایای استفاده از هر یک را برای کاربرد شبکه عصبی شرح دهید. موارد مربوطه را در مدارک فنی شرکت‌های مربوطه مشخص کرده و قسمت مشخص شده را در گزارش خود اضافه نمایید.

پاسخ

## سوال پنجم

در این تمرین هدف طراحی و پیاده‌سازی بخشی از یک سیستم پردازش تصویر بی‌درنگ بر روی Zynq SoC است. برای انجام این تمرین بایستی مهارت‌های مربوط به نحوه ارتباط بین بخش PS (سیستم پردازنده) و PL (منطق قابل برنامه‌ریزی) و همچنین نحوه استفاده از رابط میان آنها به عنوان مثال AXI برای ارتباط بین PS و PL مطرح شده در تمرین قبلی را به خوبی فراگرفته باشید.

هدف ایجاد یک هسته برای پردازش تصویر ورودی و تشخیص لبه به صورت بی‌درنگ است. در این تمرین قسمت هسته پردازشی بایستی طراحی شود که یک تصویر را دریافت و خروجی متناظر تشخیص لبه را ایجاد کند. تشخیص لبه یکی از عملیات پایه در پردازش تصویر است که تغییرات ناگهانی در شدت پیکسل‌ها را شناسایی می‌کند. الگوریتم‌های رایج برای تشخیص لبه شامل فیلتر Sobel، Prewitt و Canny هستند. نمونه خروجی تشخیص لبه در تصویر زیر آورده شده است:



شکل ۱: تشخیص لبه در تصویر

در این تمرین بایستی تصویر از قسمت PS برای پردازش به قسمت PL ارسال شود و نتایج به قسمت PS جهت نمایش بازگشت داده شود. برای شبیه‌سازی می‌توان قسمت PL را با داده ورودی از طریق Testbench مورد آزمایش قرار داد. برای ورودی، از یک تصویر که شماره دانشجویی شما بر روی آن نوشته شده استفاده نمایید. توضیح کامل نحوه پیاده‌سازی و ایجاد ورودی و خروجی‌ها را در گزارش اضافه کنید و همچنین فایل پروژه خود را با فرمت ZIP در سامانه بارگذاری کنید. برای الگوگرفتن از یک کد نمونه می‌توانید از این [لینک](#) استفاده نمایید. همچنین الگوگرفتن از کدهای مشابه با ارجاع به منبع، منع ندارد.