



بسمه تعالی
طراحی سیستم‌های قابل بازپیکربندی
نیمسال اول 1403-1404
تمرین چهارم



دانشگاه صنعتی امیرکبیر
(پلی تکنیک تهران)

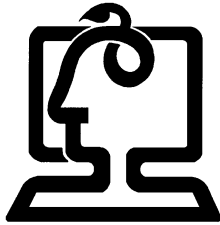
تحویل روز سه‌شنبه مورخ 1403/10/04

- ارسال تمرینات به صورت الکترونیکی و از طریق سامانه دروس خواهد بود. فایل ارسالی شما فایل zip با نام sid_hs.zip است که sid شماره دانشجویی و hs شماره سری تمرین است. پرسش‌هایی که پاسخ آن‌ها ماهیت تشریحی و تحلیلی دارد را به صورت تایپ‌شده یا دستی نوشته و به صورت یک فایل PDF ذخیره نمایید.
 - زمان تحویل هر سری از تمرینات مشخص بوده و امکان تغییر آن وجود ندارد. در حل تمرینات، می‌توانید با یکدیگر همفکری و بحث نمایند ولی هر شخص می‌بایست در نهایت پاسخ و استدلال خود را به صورت انفرادی بنویسد و در صورت شباهت پاسخ، تمامی افراد نمره تمرین را از دست خواهند داد.
 - برای هر روز دیرکرد در ارسال تمرین 10 درصد جریمه اعمال خواهد شد. ارسال دیرهنگام فقط تا 2 روز پس از زمان مقرر شده امکان‌پذیر است و پس از آن نمره تمرین صفر در نظر گرفته خواهد شد.
- چنانچه ابهامی در زمینه تمرینات دارید، می‌توانید اشکالات خود را از طریق پست الکترونیکی زیر با موضوع RCS-2024 مطرح نمایید.

h.malakouty@aut.ac.ir

ملکوتی

موفق و پیروز باشید



تحويل روز سه‌شنبه مورخ 1403/10/04

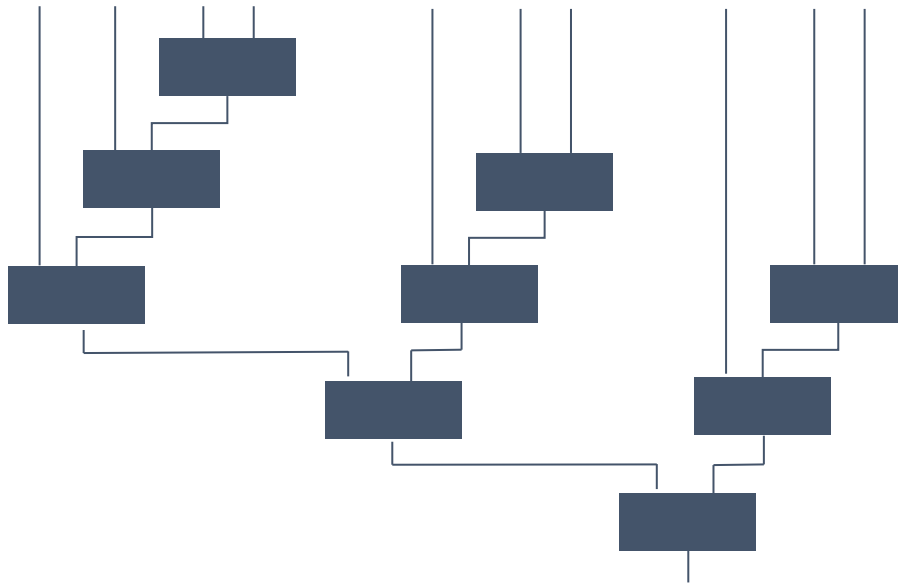
1- با ذکر دلیل بیان کنید جملات زیر صحیح هستند یا خیر.

- نگاشت فناوری (technology mapping) می‌تواند بر اساس نوع شبکه ورودی به دو دسته ترکیبی یا ترتیبی طبقه‌بندی شود.
- هدف اصلی نگاشت فناوری FPGA فقط کمینه‌سازی مساحت اشغال شده توسط جداول جستجو است.
- نگاشت فناوری FPGA عمدتاً از جداول جستجو (LUT) برای عملیات خود استفاده می‌کند و فقط شامل نگاشت LUT است.
- شبیه‌سازی پس از چیدمان (post-layout) اطلاعات کمتری نسبت به شبیه‌سازی قبل از سنتز ارائه می‌دهد.
- Chortle-d برای بهینه‌سازی مساحت طراحی شده است.
- الگوریتم نگاشت ترتیبی می‌تواند فلیپ‌فلاپ‌ها را در طول فرآیند نگاشت جابجا کند.
- الگوریتم FlowMap تأخیر سیگنال‌ها را در طراحی‌های نگاشت شده حداقل می‌کند.
- بهینه‌سازی برای مساحت در نگاشت منجر به کاهش تأخیر نیز می‌شود.
- کارایی مسیریابی مستقل از جایابی در طراحی‌های FPGA است.
- در شبیه‌سازی تبرید (simulated annealing)، کاهش هزینه همیشه منجر به پذیرش یک حرکت می‌شود.
- تابع هزینه در VPR بر اساس طول سیم است و تراکم می‌باشد.



تحويل روز سه‌شنبه مورخ 1403/10/04

2- در کلاس درس، مدار زیر را با هدف حداقل کردن تاخیر به صورت دستی روی LUTهای 4 ورودی نگاشت کرده‌اید. الگوریتم FlowMap را روی این گراف اجرا کنید و مراحل آن را نشان دهید و نتیجه نگاشت را رسم کنید. هر مستطیل نماینده یک گیت است.



3- سه نمونه مختلف از الگوریتم‌های مورد استفاده در نگاشت تکنولوژی FPGA (غیر از الگوریتم‌های تدریس شده) را به طور خلاصه توضیح دهید (برای هر کدام یک پاراگراف) و سپس بررسی کنید که چگونه می‌توان آنها را بر اساس توابع هدف و انواع شبکه‌های ورودی طبقه‌بندی کرد.

4. یک مثال از مداری را بنویسید که برای مرحله اول Chortle-crf، روش first-fit جواب بدتری نسبت به best-fit می‌دهد.



تحويل روز سه‌شنبه مورخ 1403/10/04

5. مفهوم برش k -feasible در نگاشت فناوری FPGA را توضیح دهید و مزایای استفاده از آن در بهینه‌سازی طراحی را در یک پاراگراف شرح دهید.

6. پروژه:

در ادامه پروژه قبلی دو لایه مخفی کاملاً متصل را به سیستم خود متصل کنید. علاوه بر این یک لایه خروجی با 10 نورون نیز برای خروجی شبکه در نظر گرفته و به شبکه متصل شود.

الف - عملکرد شبکه کاملاً متصل را به صورت مستقل بررسی کنید.

ب - در صورتی که شبکه مشابه در پایتون آموزش داده شده و وزن‌های آن برای تست شبکه در نظر گرفته شود 10٪ امتیاز بیشتر برای بخش پروژه در نظر گرفته می‌شود.

ج - در صورتی که کل شبکه (شامل لایه‌های کانولوشن و کاملاً متصل) در پایتون آموزش داده شده و وزن‌های آن برای تست شبکه در نظر گرفته شود 20٪ امتیاز بیشتر برای بخش پروژه در نظر گرفته می‌شود.

در صورت انجام ب یا ج نیازی به انجام بخش الف نمی‌باشد.