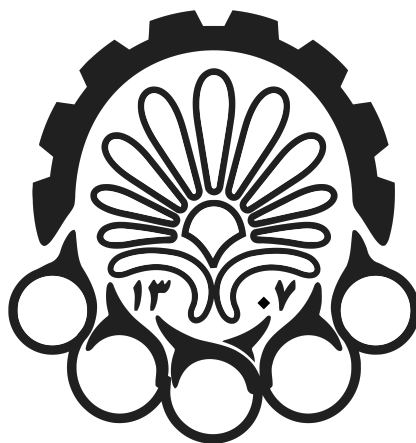


طراحی سیستم‌های قابل بازیگر بندی دکتر صاحب‌الزمانی

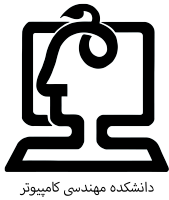


دانشگاه صنعتی امیرکبیر
(پلی تکنیک تهران)
دانشکده مهندسی کامپیوتر

رضا آدینه پور ۴۰۲۱۳۱۰۵۵

تمرین سری سوم

۲ آذر ۱۴۰۳



دانشکده مهندسی کامپیوتر

طراحی سیستم‌های قابل بازپیکربندی

تمرین سری سوم

رضا آدینه پور ۴۰۲۱۳۱۰۵۵

سوال اول

با ذکر دلیل بیان کنید جملات زیر صحیح هستند یا خیر:

۱. CGRA ها از بلوک‌های محاسباتی در سطح کلمه استفاده می‌کنند در حالی که FPGA ها از بلوک‌های منطقی در سطح بیت استفاده می‌کنند.

پاسخ

درست.

۲. Eyeriss یک CGRA است که برای پردازش تصویر طراحی شده است.

پاسخ

نادرست.

۳. HyCUBE امکان ارتباط بین واحدهای عملیاتی دور از هم را در یک سیکل فراهم می‌کند.

پاسخ

نادرست.

۴. در سیستم‌های قابل پیکربندی مجدد استاتیک، زمان اجرا، توالی محاسبات و پیکربندی مجدد از قبل در زمان کامپایل مشخص می‌شود.

پاسخ

نادرست.

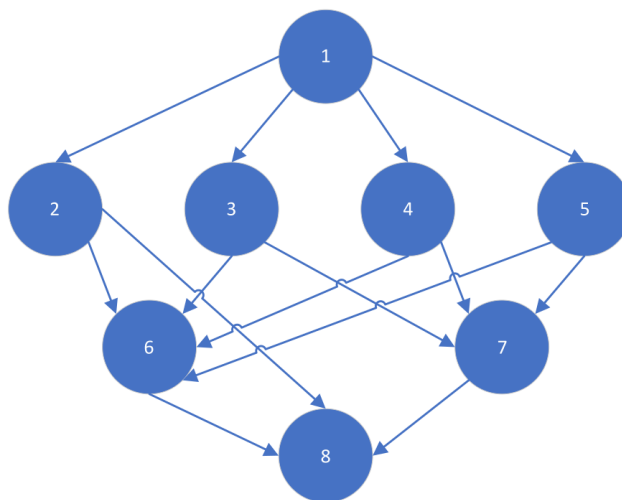
۵. پیکربندی مجدد پویا امکان تنظیم رفتار سیستم را در حین پردازش فعال وظایف فراهم می‌کند.

پاسخ

نادرست.

سوال دوم

شکل زیر یک DFG است که می‌بایست به صورت بهینه بر روی یک 2×2 CGRA نگاشت شود.



شکل ۱: DFG

هر گره تنها شامل یک عملیات است و شماره هر گره داخل آن درج شده است.

۱. نحوه نگاشت خود را شرح دهید.

پاسخ

۲. مقدار Initiation Interval را گزارش نمایید.

پاسخ

سوال سوم

تفاوت‌های اصلی بین سیستم‌های قابل پیکربندی مجدد استاتیک آفلاین و سیستم‌های قابل پیکربندی مجدد پویای زمان-اجرا را با تمرکز بر نحوه تعریف توالی محاسبات و قابلیت‌های پیکربندی مجدد توضیح دهید. یک مقاله را که از این قابلیت‌های FPGA استفاده کرده است بررسی کنید و خلاصه آن را در دو پاراگراف گزارش نمایید.

پاسخ

سوال چهارم - پروژه عملی

در این پروژه، با نگاه به پروژه قبلی، بخش کانولوشن، یک سیستم پردازش تصویر طراحی می‌گردد. در این سیستم ورودی مربوط به دیتاست MNIST با سایز ۲۸ در ۲۸ بوده و ۳ فیلتر کانولوشن به ابعاد ۳ در ۳ به صورت پشت سر هم بر روی تصویر اعمال می‌شود. مقادیر موجود در ماتریس‌های کانولوشن به صورت تصادفی انتخاب شده و به عنوان ورودی به تابع کانولوشن داده می‌شود (در کد Fix نشده باشد) و خروجی با نمونه نرم‌افزاری مورد بررسی قرار می‌گیرد.

برای اطلاعات بیشتر می‌توانید از [این لینک](#) استفاده کنید.

در گزارش ارسالی علاوه بر شرح مراحل کار با فرض استفاده از Zynq7010 میزان سرعت و تأخیر اولیه را گزارش نمایید. همچنین با فرض امکان گسترش که برای پردازش موازی چه تعداد از بلوک طراحی شده شما در این FPGA قابل به کارگیری به صورت همزمان خواهد بود؟

پاسخ