

دانشگاه صنعتی امیرکبیر  
(پلی تکنیک تهران)

دانشکده‌ی مهندسی کامپیوتر و فناوری اطلاعات

گزارش اولیه درس سمینار  
گرایش معماری سیستم‌های کامپیوتری

عنوان

ارایه یک روش بین لایه‌ای برای مقابله با خطاهای چند رخدادی گذرا  
در مدارات ترکیبی

نگارنده

امیرمحمد حاجی صادقی

استاد درس

دکتر مرتضی صاحب‌الزمانی

مرداد ۱۳۹۶



## چکیده

کاهش اندازه ترانزیستورها و کاهش ولتاژ تغذیه، سبب افزایش قابل توجه حساسیت مدارها نسبت به خطاهای نرم شده است. آزمایش‌های اخیر نشان می‌دهند که در تکنولوژی‌های سطح نانومتر، سهم شایانی از خطاهای نرم به واسطه گیت‌های ترکیبی رخ می‌دهند. علاوه بر این نشان داده شده است که اصابت ذرات عمدتاً منجر به خطای چندرخدادی گذرا می‌شود. از این‌رو در این پژوهش به بررسی روش‌های موجود مقاوم‌سازی با سربار کم در جهت مقابله با خطاهای چندرخدادی گذرا در مدارات ترکیبی پرداخته می‌شود.

در گذشته و در غیاب روش‌های محافظت‌کننده در برابر خطای نرم، نرخ این خطاها به صورت مستقیم با افزایش تعداد سلول‌ها در طرح افزایش می‌یافت، ولی در سال‌های اخیر خطاهای نرم که به واسطه برخورد یک ذره به عناصر ترتیبی و یا گیت‌های ترکیبی که به ترتیب واژگونی تک‌رخدادی (SEU) و تک‌رخدادی گذرا (SET) نامیده می‌شوند، به طور وسیعی مورد مطالعه و بررسی قرار گرفته‌اند. در تکنولوژی‌های بزرگ‌تر خطای نرم تاثیر بسزایی بر روی عناصر ترتیبی مدارها دارد و عموماً نرخ خطای نرم با استفاده از کدهای تصحیح خطا و روش‌های توکار به مقدار قابل توجهی کاهش می‌یابد. امروزه با کوچک‌تر شدن تکنولوژی و رسیدن به ابعاد نانومتر، بسیار محتمل است که برخورد یک ذره پرنرژی، بر روی چندین سلول مجاور در یک مدار تاثیر بگذارد و نهایتاً به واژگونی چندرخدادی در مدارهای ترتیبی (MEU) و یا چندرخدادی گذرا در مدارهای ترکیبی (MET) منجر شود. از این‌رو بررسی روش‌هایی با سربار کم و در عین حال مقاوم به عنوان یک مسئله‌باز مورد تحقیق و پژوهش است.

توجهی

**واژگان کلیدی:** مدارات ترکیبی، تحمل‌پذیری اشکال (Fault Tolerance)، اشکال گذرا (Transient Fault)، تک رخدادی گذرا (Single Event Transient)، چند رخدادی گذرا (Multiple Event Transien)

# فهرست

فهرست شکل‌ها

ب

۱	مقدمه	۱
۲	خطای نرم	۴
۱.۲	طریقه شکل‌گیری خطا	۴
۲.۲	اثر برخورد ذره در مدارهای ترکیبی	۶
۱.۲.۲	پوشش الکتریکی	۷
۲.۲.۲	پوشش منطقی	۸
۳.۲.۲	پوشش زمانی	۹
۳.۲	انواع خطا	۱۰
۱.۳.۲	خطاهای وابسته به عوامل ساخت	۱۰
۲.۳.۲	خطاهای وابسته به عوامل محیطی	۱۱
۴.۲	روش‌های سخت‌سازی در زمان طراحی	۱۱
۵.۲	مدل‌سازی اشکال در سطح مدار	۱۳
۶.۲	معیارهای اندازه‌گیری نرخ خطای نرم	۱۵
۳	مرور پیشینه تحقیق	۱۷
۱.۳	SRAM	۱۷
۲.۳	Latch	۲۰
۳.۳	Flip-Flop	۲۱
۴.۳	مدارهای ترکیبی	۲۳
۵.۳	تخمین نرخ خطای نرم	۳۲
۱.۵.۳	تزریق اشکال مبتنی بر شبیه‌سازی بردارهای تصادفی	۳۲
۲.۵.۳	روش‌های مبتنی بر نمودار تصمیم‌گیری دودویی	۳۴
۳.۵.۳	روش‌های مبتنی بر ارض‌پذیری بولی	۳۵
۴.۵.۳	روش‌های مبتنی بر احتمال انتشار اشکال	۳۵
۵.۵.۳	تخمین نرخ خطای نرم آگاه از تغییرات ساخت	۳۶
۴	چالش‌های موجود	۳۹
۵	جمع‌بندی	۴۱
۶	مراجع	۴۲

## فهرست شکل‌ها

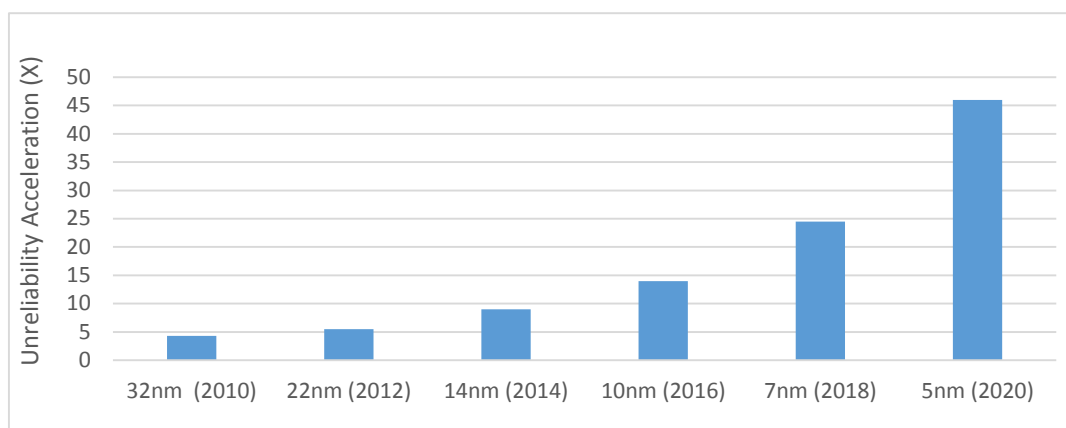
- شکل ۱-۱: افزایش سرعت رشد عدم اتکاپذیری با هر نسل از فناوری ساخت..... ۲
- شکل ۲-۱: میزان سرعت رشد خطاهای نرم، تغییرات فرآیند ساخت و سالخوردگی در هر نسل از فناوری..... ۲
- شکل ۱-۲: ایجاد الکترون-حفره در نیمه‌هادی در اثر برخورد ذره پرتانرژی..... ۵
- شکل ۲-۲: انتشار پالس ناخواسته در مدار..... ۶
- شکل ۳-۲: فرآیند تولید خطای نرم شامل برخورد ذره و تولید پالس گذرا، انتشار از طریق دروازه‌های منطقی و ذخیره در فلیپ‌فلاپ مدار..... ۷
- شکل ۴-۲: مثالی از پوشش الکتریکی..... ۸
- شکل ۵-۲: مثالی از پوشش منطقی..... ۹
- شکل ۶-۲: مثالی از پوشش زمانی..... ۱۰
- شکل ۷-۲: افزودنی زمانی برای تشخیص خطاهای تکررصادی در مدارات ترکیبی..... ۱۲
- شکل ۸-۱۲: افزودنی سخت‌افزار جهت تشخیص خطای تکررصادی در مدارات ترکیبی..... ۱۲
- شکل ۹-۱۲: افزودنی سخت‌افزار جهت تشخیص خطای تکررصادی در مدارات ترتیبی..... ۱۲
- شکل ۱۰-۲: روش افزودنی سه برابرسازی ماژول..... ۱۳
- شکل ۱۱-۲: فرآیند برخورد ذره و تبدیل جریان گذرای ناشی از برخورد به پالس ولتاژ گذرا در خروجی..... ۱۴
- شکل ۱-۳: ساختار سلول SRAM، ۱۳ ترانزیستوری مقاوم در برابر خطاهای چند رخدادی..... ۱۸
- شکل ۲-۳: ساختار سلول SRAM، ۱۲ ترانزیستوری مقاوم در برابر خطاهای چند رخدادی..... ۱۹
- شکل ۳-۳: ساختار سلول SRAM، مقاوم در برابر خطاهای چند رخدادی..... ۱۹
- شکل ۴-۳: ساختار سلول لچ، مقاوم در برابر خطاهای چند رخدادی..... ۲۰
- شکل ۵-۳: ساختار سلول لچ، مقاوم در برابر خطاهای چند رخدادی..... ۲۱
- شکل ۶-۳: ساختار فلیپ‌فلاپ، مقاوم در برابر خطاهای چند رخدادی..... ۲۲
- شکل ۷-۳: ساختار فلیپ‌فلاپ، مقاوم‌سازی شده در برابر خطاهای چند رخدادی..... ۲۲
- شکل ۸-۳: ساختار فیلتر پیشنهادی جهت حذف اثرات خطاهای تک رخدادی..... ۲۵
- شکل ۹-۳: ساختار سلول معکوس‌کننده سخت‌سازی شده..... ۲۶
- شکل ۱۰-۳: روند تخمین نرخ خطای نرم در مقاله..... ۲۶
- شکل ۱۱-۳: تاثیر جایابی صورت گرفته با هدف کاهش خطا چند رخدادی بر طول سیم مصرفی مسیریابی..... ۲۸
- شکل ۱۲-۳: چارچوب کلی فرآیند جایابی آگاه از خطا پیشنهادی مقاله..... ۲۸
- شکل ۱۳-۳: چارچوب اعمال روش پیشنهادی مقاله بر روند معمول عملکرد ابزارهای طراحی..... ۳۰
- شکل ۱۴-۳: چارچوب کلی روش پیشنهادی مقاله..... ۳۱
- شکل ۱۵-۳: چارچوب کلی روش پیشنهادی مقاله..... ۳۲

محیط پیرامون ما آکنده از ذرات پرانرژی است که با چشم غیرمسلح قابل دیدن نبوده و عملکرد دستگاه‌های دیجیتال را تحت تاثیر قرار می‌دهند. زمانی که این ذرات پرانرژی به مناطق حساس تجهیزات دیجیتالی برخورد می‌کنند، می‌تواند موجب اختلال در عملکرد آن‌ها شوند؛ اثرگذاری این ذرات بر تراشه‌های دیجیتالی به پارامترهای مختلفی وابسته است. برخورد این ذرات می‌تواند تاثیر قابل مشاهده‌ای نداشته باشد، مقدار ذخیره شده در عنصر حافظه را تغییر دهد و یا در مواردی می‌تواند به خرابی دائمی تراشه منجر شود.

امروزه ساخت و تولید مدارهای دیجیتال که در برابر تاثیرات تشعشعات فضایی مقاوم عمل کنند، به امری معمول در فرآیند طراحی تبدیل شده است. افزایش بروز خطای نرم ناشی از برخورد ذرات باردار که زمانی تنها در تاسیسات فضایی و سفینه‌ها مشکل ساز بود، موجب شده تا مدارات دیجیتال مورد استفاده در سطح زمین نیز در حین ساخت در برابر خطاهای نرم سخت‌سازی گردند. در یک نوع دسته‌بندی می‌توان تاثیر تشعشعات را به دو بخش تقسیم نمود: (۱) دسته اول ناشی از برخورد ذراتی مانند الکترون‌ها بوده که منجر به بروز اثرات فرسایشی بر روی مدارها می‌شود. (۲) و دسته دوم که از برخورد ذرات پرانرژی مانند پروتون، نوترون و ذرات آلفا منشأ شده و خود را به صورت جریان‌ات لحظه‌ای در مدار نشان می‌دهند [۱].

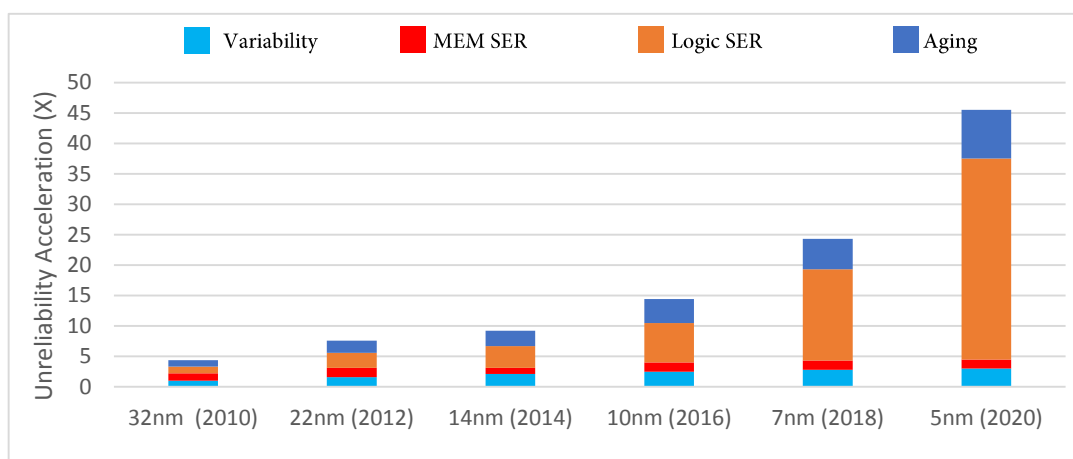
با کاهش اندازه ترانزیستورها، کاهش ولتاژ تغذیه و بالا رفتن فرکانس کاری سیستم‌ها، علاوه بر افزایش اثرپذیری مدارات از برخورد ذرات، در موارد بسیاری نیز منجر به بروز رخداد دو خطای همزمان در مدارات شده است. از این رو مداراتی که در برابر رخداد خطای تکی سخت‌سازی شده‌اند، بار دیگر دچار خطا شده و عملاً سخت‌سازی صورت گرفته برای این دسته از خطاها فاقد اعتبار خواهد بود. بررسی‌های اخیر صورت گرفته، احتمال وقوع خطاهای چندرخدادی برای فناوری‌های زیر ۵۰ نانومتر را با احتمال بروز خطاهای تک‌رخدادی برابر نشان داده، و منشأ نیمی از خطاهای موجود در مدارات دیجیتال که به سبب برخورد ذرات باردار به وجود آمده‌اند را چندرخدادی می‌داند. بنابراین امروزه طراحی و سخت‌سازی مجدد مدارات برای مقابله با خطاهای چندرخدادی امری ضروری است [۲].

در میان تمام عواملی که بر کاهش اتکاپذیری سیستم تاثیر می‌گذارند؛ خطای نرم، تغییرات فرآیند ساخت و تغییرات وابسته به زمان از اهمیت بیشتری برخوردار هستند، چرا که بخش عمده‌ای از کاهش اتکاپذیری را منشأ می‌شوند. کوچک شدن مدارات و رسیدن به مقادیر زیر میکرون، نرخ افزایش عدم اتکاپذیری دستگاه‌ها را سرعت بخشیده است. شکل ۱-۱ نشان می‌دهد که سرعت عدم اتکاپذیری برای هر نسل از فناوری ساخت به صورت نمایی در حال رشد است.



شکل ۱-۱: افزایش سرعت رشد عدم اتکاپذیری با هر نسل از فناوری ساخت [۳]

در این بین همانطور که در شکل ۱-۲ نشان داده شده است، نرخ رشد عدم اتکاپذیری خطاهای نرم نسبت به سایر موارد مانند تغییرات فرآیند ساخت یا تغییرات وابسته به زمان بسیار بیشتر است.



شکل ۱-۲: میزان سرعت رشد خطاهای نرم، تغییرات فرآیند ساخت و سالخوردگی در هر نسل از فناوری [۳]

تا سال ۲۰۱۰ خطاهای چندرخدادی یا خطاهای چند بیتی صرفاً مورد بحث و مشاهده قرار می‌گرفتند، و هیچ‌گاه اهمیت آن‌ها به حدی نبود که به عنوان مشکل جدی مورد بررسی گیرند. اما در سال‌های اخیر تعداد خطاهای چندرخدادی به حدی رسیده که نمی‌توان از آن به عنوان یک اثر جانبی یاد کرد و بررسی آن از خطاهای تک‌رخدادی واجب‌تر است. در سال‌های اخیر تعداد این خطاها در فناوری‌های زیر ۱۰۰ نانومتر تقریباً برابر با خطاهای تک‌رخدادی است [۴]. به عبارت بهتر آنچه باعث رخداد خطاهای نرم در یک سیستم می‌گردد، در نزدیک به ۵۰ درصد از موارد مرتبط با خطاهای چند رخدادی است [۵]. همچنین آزمایش‌های اخیر نشان می‌دهند که در تکنولوژی‌های سطح نانومتر، سهم شایانی از خطاهای نرم به واسطه گیت‌های ترکیبی رخ می‌دهند [۶]. از این‌رو

بررسی روش‌های مقاوم و با سربار کمتر از روش‌های موجود در جهت مقابله با خطاهای چندرخدادی گذرا در مدارات ترکیبی حائز اهمیت می‌باشد.



## ۲ خطای نرم

همانطور که در بخش قبل نیز به آن اشاره شد، خطای نرم ناشی از تشعشعات، مهم‌ترین تهدید رو به افزایش برای قابلیت اطمینان مدارهای مجتمع تولید شده در فناوری‌های پیشرفته CMOS<sup>۱</sup> به حساب می‌آید. خطای نرم به رخدادی‌هایی اطلاق می‌شود که در آن، داده و اطلاعات دچار خرابی می‌شود اما خود سامانه یا دستگاه دچار اشکال دائمی نشده است. در مقابل، خطای سخت<sup>۲</sup> به یک خطای سخت‌افزاری دائمی اطلاق می‌شود. یک خطای نرم می‌تواند باعث خرابی داده‌ای شود که ممکن است کشف بشود یا نشود و از طرف دیگر، می‌تواند باعث عملکرد اشتباه یک مدار و حتی از کارافتادگی سامانه گردد. در ادامه به معرفی مختصر ساز و کار بروز خطای نرم و انواع آن پرداخته می‌شود.

### ۱.۲ طبقه‌بندی خطای شکل‌گیری خطا

دو مکانیسم اصلی وجود دارد که منجر به خطا در اثر برخورد ذرات پرانرژی کیهانی می‌شود. مکانیزم اول برخورد مستقیم<sup>۳</sup> است که در آن برخورد ذره اصلی به نیمه‌هادی (سیلیکون) منجر به خطا می‌شود و نفوذ خود در نیمه‌هادی را تا جایی ادامه می‌دهد که تمامی انرژی خود را از دست بدهد. مکانیزم دوم برخورد غیر مستقیم<sup>۴</sup> بوده که در آن ذره اصلی آن‌قدر انرژی ندارد که بتواند به تنهایی خطا ایجاد کند، اما برخورد این ذره با هسته مواد نیمه‌هادی سازنده تراشه الکترونیکی، و واکنش هسته‌ای بین این دو ذره، منجر به ایجاد ذره‌هایی می‌شود که قادر به ایجاد خطا هستند [۷].

در برخورد مستقیم، یون‌های سنگین عامل اصلی ایجاد خطا هستند در حالی که در برخورد غیرمستقیم ذراتی مانند پروتون، نوترون، آلفا، و گاما که در اثر واکنش‌های هسته‌ای ایجاد می‌شوند، نقش اصلی را ایفا می‌کنند. برای نشان دادن مقدار انرژی که ذره پس از برخورد با سطح تراشه و نفوذ در آن از دست می‌دهد از پارامتر LET<sup>۵</sup> استفاده می‌شود. اگر مقدار LET را نرمالیزه شود، می‌توان آن را به مقدار بار الکتریکی که ذره در

---

<sup>۱</sup> Complementary Metal Oxide Semiconductor

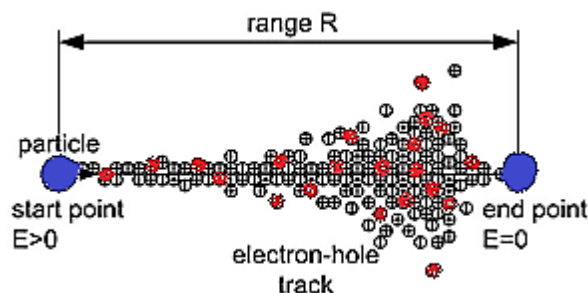
<sup>۲</sup> Hard error

<sup>۳</sup> Direct ionization

<sup>۴</sup> Indirect ionization

<sup>۵</sup> Linear Energy Transfer

اثر برخورد با نیمه هادی در آن ایجاد می‌کند نسبت داد. به این صورت که مقدار LET را به چگالی ماده سازنده تراشه تقسیم می‌شود، بنابراین مقدار LET مستقل از ماده سازنده تراشه خواهد شد. شکل ۱-۲ مراحل برخورد تا اتمام انرژی ذره بعد از برخورد را نشان می‌دهد.



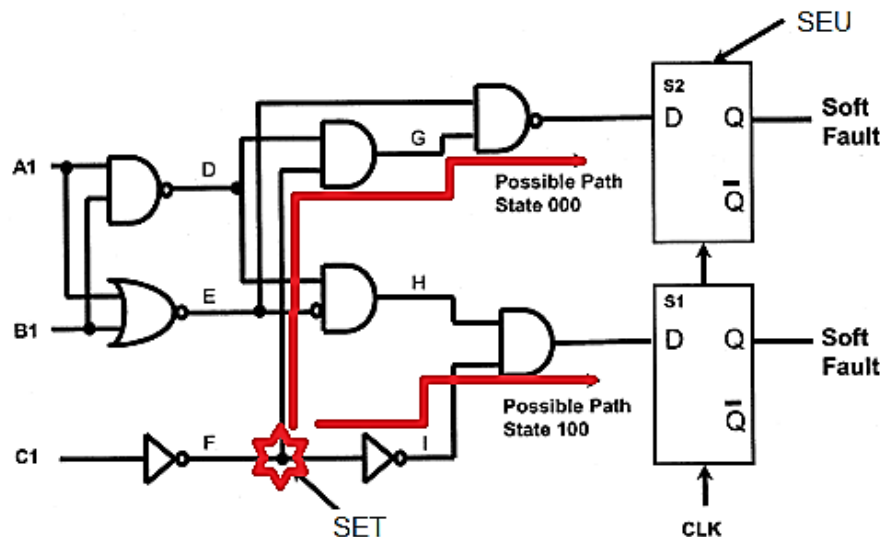
شکل ۱-۲: ایجاد الکترون-حفره در نیمه‌هادی در اثر برخورد ذره پرنرژی [ارجاع]

زمانی که یک ذره پرنرژی به یک سیستم دیجیتالی برخورد می‌کند، این ذره در مناطق حساس مدار می‌تواند منجر به خرابی و اختلال شود، یکی از این مناطق حساس پیوند P/N است که به صورت معکوس بایاس شده باشد. میدان الکتریکی موجود در پیوند دیودی زمانی که دیود بایاس معکوس شده باشد بطور موثری بار الکتریکی که در اثر برخورد ذره باردار ایجاد شده است را از خود عبور می‌دهد و همین جریان منجر به ایجاد یک اتصال کوتاه در دیود شده و جریانی در پیوند ایجاد می‌شود. بنابراین با همین استدلال پیوندهای دیودی که در ترانزیستورها هستند، نیز در مواقعی که به صورت معکوس بایاس شده باشند، جزو مناطق حساس به خطا محسوب می‌شوند. در تکنولوژی‌های کمتر از ۱۰۰ میکرومتر<sup>۶</sup> این پدیده منجر به اتصال کوتاه شدن ناحیه‌های سورس و درین می‌شود و جریانی ناخواسته ایجاد می‌شود، همانند این که ترانزیستور برای لحظه‌ای کوتاه روشن شده باشد [۸].

ذرات پرنرژی می‌تواند به بخش‌های ترتیبی مدار مثل حافظه‌ها برخورد کرده و منجر به تغییر منطق ذخیره شده در حافظه شوند و یا به بخش‌های ترکیبی برخورد کنند، در این حالت برخورد ذره به هریک از گره‌های مدار می‌تواند یک تغییر از صفر به یک یا از یک به صفر را در گره ایجاد کند. اگر دامنه پالس ایجاد شده بزرگ‌تر از حاشیه نویز گیتی باشد که این پالس از آن عبور می‌کند، در آن صورت بنابه شرایطی این پالس از گیت عبور کرده و تقویت می‌شود و این قابلیت را پیدا کرده تا در مدار انتشار یابد. انتشار پالس ناخواسته ایجاد شده در اثر برخورد ذره باردار، در صورتی امکان پذیر است که مسیری در مدار همان‌طور که در شکل ۲-۲ نشان داده شده است از گره

<sup>۶</sup> Sub-Micron

مورد نظر به خروجی یا فلیپ فلاپ وجود داشته باشد. پالس ناخواسته ایجاد شده در گره F، در صورتی که مسیرهای قرمز رنگ فعال باشند و پالس قبل از بسته شده فلیپ فلاپ به ورودی آن برسد، در فلیپ فلاپ ذخیره شده و منجر به از بین رفتن اطلاعات درست می‌شود [۷].



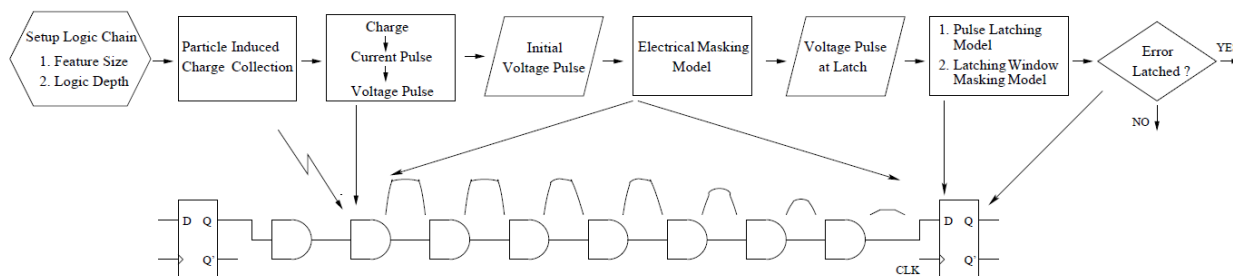
کپی شکل مجاز نیست. شکل ها را باید خودتان رسم کنید و از به کار بردن واژه های انگلیسی خودداری کنید.

شکل ۲-۲: انتشار پالس ناخواسته در مدار

## ۲.۲ اثر برخورد ذره در مدارهای ترکیبی

پس از برخورد ذره به یک ترانزیستور در مدار، بار جمع‌آوری شده خود را به شکل پالس ولتاژ گذرا، یک تغییر ولتاژ لحظه‌ای از یک به صفر و یا از صفر به یک در خروجی یکی از دروازه‌های مدار نشان می‌دهد. برای این که این پالس گذرا در مدار منجر به خطای نرم شود، بایستی در مدار ترکیبی منتشر شده و در نهایت به ورودی یک عنصر حافظه مانند لچ یا فلیپ‌فلاپ برسد و در آن ذخیره شود. ارتفاع و عرض پالس تولید شده حین انتشار از دروازه‌های منطقی کاهش یافته و در نهایت پالسی که احتمالاً تغییر یافته است، بایستی با ارتفاع و عرض قابل قبول در یک بازه زمانی مشخص در ورودی عناصر حافظه مدار حاضر باشد تا به صورت یک خطای نرم در آن‌ها ذخیره شود. در صورتی که ورودی‌های دروازه‌ها به طور منطقی، از انتشار پالس گذرا جلوگیری کنند و یا انتشار از دروازه‌ها باعث شود که ارتفاع و عرض پالس گذرا از اندازه معینی کمتر شود و یا در نهایت، پالس گذرا در خارج از بازه زمانی

مشخص به فلیپ‌فلاپ برسد، پالس گذرا اصطلاحاً پوشش<sup>۷</sup> داده می‌شود. در شکل ۲-۳ فرآیند تولید خطای نرم آورده شده است.



شکل ۲-۳: فرآیند تولید خطای نرم شامل برخورد ذره و تولید پالس گذرا، انتشار از طریق دروازه‌های منطقی و ذخیره در فلیپ‌فلاپ مدار [۹]

در تکنولوژی‌های قدیمی‌تر، برخی شرایط که باعث پوشش پالس‌های گذرا در مدار می‌شد، از وقوع این سناریو جلوگیری می‌نمود، و در نتیجه نرخ خطای نرم در مدارهای منطقی پایین بود. اما با پیشرفت تکنولوژی، توانایی پوشش در دروازه‌های منطقی کاهش یافته است. در ادامه، به بررسی هر کدام از این شرایط با جزئیات بیشتر خواهیم پرداخت.

## ۱.۲.۲ پوشش الکتریکی<sup>۸</sup>

همانطور که یک پالس گذرا از طریق زنجیره مدار ترکیبی منتشر می‌شود، با عبور پالس از ورودی به خروجی هر دروازه، یکسری تضعیف‌ها (در پارامترهایی مانند ارتفاع و عرض شکل موج پالس گذرا) رخ می‌دهد. اگر ارتفاع پالس تا حدی کاهش یابد که عملاً پالس گذرا تغییر منطق در مقدار خود را نشان ندهد، یا این که عرض پالس تا اندازه‌ای کم شود که ملزومات زمانی یک عنصر حافظه را برآورده نکند و عملاً عنصر حافظه نتواند آن پالس را در خود ذخیره کند، گفته می‌شود که پالس گذرا به طور الکتریکی پوشش داده شده است. میزان پوشش الکتریکی که در هر دروازه رخ می‌دهد تابعی از تأخیر آن دروازه و همچنین ارتفاع و عرض پالس گذر است [۹]. شکل ۲-۴

<sup>۷</sup> Mask

<sup>۸</sup> Electrical Masking

مثالی از این که یک پالس گذرا با عبور از یک زنجیره منطقی تضعیف می‌شود را نشان می‌دهد. خصوصیات پالس گذرا با عبور متوالی از دروازه‌های موجود در زنجیره منطقی مدار کاهش می‌یابد.



شکل ۲-۴: مثالی از پوشش الکتریکی

رویه کلی پیشرفت تکنولوژی و کاهش تعداد طبقات خط لوله<sup>۹</sup> به منظور کاهش زمان سیکل ساعت، اثر پوشش الکتریکی را کاهش می‌دهد چرا که سطوح مداری در هر طبقه از خط لوله کمتر خواهد شد. این به آن معناست که یک پالس گذرا پیش از این که به یک عنصر حافظه برسد، از تعداد دروازه‌های منطقی کمتری عبور خواهد کرد. علاوه بر این، کاهش اندازه‌ها در تکنولوژی‌های جدید، پوشش الکتریکی را از دو سو تحت تأثیر خود قرار می‌دهد. اول این که کاهش ابعاد منجر به کاهش اندازه بار بحرانی در مدار خواهد شد، به این معنی که پارامترهای شکل موج‌های گذرا (از لحاظ ارتفاع و عرض) کاهش خواهند یافت. همچنین، به دلیل این که تأخیر انتشار با کاهش ابعاد تکنولوژی کم می‌شود، میزان تضعیف شکل موج‌ها که در هر دروازه به طور جداگانه رخ می‌داد، کمتر خواهد شد. در نتیجه با پیشرفت تکنولوژی اثر پوشش الکتریکی کاهش خواهد یافت و آسیب‌پذیری مدارها در برابر خطای نرم بیشتر خواهد شد.

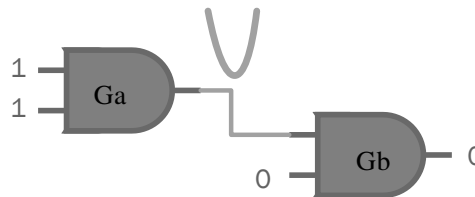
## ۲.۲.۲ پوشش منطقی<sup>۱۰</sup>

هنگامی که یک ذره به قطعه‌ای در یک مدار ترکیبی برخورد می‌کند، تنها در صورتی پالس گذرای ناشی از آن می‌تواند حالت یک عنصر حافظه را تغییر دهد که یک مسیر تحریک شده منطقی از محل برخورد تا آن عنصر حافظه وجود داشته باشد. این که یک مسیر تحریک شده وجود داشته باشد تابعی از ورودی‌هایی است که به کل مدار اعمال می‌شود. مدار شکل ۲-۵ را در نظر بگیرید. پالس گذرای که در خروجی دروازه Ga بر اثر رخداد یک پالس گذرا به وجود آمده به دلیل این که ورودی دیگر دروازه Gb دارای مقدار منطقی صفر است، به خروجی منتقل

<sup>۹</sup> Pipeline

<sup>۱۰</sup> Logical Masking

نمی‌گردد و خروجی کماکان مقدار منطقی صفر را نگه می‌دارد. در نتیجه پالس گذرا در این نقطه از مدار پوشش داده می‌شود و به نقاط دیگر مدار منتشر نمی‌شود. به این فرایند اصطلاحاً پوشش منطقی گفته می‌شود. میزان پوشش منطقی که در یک مدار رخ می‌دهد، خاصیتی از تابعی است که آن مدار پیاده‌سازی می‌کند و نسبت به همه پارامترهای تکنولوژی مستقل است و در نتیجه پیشرفت تکنولوژی بر میزان آن در یک مدار بی‌تأثیر خواهد بود.



شکل ۲-۵: مثالی از پوشش منطقی

## ۳.۲.۲ پوشش زمانی<sup>۱۱</sup>

حتی اگر یک ذره به یک دروازه در یک مسیر تحریک شده مناسب برخورد کند و یک پالس گذرا تولید کند که در نهایت ارتفاع و عرض مناسب برای تغییر مقدار ذخیره شده در عنصر حافظه منتهی به آن مسیر را داشته باشد، این پالس بایستی در بازه زمانی مشخصی به ورودی عنصر حافظه برسد. این بازه زمانی که طی آن، عنصر حافظه مقدار جدیدی را ذخیره می‌کند، به عنوان پنجره ذخیره‌سازی<sup>۱۲</sup> یک عنصر حافظه شناخته می‌شود و معمولاً با حاصل جمع زمان‌های نگهداری<sup>۱۳</sup> و برپایی<sup>۱۴</sup> آن عنصر ترتیبی بخصوص نشان داده می‌شود. پالس‌هایی که به ورودی عناصر حافظه در زمانی غیر از این بازه زمانی می‌رسند، اصطلاحاً به صورت زمانی پوشش داده می‌شوند [۹]. شکل ۲-۶ پوشش‌های زمانی مختلف را نشان می‌دهد. در این شکل، فرض بر این است که عنصر ترتیبی یک فلیپ‌فلاپ حساس به لبه بالارونده ساعت می‌باشد، به این معنا که پنجره ذخیره‌سازی حول لبه بالارونده ساعت متمرکز شده است. در شکل ۲-۶ شکل موج بالای تصویر سیگنال ساعت را نشان می‌دهد و خطوط نقطه چین پنجره زمانی را نمایش می‌دهد. همانطور که در این شکل نشان داده شده است، یک پالس گذرا مقداری که در

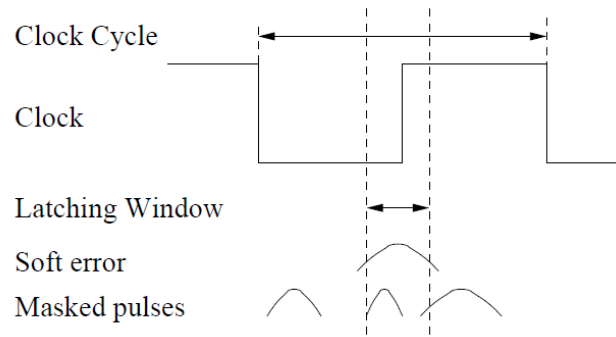
<sup>۱۱</sup> Timing Masking

<sup>۱۲</sup> Latching Window

<sup>۱۳</sup> Hold Time

<sup>۱۴</sup> Setup Time

فلیپ فلاپ ذخیره شده را تنها زمانی تغییر می‌دهد که مقدار پالسی گذرا در بازه پنجره ذخیره‌سازی در ورودی داده فلیپ فلاپ حاضر باشد.



شکل ۲-۶: مثالی از پوشش زمانی [۹]

ادامه مقیاس‌بندی تکنولوژی میزان پوشش زمانی را کاهش می‌دهد. کاهش بار بحرانی به این معناست که پالس‌های گذرای در حال انتشار عرض‌های بیشتری خواهد داشت و کاهش تأخیر دروازه‌ها به این معناست که هم طول پالس ساعت و هم پنجره ذخیره‌سازی کوچک‌تر خواهد شد. ترکیب این اثر احتمال این که یک پالس گذرا که به ورودی یک فلیپ فلاپ برسد را افزایش می‌دهد، به این معنا پوشش زمانی به تعداد دفعات کمتری اتفاق می‌افتد.

## ۳.۲ انواع خطا

### ۱.۳.۲ خطاهای وابسته به عوامل ساخت

دسته اول از خطاها مربوط به مراحل انجام شده در فرآیند ساخت تراشه‌ها است. با این وجود توجه به این نکته ضروری است که تغییر در فرآیند و فناوری ساخت تراشه‌ها، به‌منظور بهبود در برابر خطا، هزینه بسیار زیادی به دنبال خواهد داشت. از این رو بررسی و مقاوم‌سازی خطاهای ناشی از عوامل محیطی مقرون‌به‌صرفه‌تر بوده و اغلب تمرکز بر روی خطاهای ناشی از عوامل محیطی است.

## ۲.۳.۲ خطاهای وابسته به عوامل محیطی

بخش عمده خطای سیستم‌ها به سبب عوامل محیطی اعم از محل و نوع کاربرد تراشه رخ می‌دهد. این خطاها را می‌توان براساس منشأ بروز به سه دسته تقسیم نمود:

- ۱- تشعشع یون
- ۲- تشعشع الکترومغناطیس
- ۳- تغییرات ولتاژ منبع تغذیه

## ۴.۲ روش‌های سخت‌سازی در زمان طراحی

روش‌های سخت‌سازی در زمان طراحی اغلب برای شناخت، یا شناخت و تصحیح خطا از افزونگی استفاده می‌کنند. این افزونگی‌ها ممکن است سخت‌افزاری، زمانی، مکانی و یا ترکیبی از چند نوع افزونگی باشد. به‌طور کلی روش‌های سخت‌سازی زمان طراحی و مبتنی بر افزونگی را می‌توان به دو دسته تقسیم نمود:

### ۱- روش‌های افزونگی تشخیص خطا

- افزونگی سخت‌افزاری
- افزونگی زمانی
- افزونگی مکانی
- کدگذاری تشخیص خطا

### ۲- روش‌های افزونگی تشخیص و کاهش خطا

- سه برابر سازی ماژول ( $^3\text{TMR}$ )
- کدگذاری جهت تشخیص و تصحیح خطا
- سخت‌سازی سلول‌های تراشه

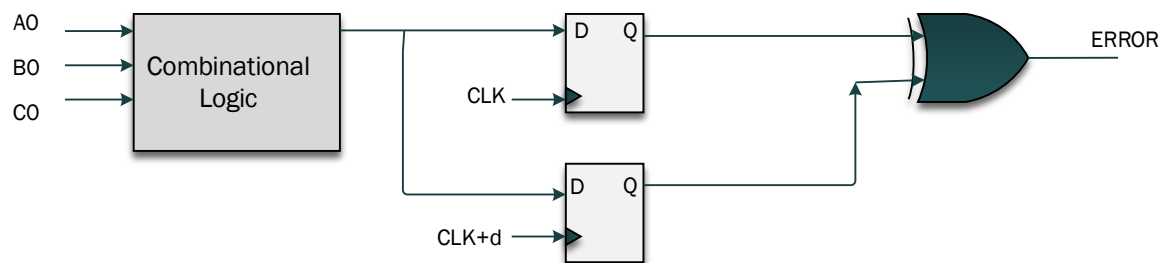
روش‌های افزونگی سخت‌افزار اغلب جهت تشخیص خطاهای تکررخدادی پایدار استفاده می‌شود، در حالی که روش افزونگی زمان معمولاً جهت تشخیص خطاهای تکررخدادی گذرا بکار برده می‌شود. در شکل ۲-۳ یک

---

<sup>۱۵</sup> Triple Modular Redundancy

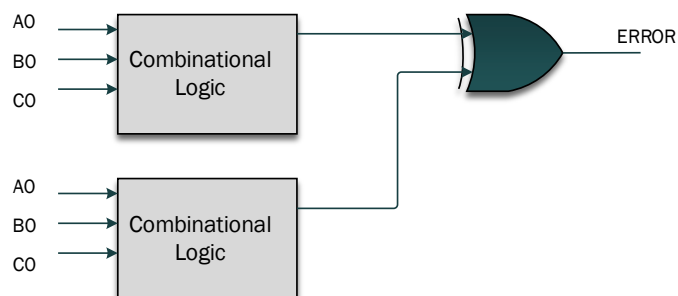


نمونه استفاده از افزونگی زمانی برای تشخیص خطای تک‌رخدادی در مدارات ترکیبی نشان داده شده است. در این روش با دریافت خروجی از بخش ترکیبی مدار در دو زمان مختلف وقوع یا عدم وقوع خطا بررسی می‌شود [۱].

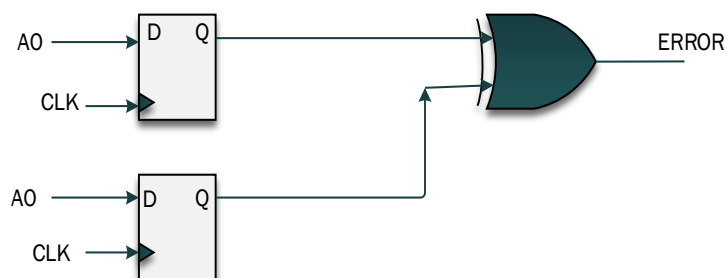


شکل ۲-۷: افزونگی زمان برای تشخیص خطاهای تک‌رخدادی در مدارات ترکیبی

شکل ۲-۴ و ۲-۵ به ترتیب یک نمونه استفاده از افزونگی سخت‌افزار در مدارات ترکیبی و ترتیبی جهت مقابله با خطاهای تک‌رخدادی گذرا و دائمی را نشان می‌دهد. معمول‌ترین روش در افزونگی سخت‌افزاری روش دو برابرسازی و مقایسه است.



شکل ۲-۸: افزونگی سخت‌افزار جهت تشخیص خطای تک‌رخدادی در مدارات ترکیبی

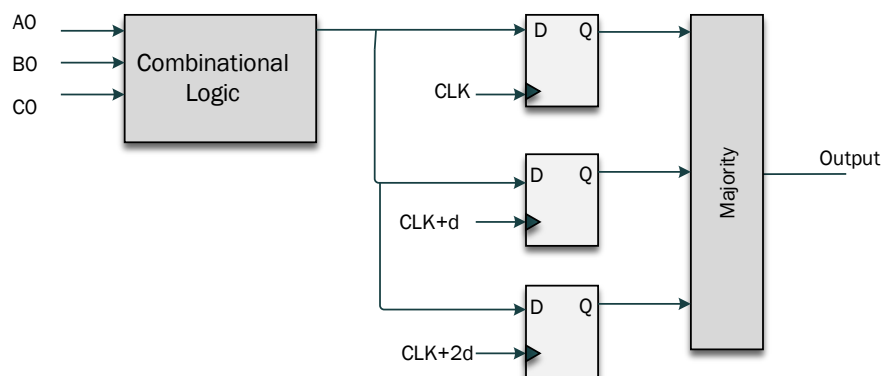


شکل ۲-۹: افزونگی سخت‌افزار جهت تشخیص خطای تک‌رخدادی در مدارات ترتیبی

روش سه برابرسازی ماژول، یکی از پرکاربردترین روش‌های کاهش خطا به حساب می‌آید. این روش به دلیل قدرت فوق‌العاده در کشف و تصحیح خطا همچنان مورد استفاده قرار می‌گیرد. هرچند سربار توان، مساحت و تأخیر آن بسیار بالاست اما روش‌های جدید و امروزی پایه کار خود را بر اساس این روش قرار داده و سپس سعی در بهبود سربار توان و مساحت می‌نمایند. شکل ۲-۶ نمونه‌ای از روش TMR را نشان می‌دهد.

استفاده از کدگذاری از دیگر روش‌های تشخیص و تصحیح خطا است، که معمولاً برای سلول‌های حافظه مورد استفاده قرار می‌گیرد. این روش برای تشخیص خطاهای چنددرصدی نیز قابل بهره‌برداری است. ساده‌ترین شکل کدگذاری جهت تشخیص و تصحیح خطا روش کد همینگ است [۱].

یکی دیگر از روش‌های پرکاربرد جهت کاهش خطا، روش سخت‌سازی سلول‌های تراشه است. روال کار در این روش آن است که با افزودن یک ترانزیستور در پایین‌ترین سطح یا مقاومت، خازن و دیود در سطوح بالاتر، مقدار ذخیره شده در تراشه بازگردانی می‌شود تا از وقوع خطا جلوگیری نماید. امروزه بیشتر تلاش‌ها در لایه‌های پایین و نزدیک به ترانزیستور در همین زمینه صورت می‌پذیرد.



شکل ۲-۱۰: روش افزونگی سه برابرسازی ماژول

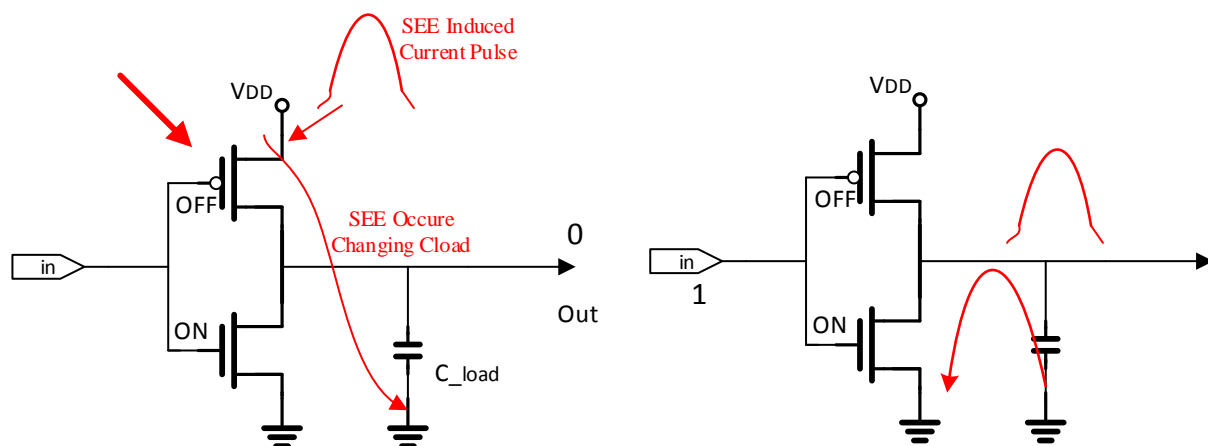
## ۵.۲ مدل‌سازی اشکال در سطح مدار

مدل‌های سطح مدار به شبیه‌سازی ارتباط مابین ترانزیستورها می‌پردازند، و این که ذره باردار چگونه، و به چه ترتیب، اثری از خود برجای می‌گذارد و این که در برخورد با قطعه نیمه‌هادی چه بلایی بر سر ذره خواهد آمد هیچ اهمیتی ندارد. آن چه حائز اهمیت است تاثیر ولتاژ یا جریان حاصل از برخورد ذره است. معروف‌ترین مدل شبیه‌سازی ذره باردار در سطح مدار، مدل نمایی دوتایی است، که در رابطه ۲-۱ نشان داده شده است [۱۰]. این رابطه وابسته

به زمان  $\tau_r$  و  $\tau_f$  مقدار  $Q_{Total}$  است. بدین معنا که اثر ذره باردار از طریق میزان  $Q$  و زمان صعود و فرود تعیین می‌گردد. معمولاً پارامترهای این مدل به گونه‌ای است که در مرتبه زمانی ۱۰ پیکو ثانیه سیگنال بالا می‌رود<sup>۱۶</sup> و در مرتبه زمانی بین ۲۰۰ تا ۳۰۰ پیکو ثانیه سیگنال پایین می‌آید<sup>۱۷</sup>. این که بزرگی سیگنال به صورت دقیق چه مقداری باشد، وابسته به عواملی از جمله انرژی ذره، ابعاد قطعه، محل برخورد ذره، جنس مواد و نوع ذره است.

$$I_{inj}(t) = \frac{Q_{Total}}{\tau_r - \tau_f} (e^{\frac{t}{\tau_r}} - e^{\frac{t}{\tau_f}}) \quad (1-2)$$

یکی از موارد استفاده این مدل‌ها، استخراج نرخ خطای نرم با استفاده از شبیه‌سازی مدار است. به این منظور نیاز است که منبع جریانی مشابه جریان تولید شده به واسطه برخورد ذره مطابق با مدل بالا، در هر یک از نقاط حساس مدار اضافه شود و تأثیر آن در خروجی مدار مشاهده گردد. شکل ۲-۱۱ نمایی کلی از فرآیند برخورد ذره و تبدیل جریان گذرای ناشی از برخورد به پالس ولتاژ گذرا در خروجی ترانزیستور را نشان می‌دهد.



شکل ۲-۱۱: فرآیند برخورد ذره و تبدیل جریان گذرای ناشی از برخورد به پالس ولتاژ گذرا در خروجی

برای اندازه‌گیری میزان حساسیت عناصر حافظه در مدارها به برخورد ذره، و یا به عبارت دیگر استخراج نرخ خطای نرم در مدار، نیز می‌توان از شبیه‌سازی‌های سطح مدار استفاده نمود. برای این کار ابتدا نیاز به اندازه‌گیری

<sup>۱۶</sup> Rise Time

<sup>۱۷</sup> Fall Time

بار بحرانی<sup>۱۸</sup> می‌باشد که عبارت است از حداقل میزان بار منتقل شده توسط ذرات که باعث وقوع واژگونی تک‌رخدادی یا خطای نرم در این عناصر حافظه‌ای می‌گردد. برای محاسبه بار بحرانی تعدادی مدل برای ذرات آلفا با انرژی‌های متفاوت به شبیه‌سازی مدار اضافه می‌گردد. مدلی که با کمترین انرژی بتواند در مدار خطای نرم تولید کند، میزان بار بحرانی را تعیین می‌نماید [۱].

## ۶.۲ معیارهای اندازه‌گیری نرخ خطای نرم

نرخ رخداد خطای نرم به واسطه برخورد ذرات پراثری به عناصر حافظه یا قسمت‌های ترکیبی در یک سیستم را نرخ خطای نرم می‌گویند. نرخ خطای نرم یک سیستم به شکل خرابی در زمان<sup>۱۹</sup> (FIT)، اندازه‌گیری و گزارش داده می‌شود که معادل با تعداد خرابی‌های رخ داده در زمان  $10^9$  ساعت کار آن سیستم تعریف می‌شود. مقدار FIT برای یک سیستم معمولاً از ضرب نرخ خام برخورد<sup>۲۰</sup> و یک عامل کاهشی<sup>۲۱</sup> محاسبه می‌شود. به عبارت دیگر، معیار FIT می‌تواند بر طبق رابطه ۲-۲ محاسبه شود [۱].

$$FIT = (RawStrikeRate) * (Derating) \quad (2-2)$$

عامل کاهشی به این صورت تعریف می‌شود که برابر است با احتمال این که برخورد یک ذره، خود را به صورت یک خطای قابل مشاهده بروز دهد. چیزی که واقعا عامل کاهشی را تعیین می‌کند بسیار به نحوه تعریف خطای قابل مشاهده بستگی دارد. در مورد یک بلوک منطقی، یک خطای قابل مشاهده می‌تواند به حالتی اطلاق شود که یک برخورد منجر به محاسبه مقدار نادرست در خروجی آن بلوک گردد. در این حالت، مقدار کاهش با توجه به میزانی که عوامل پوششی سه گانه (الکتریکی، منطقی و زمانی) ممکن است در آن بلوک تأثیرگذار باشند، تعیین می‌گردد. در مورد یک سیستم، یک خطای قابل مشاهده ممکن است به حالتی گفته شود که یک اشکال منجر به

---

<sup>۱۸</sup> Critical Charge

<sup>۱۹</sup> Failure in Time

<sup>۲۰</sup> Raw Strike Rate

<sup>۲۱</sup> Derating Factor

ناهمگرایی<sup>۲۲</sup> در حالت رخ داده معماری گردد. در این حالت، میزان پوششی که معماری در یک سیستم از خود نشان می‌دهد، نفتش اصلی را در تعیین فاکتور پوششی ایفا می‌کند.

برخی مواقع بخصوص اگر تابع قابلیت اطمینان یک سیستم، به شکل نمایی باشد، از معیار میانگین زمان تا خرابی<sup>۲۳</sup> (MTTF) برای اعلام نرخ خرابی استفاده می‌شود که معکوس FTT است. نرخ خطای یک سیستم با شرط داشتن قابلیت تعمیر را نیز از طریق معیار میانگین زمان بین خرابی<sup>۲۴</sup> (MTBF) که بیانگر میانگین مدت زمان بین دو خرابی در یک سیستم است، اندازه‌گیری می‌کنند [۱].

---

<sup>۲۲</sup> Divergence

<sup>۲۳</sup> Mean Time to Failure

<sup>۲۴</sup> Mean Time Between Failure

## ۳ مرور پیشینه تحقیق

در این بخش به بررسی کارهای پیشین در ارتباط با خطاهای چند رخدادی خواهیم پرداخت. آنچه ذکر آن حائز اهمیت است، این است که در زمینه خطاهای تک رخدادی، روش‌های مختلفی برای شبیه‌سازی‌ها، مدل‌سازی‌ها و مقابله با خطا ارائه شده است که اغلب بواسطه رفتار متفاوت خطاهای چند رخدادی قابل بسط دادن نیستند. در ادامه ابتدا به بررسی روش‌های ارائه شده برای بخش‌های ترتیبی مدار، اعم از SRAM، Latch و Flip-Flop پرداخته و پس از آن روش‌های ارائه شده برای مقاوم‌سازی بخش ترکیبی مدارها بررسی خواهد شد.

### ۱.۳ SRAM

اولین مقاله که به بررسی فیزیکی خطاهای چندتایی در سلول‌های SRAM پرداخت، در سال ۱۹۹۴ به چاپ رسید [۱۱]. این مقاله ثابت کرد در صورتی که یک ذره در ناحیه معینی از فاصله بین دو سلول برخورد کند آنگاه می‌تواند دو سلول را به صورت همزمان دچار خطا کند. در واقع آنچه در این مقاله نشان داده شده، اثر به اشتراک‌گذاری بار و جمع‌آوری آن توسط دو گره از مدار می‌باشد.

در سال ۲۰۱۳، مقاله دیگری به چاپ رسید که در آن کارهای صورت گرفته در مقاله سال ۱۹۹۴ مذکور را با شبیه‌سازی‌های سه بعدی پیاده‌سازی، و نتایج آن را منتشر کرد [۱۲]. در این مقاله نشان داده شد که علت اصلی رخداد خطاهای چندتایی در مدارهای زیرمیکرون در یک سلول SRAM پدیده نفوذ<sup>۲۵</sup> است. از دیگر نتایج این مقاله می‌توان به بیان اهمیت زاویه برخورد ذرات باردار به مدار در شکل‌گیری خطاهای چندتایی اشاره نمود.

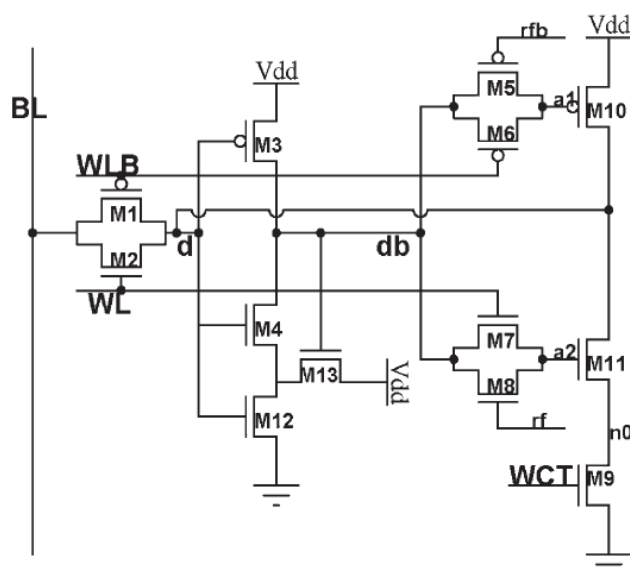
در سال ۲۰۱۲، اولین تحقیق در زمینه سخت‌سازی در زمان طراحی، سلول‌های SRAM آغاز شد، نتایج این تحقیق به یک ساختار ۱۳ ترانزیستوری برای سلول SRAM منجر شد که در مقابل خطاهای چند رخدادی مقاوم است. ساختار این سلول در شکل ۳-۱ آورده شده است.

در این ساختار برای هر دو جفت گره حساس راهکاری جهت جلوگیری از خطادار شدن در نظر گرفته شده است. بعنوان مثال، در صورت بروز خطای توأم در گره‌های حساس  $d$  و  $a2$  حافظه تغییر حالت خواهد داد و خطادار می‌شود. در این حالت برای گره  $d$  از دو ترانزیستور  $M12$  و  $M13$  استفاده شده است و برای  $a2$  از ترانزیستور  $M8$  و سیگنال  $tf$  جهت بارگذاری مکرر منطق بخش  $a2$  استفاده شده است. بدین صورت مقدار  $a2$  دائماً در حال بارگذاری مجدد بوده و در صورت بروز خطا مقدار قبلی  $a2$  دوباره بارگذاری می‌شود. اما در کنار این

---

<sup>۲۵</sup> Diffusion

میزان مقاومت در برابر خطاهای چندتایی، توجه به سربار مساحت بیش از ۲۰۰ درصدی و متعاقباً افزایش توان مصرفی می‌تواند در بسیاری از کاربردهای نهفته<sup>۲۶</sup> و سیار<sup>۲۷</sup> امکان استفاده از این طرح را کاهش دهد. همچنین می‌توان به عدم بررسی تأثیرات فیزیکی ساختار پیشنهادی بر بروز خطای چندتایی نیز بعنوان یک نکته منفی اشاره نمود.



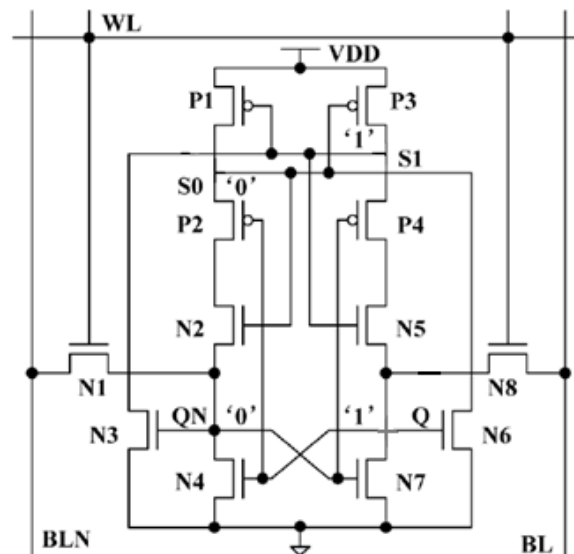
شکل ۳-۱: ساختار سلول SRAM، ۱۳ ترانزیستوری مقاوم در برابر خطاهای چند رخدادی [۱۳]

مقاله دیگری در سال ۲۰۱۵ ارائه شد که ساختاری ۱۲ ترانزیستوری برای سلول SRAM مقاوم در برابر خطای چندتایی پیشنهاد داده است [۱۴]. این ساختار در شکل ۳-۲ آورده شده است. در این مقاله پس از اثبات مقاوم بودن کامل سلول در برابر خطاهای تک رخدادی، به خطاهای چند رخدادی پرداخته می‌شود. بروز خطای تواماً در جفت گره S0 و S1 به طور کامل سخت‌سازی شده است، ولی به سبب وجود ترانزیستورهای P2 و N5، رخداد خطا در جفت گره‌های S0-Q و S1-Q سبب خطادار شدن خروجی خواهد شد. که البته نویسنده برای حل این مشکل استفاده از افزونگی مکانی را پیشنهاد می‌دهد. این ساختار نسبت به ساختار ۱۳ ترانزیستوری ذکر شده، وضعیت بهتری از لحاظ مساحت، توان و  $Q_{crit}$  داراست ولی همچنان ایراد ناشی از عدم بررسی فیزیکی ساختار پیشنهادی و پیچیدگی‌های ناشی از جدانگه داشتن جفت گره‌های مذکور بواسطه ایجاد افزونگی مکانی به آن وارد

<sup>۲۶</sup> Embedded

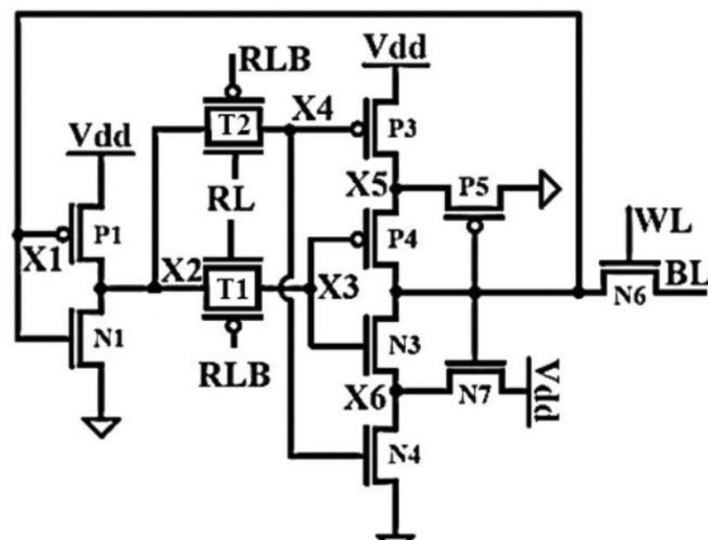
<sup>۲۷</sup> Mobile

است و همچنین قرارگیری چندین سلول SRAM در کنار هم نیز می‌تواند به رخداد مجدد خطای چندتایی بیانجامد.



شکل ۳-۲: ساختار سلول SRAM، ۱۲ ترانزیستوری مقاوم در برابر خطاهای چند رخدادی [۱۴]

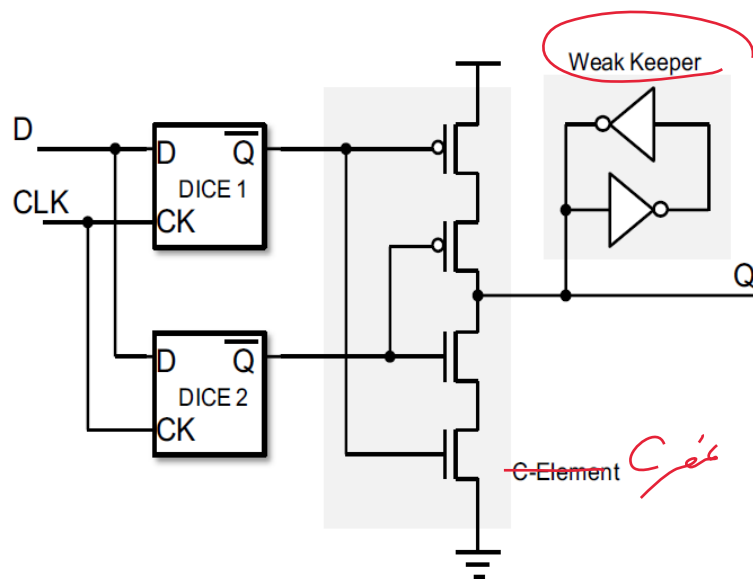
در سال ۲۰۱۵ ساختار دیگری برای سلول SRAM ارائه شد که در شکل ۳-۳ آورده شده است [۱۵]. این ساختار نیز ایده مشابهی با دو ساختار پیشین بیان شده داشت ولی از لحاظ  $Q_{crit}$  وضعیت بهتری دارد.



شکل ۳-۳: ساختار سلول SRAM، مقاوم در برابر خطاهای چند رخدادی [۱۵]



یکی از کارهای صورت گرفته در این زمینه در سال ۲۰۱۴ ارائه شده است [۱۶]. این روش بر مبنای دوبرابر سازی پیمانه‌ای<sup>۲۸</sup> طرح شده، که در شکل ۳-۴ مشاهده می‌شود. در این ساختار در هر بخش از یک لچ ✓ DICE استفاده شده است که در برابر تمامی خطاهای تک رخدادی مقاوم است. بنابراین اگر تنها یک خطا در بخش‌های اول و دوم طرح رخ دهد، بدلیل مقاومت DICE در برابر یک خطا، اثری در خروجی نخواهد داشت، اما چنانچه هر دو خطا در یک DICE رخ دهد، در آن صورت یکی از بخش‌ها، خروجی درستی تولید نمی‌کند اما بدلیل عملکرد درست DICE دیگر خطای بوجود آمده توسط C-Element موجود در خروجی این لچ‌ها فیلتر شده و خطایی در خروجی دیده نخواهد شد. به عنوان ایرادهای این پژوهش می‌توان به سربار ناشی از به کار بردن دو لچ اشاره نمود، بعلاوه در این ساختار راهکاری برای خطاهایی که در ورودی طرح رخ می‌دهند نیز در نظر گرفته نشده است؛ حال آنکه احتمال بروز چنین خطایی بواسطه استفاده از دو لچ تقویت نیز شده است. و به عنوان نکته آخر می‌توان به عدم بررسی فیزیکی طرح پیشنهادی اشاره نمود.

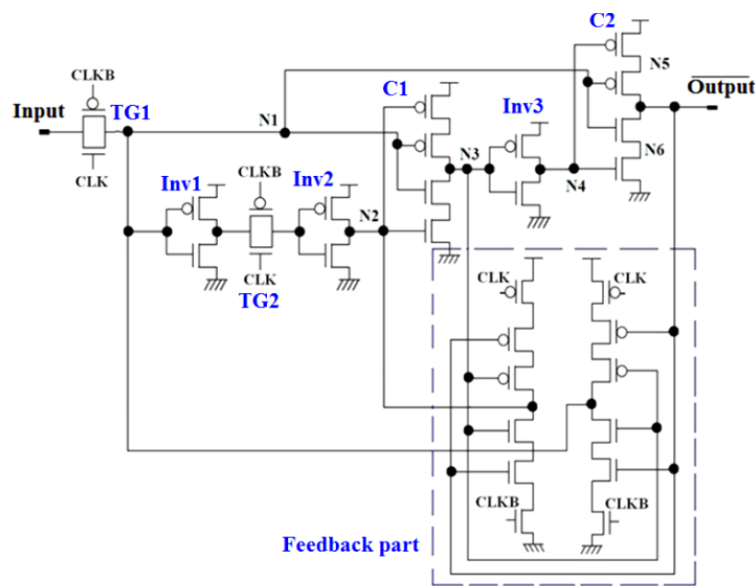


شکل ۳-۴: ساختار سلول لچ، مقاوم در برابر خطاهای چند رخدادی [۱۶]

روش دیگری در سال ۲۰۱۵ ارائه شد، که مبتنی بر شبیه‌سازی مونت کارلو عمل می‌کرد [۱۷]. این روش به بررسی تمامی گره‌های حساس به خطا به صورت یک به یک می‌پردازد. و از ۴ عنصر ~~C-Element~~ در ساختار خود ✓

<sup>۲۸</sup> Dual Modular Redundancy

استفاده می‌کند. شکل ۳-۵ طرح ارائه شده را نشان می‌دهد. نکته مهمی که موجب اولویت این طرح نسبت به طرح پیشین شده است، توجه به بروز خطا در ورودی‌های مدار می‌باشد، این روش با مکانیزمی در برابر خطاهای ورودی مقاوم‌سازی شده است. یکی از ایراداتی که در این مقاله می‌توان به آن اشاره نمود مقایسه‌های صورت گرفته در مقاله است، بدین صورت که این مقاله تنها خود را با مقالاتی مقایسه می‌کند که در برابر خطای تک رخدادی مقاوم هستند، از این رو مقایسه درستی صورت نخواهد گرفت. مشکل دیگر عدم بررسی نقاط حساس در سطح فیزیکی و با ابزارهای سه بعدی است، این مقاله به بررسی تک سطحی (سطح مداری) بسنده کرده است.



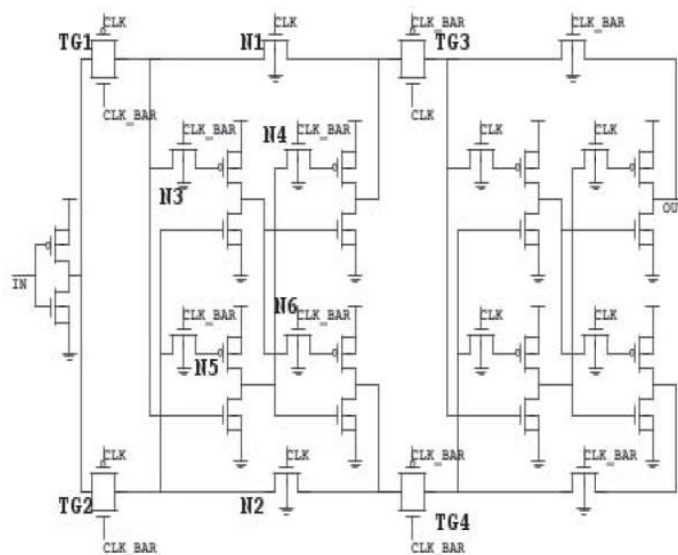
شکل ۳-۵: ساختار سلول لچ، مقاوم در برابر خطاهای چند رخدادی [۱۷]

### ۳.۳ Flip-Flop

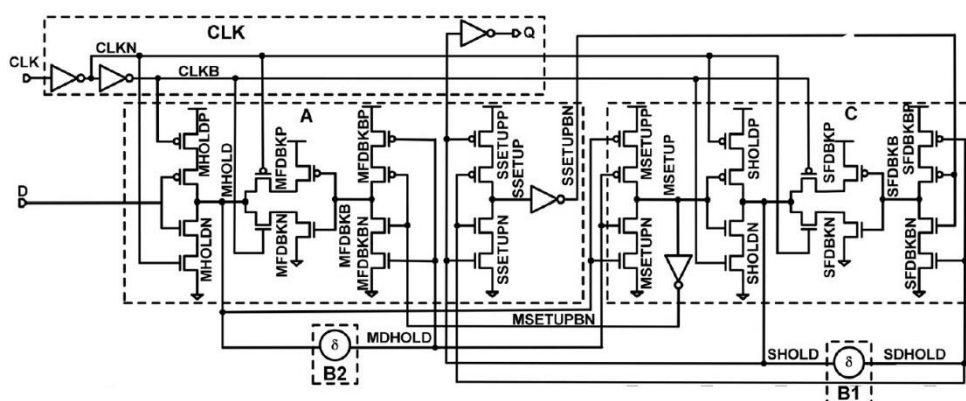
روش‌های ارائه شده برای مقاوم‌سازی فلیپ‌فلاپ‌ها بواسطه شباهت زیاد با لچ‌ها بسیار به هم نزدیک است. فلیپ‌فلاپ‌ها از ترکیب دو حافظه لچ شکل می‌گیرند، بنابراین مقاوم‌سازی آن‌ها در برابر خطاهای چند رخدادی وابسته به همان حافظه لچ خواهد بود با این تفاوت که هر دو قسمت باید در مقابل خطا مقاوم باشند.

یکی از مقالات در این زمینه در سال ۲۰۱۳ ارائه شده است، در این مقاله از ۴ دسته معکوس کننده پشت به پشت استفاده شده است [۱۸]. طرح پیشنهادی در مقابل خطاهای تک رخدادی به صورت ۱۰۰ درصد مقاوم عمل می‌کند. و در ارتباط با خطاهای چند رخدادی Qcrit گره دوم را تا ۲۵۰ درصد افزایش می‌دهد. طرح پیشنهادی

در شکل ۳-۶ نشان داده شده است. نکات منفی قابل ذکر برای این طرح، یکی سربار توان مصرفی بالا آن است همانطور که در مقاله نیز ذکر شده است و نکته وجود احتمال رخداد خطا چندتایی در طرح پیشنهاد شده است. مقاله دیگری در سال ۲۰۱۵ در این رابطه منتشر گردید که در مقابل خطاهای تک‌رخدادی کاملاً مقاوم است و برای مقابله با خطاهای چند رخدادی از یک روش فرا ابتکاری جهت دسته بندی گره‌ها استفاده نموده است [۱۹]. در این روش سعی شده تا حد امکان جفت گره‌های حساس به خطای چندتایی را از هم جدا کند. این جداسازی به صورت ترکیبی از افزونگی‌های زمانی، مکانی و سخت‌افزاری انجام می‌پذیرد. شکل ۳-۷ ساختار پیشنهادی را نشان می‌دهد. به عنوان نکته منفی برای این ساختار می‌توان به سربار مساحت زیاد آن اشاره نمود، در حالی این سربار زیاد به اتکاپذیری ۱۰۰ درصدی نیز منجر نخواهد شد.



شکل ۳-۶: ساختار فلیپ فلاپ، مقاوم در برابر خطاهای چند رخدادی [۱۸]



شکل ۳-۷: ساختار فلیپ فلاپ، مقاوم‌سازی شده در برابر خطاهای چند رخدادی [۱۹]

بررسی مدارات ترکیبی در لایه‌های پایین به مراتب سخت‌تر از بررسی آن‌ها در لایه‌های بالا است. از این رو تعداد اندکی از مقالات به بررسی مدارات ترکیبی در لایه‌های پایین پرداخته‌اند. بررسی‌های اخیر نشان داده است که عدم بررسی اطلاعات چینش می‌تواند تعداد زیادی از خطاهای تک‌رخدادی و چندرخدادی در مدارات را بدون بررسی باقی گذارد [۲۰]. بنابراین بررسی این دسته از خطاها در لایه‌های پایین از اهمیت زیادی برخوردار است.

اولین بررسی مرتبط با رخداد خطاهای چندتایی در سال ۲۰۰۷ بر روی سلول‌های استاندارد صورت پذیرفت [۲۱]. در این مقاله نویسنده پس از بررسی مدل‌های مختلف جریان بر حسب میزان انرژی ذره، به تزریق آن در سلول‌های استاندارد پرداخته و نتایج را در خروجی ثبت می‌کند. سپس بر حسب میزان تاثیر برخورد ذره در خروجی و احتمال وقوع خطا، نقاط حساس سلول استاندارد شناسایی می‌شود. هرچند نویسنده برای مقابله با خطا روشی ارائه نمی‌دهد اما نوع بررسی و نتایج آن برای تحقیقات آتی بسیار مفید و موثر بوده است.

یک دسته دیگر از روش‌ها، مبتنی بر سخت‌سازی مسیر عبور و جلوگیری از رسیدن آن به خروجی مدار است. اولین مقاله برای مبنا در سال ۲۰۰۵ ارائه شده است [۲۲]، بدین صورت که ابتدا مسیرها و نقاط حساس مدار شناسایی می‌شوند. در این حالت میزان حساسیت سلول‌ها و نقاط حساس داخل سلول به شکل دقیقی تخمین و محاسبه می‌شود. سپس با استفاده از تغییر اندازه ترانزیستورها تنها در مسیرهای حساس از عبور اثر ذره جلوگیری به عمل خواهد آمد. نکته‌ای که حائز اهمیت است تاثیر مثبت این روش بر هر دو نوع خطاهای تکی و چندتایی است، در عین حال که سربار مساحت زیادی را نسبت به روش‌های افزودنی مذکور بدنبال ندارد. اما اندازه‌گذاری<sup>۲۹</sup> ترانزیستورها به سبب افزایش خازن‌ها می‌تواند سبب تاخیر و همچنین افزایش توان مصرفی مدار گردد.

یکی از روش‌های مورد استفاده برای کاهش نرخ خطای نرم، که منجر به تحمیل سربارهای مساحت و توان زیاد به مدار نمی‌شود، استفاده از روش اندازه‌گذاری می‌باشد. این روش به شیوه‌های مختلفی با در نظر گرفتن زمان پردازش و در عین حال سربارهای ناشی از آن به مدارها اعمال می‌شود. مقاله‌ای در سال ۲۰۱۴ ارائه شد [۲۳]. در این مقاله با بررسی ورودی‌های مختلف برای مدارها محک و آنالیز نتایج آن به شناسایی نقاط حساس این مدارها در سطح ترانزیستور پرداخته می‌شود. پس از آن با اعمال اندازه‌گذاری ترانزیستورهای حساس، نرخ خطای نرم را کاهش می‌دهد. ایرادی که می‌توان به این مقاله وارد نمود بهینه‌سازی و بررسی خطا، تنها برای یک مجموعه خاص از مدارهای محک می‌باشد و نتایج حاصل اعم از میزان بهبود نرخ خطا و سربارهای مرتبط تنها برای آن بررسی شده است. اگرچه روش پیشنهادی در حالت کلی سبب بهبود نرخ خطای نرم می‌شود، اما بررسی

<sup>۲۹</sup> Sizing

نتایج برای چندین مجموعه مدار محک می‌تواند به نتایج دقیق‌تری در مورد نسبت بهبود به تحمیل سربار روش پیشنهادی منجر شود.

در مقاله‌ای دیگر یک رویکرد مبتنی بر جستجوی گرادیانی<sup>۳۰</sup> برای تخصیص اندازه‌های مختلف برای دروازه‌های یک مدار ترکیبی پیشنهاد داده شده است [۲۴]. این رویکرد با مراجعه به جداول مبتنی بر شبیه‌سازی‌های SPICE، هزینه مربوط به هر اندازه‌گذاری را در طول رویکرد بهینه‌سازی محاسبه می‌نماید. البته این رویکرد به دلیل نیاز به جداول، زمانبر بوده و برای مدارهای بزرگ نیز عملی نیست. همچنین به دلیل استفاده از جستجوی گرادیانی، نتایج بدست آمده یک رویه حریصانه داشته و ممکن است منجر به دستیابی به بهینه محلی شود.

در مقاله مشابه دیگری نیز از یک روش حریصانه برای کاهش نرخ خطای نرم استفاده می‌شود [۲۵]. بدین منظور، دروازه‌ها بر حسب معیاری به نام تحریک کنندگی<sup>۳۱</sup> مرتب می‌شوند. این معیار رابطه معکوسی با میزان پوشش منطقی مربوط به هر دروازه دارد؛ به این معنا که هرچه میزان پوشش منطقی یک دروازه بیشتر باشد، تحریک کنندگی آن کمتر خواهد بود. پس از محاسبه این معیار، اندازه‌گذاری به ترتیب از دروازه با بیشترین تحریک کنندگی، شروع می‌شود. برای تصمیم درباره اتمام رویکرد کاهش، از معیاری به نام پوشش<sup>۳۲</sup> استفاده شده است که در آن نسبت مجموع تحریک کنندگی دروازه‌های اندازه‌گذاری شده نسبت به مجموع کل تحریک کنندگی مدار محاسبه می‌شود. مادامی که مقدار معیار پوشش از حدی کمتر باشد، رویه اندازه‌گذاری ادامه می‌یابد. اما قابل ذکر است که این رویکرد از اثر روش اندازه‌گذاری روی پوشش الکتریکی و زمانی چشم پوشی نموده و در نتیجه اثر افزایش اندازه روی نرخ خطای نرم را به طور دقیق ارزیابی نمی‌کند.

رویکرد دیگری برای کاهش نرخ خطای نرم با استفاده از روش‌های سطح مداری ارائه شده است [۲۶]. کلیت این رویکرد شامل یک الگوریتم اندازه‌گذاری مبتنی بر حساسیت می‌باشد که موازنه‌ای بین کاهش نرخ خطای نرم و سربار مساحت ناشی از اعمال روش اندازه‌گذاری دروازه‌ها ایجاد می‌کند. در این روش ابتدا برای هر دروازه حداکثر مقداری که با تغییر اندازه آن می‌توان نرخ خطای نرم مدار را کاهش داد محاسبه می‌شود. سپس این کران بالا برای هرس گراف مدار مورد استفاده گرفته و پس از رسیدن به مجموعه‌ای کوچکتر از دروازه‌ها با نام مجموعه کاندیدا، رویه کاهش نرخ خطای نرم تنها بر روی همان مجموعه اعمال می‌شود. به این صورت که هر بار تاثیر اعمال روش کاهش روی تک‌تک دروازه‌های موجود در مجموعه کاندیدا محاسبه، نرخ خطای نرم کاهش

---

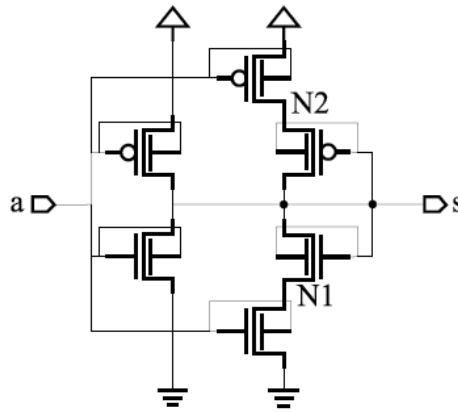
<sup>۳۰</sup> Gradient Search

<sup>۳۱</sup> Sensitization

<sup>۳۲</sup> Coverage

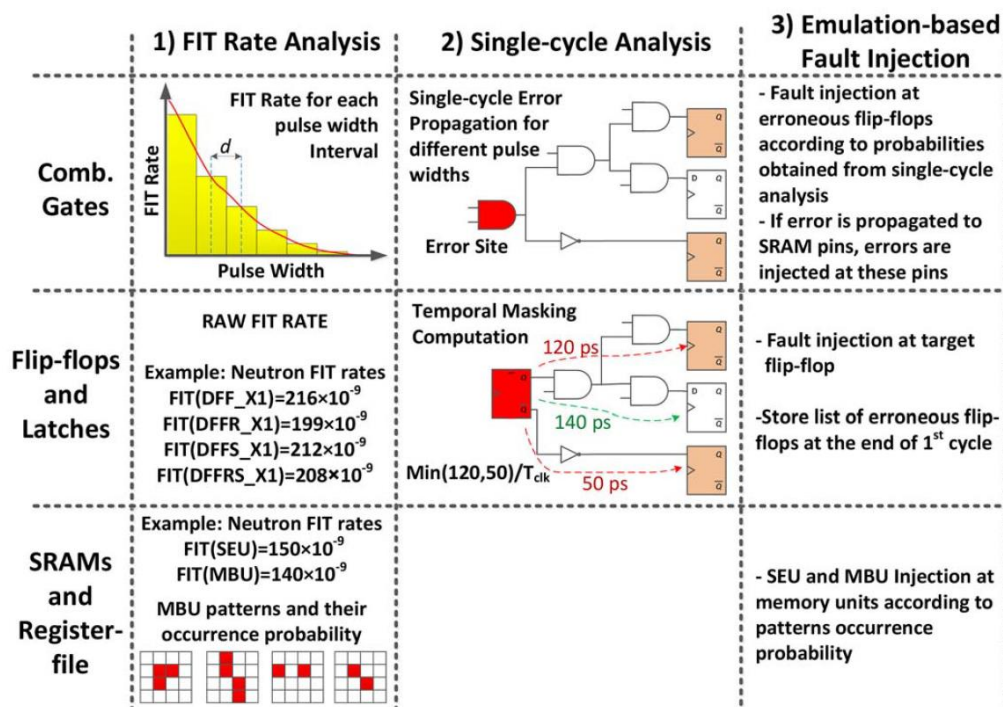


ترانزیستور استفاده شده است. ساختار سلول معکوس کننده پیشنهادی در شکل ۳-۹ آورده شده است. در این طرح در کنار بهبود اتکا پذیری ساختار پیشنهادی می بایست به سربار ناشی از اضافه شدن دو ترانزیستور به ازای هر معکوس کننده و تاثیرات متقابل آن نیز توجه داشت.



شکل ۳-۹: ساختار سلول معکوس کننده سخت سازی شده [۲۹]

مقاله‌ای در سال ۲۰۱۵ ارائه شد که به بررسی اثرات خطای نرم بر پردازنده نهفته OR1200 می‌پردازد [۳۰]. روند کلی فرآیند بررسی نرخ خطای نرم انجام شده در مقاله در شکل ۳-۱۰ آورده شده است.



شکل ۳-۱۰: روند تخمین نرخ خطای نرم در مقاله [۳۰]

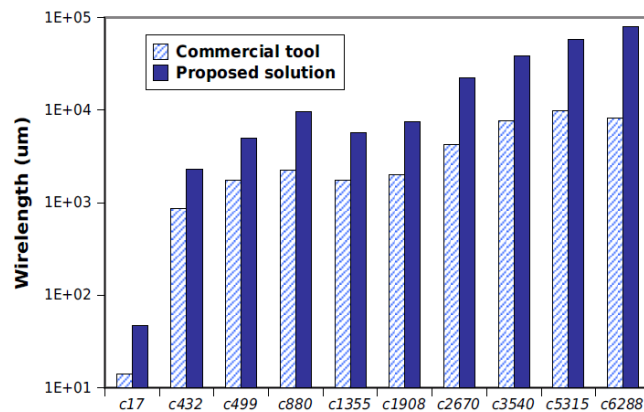
نتایج بدست آمده از بررسی صورت گرفته بر روی پردازنده OR1200 نشان می‌دهد که با بکارگیری روش کدگذاری تصحیح خطا، فلیپ‌فلاپ‌های پردازنده نقش تعیین کننده را در نرخ SER مدار ایفا می‌کنند. بدین صورت که با کاهش ۱۰ درصدی نرخ خطا در فلیپ‌فلاپ‌های پردازنده، SER کلی مدار به میزان ۷۰ درصد کاهش خواهد یافت. همچنین مشاهده می‌شود که با اعمال تکنیک اضافه کردن انتخابی فیلتر در به مدار با تنها ۴ درصد سربار مساحت می‌توان نرخ بروز خطا در بخش ترکیبی پردازنده را به میزان ۸۰ درصد کاهش داد. همچنین مشاهده شد که کاهش فرکانس کاری پردازنده بواسطه افزایش اثر پوشش زمانی خطا سبب کاهش نرخ خطا نرم می‌شود، اما نکته قابل ذکر دیگر این است که اعمال روش مقیاس‌گذاری پویای ولتاژ و فرکانس<sup>۳۳</sup> با نرخ یکسانی بر روی SER بخش ترکیبی و ترتیبی مدار تاثیر می‌گذارد. همچنین نتایج نشان می‌دهد که بواسطه اندازه بزرگ بافرهای ساعت موجود در پردازنده، درخت ساعت نقش اصلی را در معیار SER کلی مدار ایفا نمی‌کند.

مقاله دیگری در سال ۲۰۱۴ ارائه شده است [۳۱]. این مقاله مبتنی بر کاهش اثرات خطاهای چندرخدادی با استفاده از جایابی آگاه از خطا می‌باشد. نویسنده برای حصول به این هدف تمام گیت‌ها موجود در مدار را می‌سنجد و جفت‌های خوب و بد را شناسایی می‌کند. برای این کار از شبیه‌سازی سطح گیت بهره می‌برد. پس از این مرحله، مسئله تبدیل به یک مسئله بهینه‌سازی خواهد شد. که هدف آن به‌کارگیری تعداد بیشتری از جفت سلول‌های خوب است. برای حصول به این هدف و حل مسئله، نویسنده از الگوریتم فرا ابتکاری تبرید تجریدی<sup>۳۴</sup> استفاده می‌کند. نتایج شبیه‌سازی نشان می‌دهد که پس از حل مسئله تعداد خطاهای چندتایی بیش از ۵۰ درصد کاهش می‌یابد. نتایج حاصل از این روش اگرچه وضعیت مقاوم‌سازی در برابر خطاهای چندتایی را بهبود داده است ولی در مقابل این تغییرها بر فرآیند جایابی همانطور که در شکل ۳-۱۱ آورده شده است اثر می‌گذارد و می‌تواند سبب افزایش طول سیم در مرحله مسیریابی گردد. همچنین استفاده از نتایج حساسیت‌پذیری بررسی شده از سطح گیت نمی‌تواند به قدر کافی دقیق باشد، بنابراین نتایج حاصله بعد از روش پیشنهادی در صورت بررسی در سطح فیزیکی می‌تواند نتایجی به دور از انتظار نسبت به نتایج بدست آمده در سطح گیت داشته باشد و مسلماً نتایج بدست آمده از بررسی فیزیکی به واقعیت نزدیک‌تر هستند.

<sup>۳۳</sup> Dynamic Voltage and Frequency Scaling

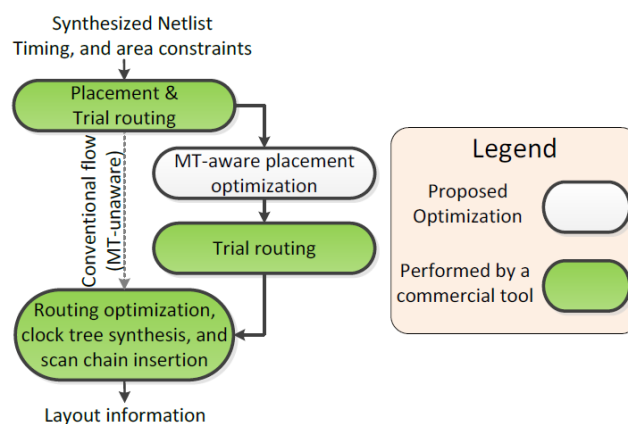
<sup>۳۴</sup> Simulated Annealing





شکل ۳-۱۱: تاثیر جایابی صورت گرفته با هدف کاهش خطا چند رخدادی بر طول سیم مصرفی مسیریابی [۳۱]

مقاله دیگری در سال ۲۰۱۶ ارائه شد که در آن روشی برای مدل‌سازی خطای نرم چند رخدادی بر پایه ساختار چینش ارائه می‌دهد، و نهایتاً به مقاوم‌سازی مدار بر اساس نتایج حساسیت بدست آمده از سطح چینش می‌پردازد [۳۲]. در این مقاله ابتدا به بررسی و بیان اهمیت تاثیر چینش بر خطای نرم و امکان کاهش سربارهای حاصل از مقاوم‌سازی در صورت آگاهی از این فاکتور می‌پردازد؛ و پس از آن به بررسی و محاسبه نرخ خطا چند رخدادی با کمک ابزارهای پروتو افشان بر سطح چینش پرداخته می‌شود. با آنالیز نقشه گرمایی خطا<sup>۳۵</sup> محل‌های حساس در سطح چینش استخراج می‌شوند. در نهایت با استفاده از اطلاعات محل‌های خطا در چینش اولیه، الگوریتمی برای چینش به صورت آگاه از خطای چند رخدادی ارائه می‌شود. در شکل ۳-۱۲ شمایی کلی از روند نگرش پیشنهادی مقاله برای جایابی آگاه از خطا آورده شده است.



شکل ۳-۱۲: چارچوب کلی فرآیند جایابی آگاه از خطا پیشنهادی مقاله [۳۲]

<sup>۳۵</sup> Heatmap

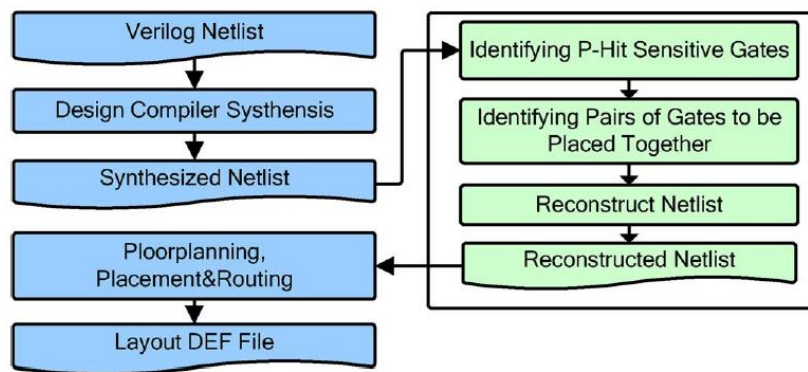
الگوریتم اشاره شده در شکل ۳-۱۲ بدین صورت عمل می‌نماید که فایل چینش اولیه را به عنوان ورودی دریافت کرده و سطر به سطر به بررسی جفت سلول‌ها می‌پردازد و در صورتی که احتمال بروز خطا در آن جفت سلول بالا باشد به نحوی با اضافه کردن فضای خالی در میان این جفت سلول، به کاهش احتمال بروز خطا می‌پردازد. لازم بذکر است، الگوریتم پیشنهادی مقاله اثر چینش را در نظر می‌گیرد بدین صورت که اشکال بیضی‌گونه فرضی را به صورت تصادفی بر روی سطح چینش قرار داده و پس از آن به با جستجو در چینش به شناسایی سلول‌هایی که با بیضی مذکور همپوشانی مکانی دارند، می‌پردازد. سپس سایر سلول‌ها را از نت لیست سطح گیت حذف کرده و به انتشار و محاسبه نرخ خطا در سطح گیت بر روی نت لیست بدست آمده می‌پردازد. برتری این مقاله نسبت به مقاله [۳۱]، شناسایی دقیق محل‌های بروز خطا در سطح چینش با کمک ابزارهای پرتوافشان می‌باشد. این در حالی است که مقاله پیشین در این زمینه تنها با شبیه‌سازی سطح گیت محل‌های بروز خطا چندرخدادی را استخراج می‌نماید و در نتیجه نتایج بدست آمده برای بهره‌گیری از آن در جاییابی از دقت کافی برخوردار نیست، ولیکن در این مقاله [۳۲] به این مهم پرداخته شده است. همچنین بعنوان ایراد این مقاله می‌توان به عدم دقت در الگوریتم محاسبه نرخ خطا اشاره نمود، چرا که الگوریتم پیشنهادی این بخش با حذف سلول‌های بدون همپوشانی عملاً اثرات پوششی سایر سلول‌ها را برای تخمین دقیق نرخ خطا و تصمیم‌گیری در جاییابی در نظر نمی‌گیرد.

مقاله ای در سال ۲۰۱۴ روشی برای جاییابی مدارهای ترکیبی ارائه می‌دهد [۳۳]. بدین گونه که الگوریتم پیشنهادی مقاله سعی در بهره‌گیری از اثر پوشش الکتریکی برای کاهش خطای نرم دارد. الگوریتم پیشنهادی بدین صورت عمل می‌کند که نت لیست سطح گیت مدار را به عنوان ورودی دریافت کرده و ابتدا سه پارامتر  $P_{Sensitivity}(gate_i)$  و  $P_{Propagation}(gate_i)$ ،  $P_{Low}(gate_i)$  را که به ترتیب احتمال داشتن خروجی صفر برای گیت، احتمال انتشار خطای موجود در خروجی گیت به خروجی اصلی مدار و حاصلضرب این دو پارامتر برای هر کدام از گیت‌های مدار می‌باشد، محاسبه می‌شود. پس از آن گیت‌های مدار براساس میزان حساسیت بدست آمده برای آن‌ها به صورت نزولی مرتب می‌شوند و همچنین مجموعه‌ای برای ذخیره‌سازی جفت گیت‌های مدار ایجاد می‌گردد. حال براساس لیست مرتب شده گیت‌ها، یک گیت انتخاب می‌شود و به مجموعه جفت گیت اضافه می‌شود، در ادامه با اجرای یک حلقه تکرار شونده تمامی گیت‌هایی که در خروجی گیت مدنظر می‌باشند به مجموعه جفت گیت اضافه می‌شوند. هدف اصلی الگوریتم از این کار، شناسایی گیت‌هایی است که اولاً بیشترین حساسیت در برابر خطای نرم را دارند و ثانیاً گیت‌های خروجی آن‌ها شناسایی می‌شود تا در مرحله جاییابی آن جفت تا حد امکان در سطح چینش در کنار هم قرار گیرند تا بدین صورت بتوان بیشترین کاهش اثر پالس<sup>۳۶</sup> را

---

<sup>۳۶</sup> Pulse Quenching Effect

داشت. ساختار اعمال روش پیشنهادی بر روند معمول عملکرد ابزارهای طراحی در شکل ۳-۱۳ آورده شده است. به عنوان ایراد مقاله می توان به عدم توجه به دو فاکتور پوششی دیگر خطای نرم در مدارات ترکیبی اشاره کرد چرا که در آن صورت می توان به نتایجی بهتر از نتایج بدست آمده در مقاله یعنی به طور میانگین ۹ تا ۱۹ درصد کاهش آسیب پذیری دست یافت.



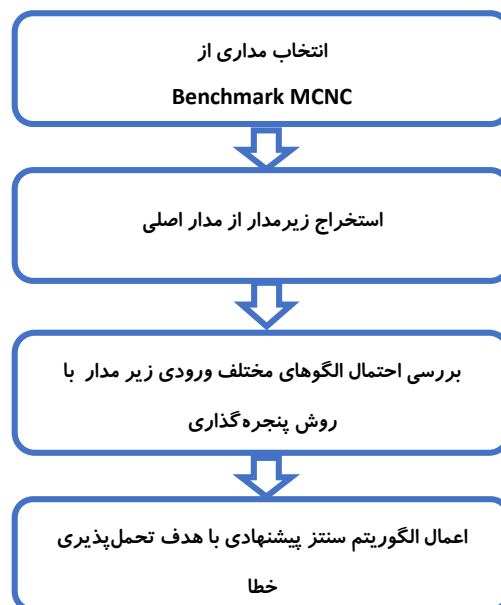
شکل ۳-۱۳: چارچوب اعمال روش پیشنهادی مقاله بر روند معمول عملکرد ابزارهای طراحی [۳۳]

یکی از معیارهایی که در فرآیند سنتز مدارها می توان به آن توجه نمود، کاهش حساسیت مدار به خطای نرم است. همانگونه که الگوریتم های بسیاری برای سنتز با اهداف مساحت، توان مصرفی و تاخیر وجود دارند می توان به ارائه الگوریتم هایی پرداخت تا سنتز مدارها را با هدف کاهش نرخ خطای نرم انجام دهد. در این راستا مقاله ای در سال ۲۰۱۵ منتشر شد و الگوریتمی برای سنتز مدارهای ترکیبی با هدف کاهش نرخ خطای نرم ارائه داد [۳۴]. تمرکز اصلی این مقاله با هدف کاهش نرخ خطای نرم بهره گیری از اثر پوشش منطقی در مدارات ترکیبی است. بدین منظور ابتدا توسط الگوریتمی به استخراج زیر مدارهایی با ساختار خاص از مدار اصلی می پردازد. در مرحله دوم به شناسایی الگوهای پرتکرار ورودی برای هر زیر مدار پرداخته می شود چرا که الگوهای ورودی هر زیر مدار تأثیر زیادی برای فرآیند مقاوم سازی پیشنهادی دارد، بعلاوه ممکن است برخی از حالات ورودی برای زیر مدار اصلاً رخ ندهد<sup>۳۷</sup>. در نهایت الگوریتم پیشنهادی مقاله با هدف کاهش نرخ خطای نرم بر زیر مدارهای استخراج شده اعمال می شود. چارچوب روش پیشنهادی مقاله در شکل ۳-۱۴ آورده شده است.

این مقاله اگرچه شیوه ای جدید برای کاهش نرخ خطای نرم است ولی ایرادهای زیادی را می توان به آن وارد نمود. اولین ایراد سربار مساحت بالای روش پیشنهادی است، همانطور که در مقاله گزارش شده است روش پیشنهادی به طور میانگین ۴۰ درصد سربار مساحت دارد، از طرفی اگرچه گزارشی مبنی بر میزان تغییرات توان

<sup>۳۷</sup> Controllability Don't-Care Condition

مصرفی در مقاله آورده نشده است ولی بالطبع توان مصرفی با مساحت رابطه مستقیم داشته و انتظار می‌رود تا توان مصرفی افزایش داشته باشد؛ در نتیجه استفاده از این روش برای مقاوم‌سازی مدارهای ترکیبی مورد استفاده در کاربردهای نهفته<sup>۳۸</sup> و همچنین سیار<sup>۳۹</sup> عملی نخواهد بود. دومین ایراد این مقاله را می‌توان عدم بهره‌گیری و یا حتی بررسی دو پارامتر دیگر پوششی یعنی اثر پوشش الکتریکی و پوشش زمانی در روش پیشنهادی دانست، این در حالی است که شاید بهره‌گیری از این دو فاکتور پوششی به کاهش سربارها و رسیدن به نتایج مطلوب‌تر کمک شایانی می‌نمود. و ایراد سوم این مقاله را می‌توان در نظر نگرفتن اثر روش پیشنهادی بر روی نرخ خطاهای چند رخدادی بیان کرد. زیرا همانگونه که ذکر شد امروزه و در مدارات کوچکتر از ۱۰۰ میکرومتر احتمال بروز خطای تک رخدادی و چند رخدادی با هم برابر است. و در نتیجه بررسی این موضوع حائز اهمیت می‌باشد. در مواردی روش پیشنهادی علاوه بر عدم بهبود شرایط برای خطاهای چند رخدادی حتی می‌تواند سبب افزایش نرخ این‌گونه خطا نیز بشود. نهایتاً لازم بذکر است که روش پیشنهادی در این مقاله اگرچه ایرادهای زیادی را به خود وارد می‌بیند ولی می‌تواند مقدمه‌ای مناسب برای سایر پژوهش‌ها در این حوزه باشد.

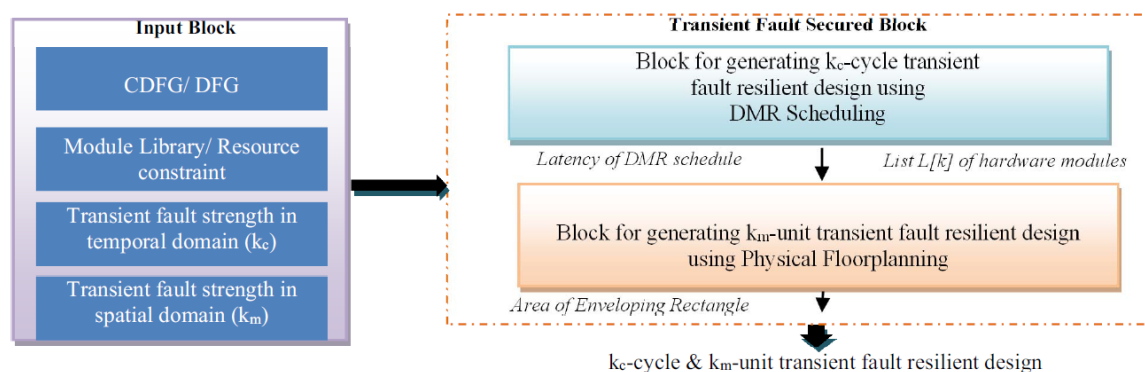


شکل ۳-۱۴: چارچوب کلی روش پیشنهادی مقاله [۳۴]

<sup>۳۸</sup> Embedded

<sup>۳۹</sup> Mobile

مقاله دیگری در سال ۲۰۱۶ ارائه شده است که به سنتز سطح بالای مدارهای ترکیبی به صورت آگاه از پدیده بروز خطاهای چند رخدادی می‌پردازد. ساختار کلی روش پیشنهادی مقاله را می‌توان به دو بخش ارائه الگوریتم برای سنتز سطح بالا و استفاده از روش دو برابرسازی تقسیم نمود، که الگوریتم مربوطه وظیفه شناسایی خطای گذرا و روش دو برابرسازی نیز تصحیح خطا را انجام می‌دهد. چارچوب کلی روش پیشنهادی مقاله در شکل ۳-۱۵ آورده شده است [۳۵].



شکل ۳-۱۵: چارچوب کلی روش پیشنهادی مقاله [۳۵]

## ۵.۳ تخمین نرخ خطای نرم

در این بخش به بررسی کارهای صورت گرفته در زمینه تخمین نرخ خطای نرم پرداخته می‌شود. به طور کلی روش‌های تخمین نرخ خطای نرم را می‌توان به چهار دسته تقسیم کرد: (۱) روش‌های تزریق اشکال مبتنی بر شبیه‌سازی بردارهای تصادفی (۲) روش‌های مبتنی بر نمودار تصمیم‌گیری دودویی (۳) روش‌های مبتنی بر ارضاپذیری بولی (۴) روش‌های مبتنی بر انتشار احتمال اشکال.

### ۱.۵.۳ تزریق اشکال مبتنی بر شبیه‌سازی بردارهای تصادفی

دسته اول روش‌هایی هستند که با استفاده از روش تزریق اشکال مبتنی بر شبیه‌سازی داده‌های ورودی تصادفی و یا تزریق اشکال مبتنی بر پیش‌توصیف دروازه، فرآیند تخمین نرخ خطای نرم را انجام می‌دهند. از آنجایی که دقت این دسته از روش‌ها وابسته به نسبت تعداد اشکال‌های تزریق شده و بردارهای ورودی شبیه‌سازی شده به تعداد کل محل‌های تزریق اشکال و فضای داده ورودی است، به دست آوردن دقتی قابل قبول در زمان معقول امری بسیار دشوار است. زمان اجرای لازم برای به دست آوردن نرخ محو شدن منطقی برای یک گره در

یک مدار بسیار بزرگ به طور نمایی با اندازه مدار زیاد می‌شود. در نتیجه در چنین مدارهای بزرگی به دست آوردن نرخ خطای نرم با دقت بالا بسیار زمان‌بر خواهد بود. مقاله ای در سال ۲۰۰۹ روشی بر مبنای تزریق اشکال ارائه داد [۳۶]. روش ارائه شده از دو نوع پیش‌توصیف به نام‌های پیش‌توصیف منطقی و پیش‌توصیف فلیپ‌فلاپ استفاده نموده است. در پیش‌توصیف منطقی، یک پالس جریان در محل‌های اشکال به ازای عرض پالس‌های مختلف تزریق می‌شود و سپس مشخصه‌های ولتاژ-جریان برای دروازه‌های مختلف در کتابخانه استاندارد استخراج شده و در یک جدول به نام جدول مشخصه ولتاژ-جریان ذخیره می‌گردد. در پیش‌توصیف فلیپ‌فلاپ، پالس‌های ولتاژ به ازای عرض‌های مختلف در ورودی فلیپ‌فلاپ‌ها تزریق می‌گردد و درصدی از سیکل ساعت که در آن پالس گذرا به اشتباه ذخیره می‌شود، استخراج می‌گردد. این اطلاعات سپس در یک جدول به نام جدول پنجره زمانی ذخیره می‌گردد. برای محاسبه‌ی نرخ محو شدن منطقی دروازه‌ها، شبیه‌سازی منطقی برای بردارهای ورودی صورت می‌گیرد. در این روش، فرض شده است که یک پالس پیچیده به علت وجود مسیرهای دوباره همگرا می‌تواند به شکل چند پالس مستقل در نظر گرفته شود. این فرض، فرضی بسیار محدود کننده می‌باشد و منجر به عدم دقت بالا به خصوص برای مدارهای بسیار بزرگ دارای مسیرهای دوباره همگرای زیاد می‌شود.

روش دیگری که مبتنی بر پیش‌توصیف در سال ۲۰۱۰ ارائه شد [۳۷]. روش ارائه شده از شبیه‌سازی سطح مدار با استفاده از نرم افزار SPICE برای استخراج توزیع احتمال عرض پالس‌های گذرا استفاده می‌کند. برای این کار، تعداد زیادی نمونه از مسیرهای شامل دروازه‌های منطقی مختلف تولید شده و سپس به ازای هر مسیر تولید شده پالس‌های مختلف تزریق و در طول مسیر منتشر می‌شوند. با استفاده از اطلاعات انتشار پالس‌های گذرا، جدول‌های مختلفی برای نگهداری اطلاعات مربوط به پارامترهای محو شدن الکتریکی، زمانی و منطقی تشکیل می‌شود. در انتها، برای هر پالس گذرای تزریق شده، در هر محل تزریق اشکال، نرخ خطای نرم برای هر دروازه با استفاده از رجوع به این جدول‌ها به دست می‌آید. این روش به دلیل نیاز به بردارهای زیاد برای رسیدن به دقت بالا برای مدارهای بزرگ روش کارایی نمی‌باشد. نکته قابل توجه دیگر در این روش این است که مانند روش‌های دیگر مبتنی بر پیش‌توصیف فاکتورهای محو شدن را به شکل جداگانه محاسبه می‌کند که باعث کاهش دقت در محاسبه‌ی خطای نرم می‌گردد.

مقاله دیگری در سال ۲۰۰۸ روشی سلسله مراتبی برای تخمین نرخ خطای نرم به نام HSEET در ارائه داد [۳۸]. در این روش، یک طرح که به شکل سلسله مراتبی قابل توصیف باشد مانند مدارهای محاسباتی به بلوک‌های پایه تقسیم می‌گردد. سپس فرآیند انتشار خطا به وسیله‌ی شبیه‌سازی سطح دروازه برای بلوک‌های پایه انجام می‌گردد. در نهایت، با استفاده از تئوری احتمالات، نرخ خطای نرم مدار برای این طرح سلسله مراتبی محاسبه می‌گردد. واضح است که این روش برای دسته‌ی خاصی از مدارها یعنی مدارهایی که بتوان آنها را به

شکل سلسله مراتبی توصیف کرد قابل استفاده می‌باشد. علاوه بر این همانند روش‌های مبتنی بر شبیه‌سازی منطقی دارای مشکل زمان اجرا برای مدارهای بسیار بزرگ می‌باشد.

### ۲.۵.۳ روش‌های مبتنی بر نمودار تصمیم‌گیری دودویی

دسته دوم شامل روش‌هایی است که از نمودار تصمیم‌گیری دودویی و یا نمودار تصمیم‌گیری جبری برای تخمین نرخ خطای نرم استفاده می‌کنند. در این روش‌ها اطلاعات مربوط به مشخصه‌های زمانی و الکتریکی و همچنین محو شدن منطقی دروازه‌ها در یک ساختار مبتنی بر نمودار تصمیم‌گیری دودویی ذخیره شده و محاسبه‌ی نرخ محو شدن منطقی، زمانی و الکتریکی با استفاده از عملگرهای خاص این نمودار انجام می‌شود. اگرچه این دسته از روش‌ها قادر به به دست آوردن دقت بیشتری نسبت به روش‌های تزریق اشکال مبتنی بر شبیه‌سازی هستند، اما دارای پیچیدگی نمایی برای مدارهای بزرگ به خصوص مدارات دارای مسیرهای دوباره همگرا<sup>۴۰</sup> هستند. دلیل این مسئله این است که حضور مسیرهای دوباره همگرا باعث افزایش نمایی مسیرهای انتشار اشکال می‌گردد.

در سال ۲۰۰۵ روشی برای تحلیل میزان حساسیت مدارهای ترکیبی به خطای نرم مبتنی بر نمودار تصمیم‌گیری دودویی و افرازبندی مدار ارائه شد [۳۹]. در این روش پالس‌های گذرا توسط یک نمودار تصمیم‌گیری دودویی رمزگذاری شده و در سطح دروازه منتشر می‌شوند. از آنجاییکه پیچیدگی رمزگذاری نمودار تصمیم‌گیری دودویی یک تابع منطقی در بدترین حالت با تعداد متغیرهای تابع به شکل نمایی مرتبط می‌باشد. لذا استفاده از این روش برای مدارهای بزرگ بسیار زمان‌بر است. از سویی دیگر تأثیر مسیرهای دوباره همگرا نیز در این روش لحاظ نمی‌شود. بنابراین برای تسریع این روش، یک روش تقسیم‌بندی اکتشافی ارائه شده است که باعث می‌شود زمان اجرا کاهش یابد. با این وجود، این روش نسبت به روش تزریق اشکال دارای دقت کمتری است.

در سال ۲۰۰۸ مقاله‌ای ارائه شد که هر سه فاکتور پوششی یعنی محو شدن منطقی، الکتریکی و زمانی را به شکل یکپارچه در نظر می‌گرفت و همچنین اثر مسیرهای دوباره همگرا را نیز در فرآیند تخمین نرخ خطای نرم لحاظ می‌نمود [۴۰]. در این مقاله به شکل توأم از نمودار تصمیم‌گیری دودویی و نمودار تصمیم‌گیری جبری استفاده شده است. اگرچه در این روش هر دو مشکل فوق‌الذکر تا حد خوبی حل شده است اما هنوز دو مشکل اساسی روش‌های موجود در این دسته، یعنی زمان‌بر بودن و مشکل حافظه کم‌اکان وجود دارد.

---

<sup>۴۰</sup> Re-Convergent Fan-Out

### ۳.۵.۳ روش‌های مبتنی بر ارضاپذیری بولی

دسته سوم شامل روش‌هایی است که از ارضاپذیری بولی برای محاسبه‌ی نرخ محو شدن منطقی استفاده می‌کنند. در این روش‌ها، مسئله محاسبه‌ی نرخ خطای نرم، به یک مسئله معادل ارضاپذیری بولی<sup>۴۱</sup> تبدیل شده و با حل مسئله دوم، پاسخ مسئله اول یعنی مقدار دقیق نرخ خطای نرم به دست می‌آید. اگرچه این روش‌ها دارای دقت بسیار بالایی در محاسبه‌ی نرخ محو شدن منطقی خطای نرم هستند اما با استفاده از این روش‌ها تخمین نرخ محو شدن الکتریکی و زمانی خطای نرم به صورت یکپارچه با نرخ محو شدن منطقی آن بسیار دشوار است.

یک روش تخمین نرخ خطای نرم با استفاده از ارضاپذیری بولی در سال ۲۰۰۸ ارائه شد [۴۱]. در این روش توصیف سطح دروازه‌ی مدار پیمایش شده و احتمال خطا در خروجی هر دروازه با استفاده از روش ارضاپذیری بولی محاسبه می‌گردد. در نتیجه پیچیدگی زمانی روش مذکور  $O(N)$  می‌باشد که  $N$  تعداد دروازه‌های موجود در مدار است. همچنین یک روش مشابه نیز در سال ۲۰۱۰ ارائه شد [۴۲]. مشکلی که در این دسته از روش‌ها وجود دارد این است که با استفاده از روش ارضاپذیری بولی فقط می‌توان نرخ محو شدن منطقی خطای نرم را محاسبه کرد.

### ۴.۵.۳ روش‌های مبتنی بر انتشار احتمال اشکال

دسته چهارم روش‌هایی هستند که در آنها با استفاده از احتمال سیگنال‌ها، احتمال انتشار خطا به خروجی‌های اصلی و فلیپ‌فلاپ‌های مدار محاسبه می‌گردد. از آنجایی که این روش‌ها نیاز به شبیه‌سازی اشکال ندارند، دارای سرعت بسیار بالایی هستند.

یک روش تحلیلی برای محاسبه‌ی نرخ محو شدن منطقی خطای نرم با استفاده از انتشار احتمال اشکال در سال ۲۰۰۵ ارائه شد [۴۳]. پیچیدگی این روش خطی بوده و به شکل بسیار قابل توجهی در مقایسه با روش تزریق اشکال آماری سریع‌تر عمل می‌کند. اما در این روش تأثیر محو شدن الکتریکی و زمانی و همچنین انتشار اشکال در سیکل‌های متوالی در نظر گرفته نشده است.

مقاله‌ای در سال ۲۰۱۱ برای تخمین نرخ خطای چندرخدادی در مدارهای ترکیبی ارائه شد که بر پایه احتمالات و انتشار احتمال بروز خطای چندرخدادی بنا شده است [۴۴]. روش ارائه شده در این مقاله در مدارهای

---

<sup>۴۱</sup> Boolean Satisfactory



ترتیبی و ترکیبی در یک یا چند سیکل ساعت کارکرد مدار قابل اعمال است. روش پیشنهادی از انواع مدل‌های اشکال تک رخدادی و چند رخدادی گذرا در مدارهای ترکیبی و ترتیبی پشتیبانی می‌کند و عوامل تضعیف خطای نرم شامل پوشش منطقی، پوشش الکتریکی و پوشش زمانی در آن لحاظ شده‌اند. به این منظور یک مدل تحلیلی برای تزریق و انتشار خطای نرم تک رخدادی و چند رخدادی گذرا ارائه شده است. این مدل شامل روش انتخاب محل‌های تزریق، دستگاه احتمالی نگه‌داری اشکال و روابط مدل‌سازی عوامل پوشش دهنده خطای نرم در دستگاه می‌باشند. براساس مدل ارائه شده الگوریتمی برای تحلیل و انتشار خطای نرم در سطح مدار پیشنهاد شده است که بر اساس این الگوریتم روابط تخمین نرخ خطای نرم استخراج گشته‌اند. برای تحلیل خطای نرم در سطح مدار، یک مدل احتمالاتی جدید برای خطای نرم ارائه شده است که در آن خطاهای نرم تک رخدادی گذرا و چند رخدادی گذرا با دقت بالا پیاده‌سازی شده است. نتایج بدست آمده نشان می‌دهد که تنها ۲/۵ درصد اختلاف نرخ خطای بدست آمده با نتایج حاصل از شبیه‌سازی تزریق اشکال به عنوان حالت مرجع متفاوت است. این تفاوت کوچک در مقابل بهبود ده هزار برابری سرعت بدست آمده است. که از لحاظ زمانی بسیار مطلوب می‌باشد. نکته‌ای برای تخمین دقیق‌تر خطای نرم می‌بایست به آن توجه داشت اثر جایابی بر روی این معیار است که تمامی روش‌های مذکور از جمله این مقاله این اثر را بواسطه این که هنوز جایابی صورت نگرفته است در نظر نمی‌گیرند، این در حالی است که تغییرات جایابی در نرخ خطا می‌تواند بسیار تعیین‌کننده باشد.

### ۵.۵.۳ تخمین نرخ خطای نرم آگاه از تغییرات ساخت

روش‌های مبتنی بر شبیه‌سازی مونت کارلو<sup>۴۲</sup> قدمت زیادی در تحلیل‌های آگاه از تغییرات ساخت دارند. این روش‌ها تاثیر تغییرات بر روی یک یا چند ویژگی در مدار را برای ارزیابی یک پارامتر طراحی بررسی می‌نمایند؛ بدین صورت که مقادیر مختلفی که ویژگی‌های یک مدار ممکن است داشته باشند به آن اعمال می‌شود و برای هر بار تخصیص مقدار به آن ویژگی‌ها، ارزیابی پارامتر طراحی انجام می‌گیرد. این فرآیند تا جایی ادامه می‌یابد که تعداد نمونه‌های تخصیص یافته به اندازه کافی ماهیت تغییرات ویژگی‌های مدنظر را پوشش دهند.

با بروز پدیده تغییرات فرآیند ساخت در مدارهای دیجیتال، محققان به منظور بررسی اثرات این پدیده بر طراحی‌ها از این رویکرد در تحلیل پارامترهای مختلف طراحی، از جمله بارآوری ساخت و توان مصرفی بهره‌برده‌اند.

<sup>۴۲</sup> Monte Carlo

از جمله اولین کارهایی که اثر تغییرات ساخت بر نرخ خطای نرم مدارهای ترکیبی را در نظر گرفته است در سال ۲۰۰۷ ارائه شد [۴۵]. در این کار به منظور تحلیل نرخ خطای نرم در مدارهای دیجیتال از چارچوب SEAT-LA استفاده شده است. SEAT-LA از روشی استفاده می‌کند که به طراحی‌های مبتنی بر کتابخانه‌های سلولی اعمال می‌شود. این کتابخانه‌ها از نظر نرخ خطای نرم توصیف شده‌اند. به منظور مدل‌سازی تغییرات درون تراشه‌ای، تحلیل نرخ خطای نرم روی دو مدار محک با اعمال تغییرپذیری تصادفی روی ولتاژ آستانه برای قطعات مختلف و با رویکردی مبتنی بر شبیه‌سازی مونت کارلو انجام گرفته است. یک توزیع نرمال برای ولتاژ آستانه با میانگین و انحراف معیار مشخص در نظر گرفته شده است. هر بار که ولتاژ آستانه به هر کدام از قطعات موجود در مدار تخصیص داده می‌شود، مدار برای تخمین نرخ خطای نرم شبیه‌سازی می‌گردد. این کار با نقاط ضعف جدی روبه‌رو است. در این روش از شبیه‌سازی برای مدل کردن تغییرات ساخت استفاده شده که از نظر زمان اجرا بسیار زمان‌بر بوده و برای مدارهای بزرگ مقیاس‌پذیر نخواهد بود. علاوه بر این در شبیه‌سازی تغییرات ولتاژ آستانه از تخصیص تعداد کمی ولتاژ آستانه مختلف به اجزای مدار استفاده شده است که موجب می‌شود شبیه‌سازی را بسیار غیر دقیق نموده و مزیت شبیه‌سازی یعنی داشتن دقت را به صورت جدی تحت تاثیر قرار دهد.

در کنار روش‌های مبتنی بر شبیه‌سازی مونت کارلو روش‌های دیگری تلاش دارند با ارائه رویکردهای تحلیلی، موازنه قابل قبولی بین دقت و سرعت تحلیل‌های خود فراهم کنند. در مقاله‌ای در سال ۲۰۰۷ از رویکردی آماری به منظور مدل‌سازی، تولید و انتشار یک خطای نرم گذرا در مدارهای ترکیبی استفاده شده است [۴۶]. به این منظور، ابتدا وقوع یک اشکال گذرا به صورت یک پالس ساده در نظر گرفته می‌شود. با عبور پالس گذرای تولید شده از دروازه بعدی در مدار با توجه به خصوصیات الکتریکی آن دروازه، ارتفاع پالس گذرا در خروجی دروازه بعدی تعیین می‌شود. به این ترتیب، پالس گذرای تولید شده و انتشار یافته بر اساس مدل ساده‌ای که وابسته به طول کانال است، مدل می‌شود. تغییرپذیری طول کانال در یک ترانزیستور که مورد اصابت این ذره قرار گرفته است، منجر به تولید پالس‌های مختلف متفاوتی می‌گردد و در نتیجه ارتفاع پالس گذرا به عنوان یک متغیر تصادفی مدل می‌شود؛ یعنی بخاطر تغییرپذیری که در پارامتر طول کانال لحاظ شده است و وابستگی‌ای که ارتفاع پالس‌های گذرا به طول کانال دارند، امکان تولید پالس‌های گذرای متفاوتی وجود دارد که ارتفاع این پالس‌ها با کمک یک متغیر تصادفی با توزیع نرمال مدل می‌شوند. البته در این روش، فرض‌های محدود کننده‌ای در نظر گرفته شده است. یکی از این فرض‌ها این است که تنها برخوردهایی لحاظ شده‌اند که توسط ذراتی با سطح انرژی‌های ثابت ایجاد می‌گردند. توسعه این کار برای در نظر گرفتن سطوح دیگری از انرژی به محاسبات و تحلیل‌های پیچیده‌ای نیاز خواهد داشت. علاوه بر این، ارزیابی انجام شده تنها برای یک منبع از بین منابع متعدد تغییرپذیری انجام گرفته است.

در مقاله دیگری در زمینه تحلیل نرخ خطای نرم در مدارهای ترکیبی با در نظر گرفتن اثر تغییرپذیری ارائه شد [۴۷]. در این پژوهش منابع تغییرات ساخت به صورت متغیرهای تصادفی با توزیع نرمال در نظر گرفته

شده‌اند. علاوه بر این، ارتفاع و عرض پالس اولیه نیز با متغیرهای تصادفی با یک توزیع نرمال توأم مدل می‌شوند. تأخیر انتشار هر دروازه منطقی و همچنین عرض و ارتفاع پالس خروجی هر دروازه منطقی، با یک تابع خطی از تغییرات پارامترهای ساخت مدل‌سازی می‌شود. برای تخمین نرخ خطای نرم، از چارچوبی مبتنی بر نمودارهای تصمیم‌گیری دودویی و تصمیم‌گیری جبری استفاده شده و محاسبات با استفاده از مدل خطی‌سازی شده تأخیرها انجام می‌گیرد. به منظور تعیین پارامترهای لازم برای مدل‌سازی انتشار پالس در مدار، از پیش توصیف دروازه‌ها با استفاده از شبیه‌سازی‌های HSPICE استفاده می‌شود. برای یافتن ضرایب خطی‌سازی تأخیر دروازه‌ها و همچنین پالس خروجی دروازه‌ها برحسب پارامترهای ساخت از اِعمال یک روش رگرسیون غیرخطی به نام مدل‌سازی سطح پاسخ<sup>۴۳</sup> بر روی نتایج به دست آمده از شبیه‌سازی HSPICE استفاده می‌گردد. در گام بعدی، به دلیل خطی‌سازی تأخیر دروازه‌ها و انتشار پالس‌های گذرا، با استفاده از محاسبات آماری می‌توان ضرایب پالس منتشر شده بعد از هر دروازه را به دست آورد. برای محاسبه نرخ خطای نرم، بایست با استفاده از طول و عرض پالس نهایی و اندازه پنجره زمانی، پوشش زمانی محاسبه شود. به این منظور عبارت کسری محاسبه می‌شود که هم در صورت و هم در مخرج آن متغیرهای تصادفی با توزیع نرمال وجود دارد. به جهت رسیدن به یک مقدار مشخص برای وقوع خطا در خروجی مدنظر از بسط تیلور آن کسر استفاده می‌شود.

لازم به ذکر است که این پژوهش با نقاط ضعفی نیز روبه‌رو است. در این مقاله تأخیر دروازه‌ها به صورت تابعی خطی از پارامترهای دروازه‌ها مدل شده‌اند که مدل غیردقیقی است. این عدم دقت پس از لحاظ خطی‌سازی در فرآیند تولید و انتشار پالس‌ها بیشتر تأثیرگذار خواهد شد. علاوه بر این، مشکلی که روش‌های مبتنی بر نمودارهای تصمیم‌گیری جبری در رابطه با عدم مقیاس‌پذیری دارند، در این مورد نیز صدق می‌کند.

---

<sup>۴۳</sup> Response Surface Modeling

## ۴ چالش‌های موجود

در این بخش به بررسی چالش‌ها پیش‌رو در حوزه خطاهای نرم و بویژه خطاهای چند رخدادی پرداخته خواهد شد. با توجه به این که مبحث خطاهای چندرخدادی نسبت به خطاهای تک رخدادی از عمر کمتری برخوردارند، بنابراین می‌توان نقاط ضعف بیشتری در مقایسه با کارهای مرتبط با خطاهای تک رخدادی نیز ارائه نمود.

مطابق آنچه بیان شد اکثر روش‌های موجود جهت بهبود قابلیت اطمینان مبتنی بر افزونگی سخت‌افزاری هستند. در این میان پژوهش‌هایی که روش پیشنهادی خود را با ابزارهای شبیه‌سازی سه بعدی تحلیل و آزمایش کرده‌اند از قدرت و دقت بالاتری برخوردار بودند. در ادامه به بررسی کاستی‌های موجود در پژوهش‌های مرتبط با تاکید بر خطاهای چند رخدادی پرداخته می‌شود.

یکی از آثاری که در لایه فیزیکی در اغلب پژوهش‌ها مورد بررسی قرار نگرفته است بحث اندازه ذره باردار است. در پژوهش‌های انجام شده اکثراً تنها اثر انرژی ذره مدنظر بوده است، این در حالی است که اندازه ذره تاثیر زیادی در خطاهای چند رخدادی دارد. ذرات بزرگ‌تر ترانزیستورهای مجاور بیشتری را تحت تاثیر قرار خواهند داد. در نتیجه ذاتاً احتمال رخداد خطای چندتایی برای ذرات بزرگ محتمل‌تر است.

از دیگر نکات بررسی نشده در لایه فیزیکی می‌توان به زاویه برخورد ذره اشاره نمود که در پژوهش‌های پیشین صرفاً برخورد ذره در نظر گرفته شده است. این در حالی است که زاویه برخورد ذره تاثیر زیادی در نوع خطاهای چند رخدادی دارد.

زمانبر بودن، پیچیدگی استفاده و عدم دسترسی به ابزارهای شبیه‌ساز فیزیکی سه بعدی اغلب موجب ساده‌سازی محققان و در نتیجه کاهش دقت در نتایج شده است.

یکی از مواردی که بسیار حائز اهمیت است نحوه ارزیابی نرخ خطا<sup>۴۴</sup> می‌باشد. چرا که بواسطه تاثیر موارد متعددی اعم از مدار مورد بررسی، بردار ورودی مدار، همپوشانی خطا توسط سایر گیت‌ها و غیره، تخمین دقیق این مقدار بسیار دشوار خواهد بود. از طرفی اطلاعات چینش نیز تاثیر بسزایی بر خطاهای چند رخدادی دارد که پس از مرحله جایابی مشخص خواهد شد، بنابراین این موضوع نیز تخمین نرخ خطا را سخت می‌کند. بنابراین در نظر گرفتن اثر چینش در روش‌های پیشنهادی می‌تواند راه‌حلی دشوار اما قابل دستیابی جهت حصول نتایجی مناسب باشد.

---

<sup>۴۴</sup> Soft Error Rate

در بررسی خطای نرم یکی از تفاوت‌های مهم در مدارها مرتبط با نوع مدار یعنی ترکیبی یا ترتیبی بودن آن است. از آنجایی که مدارهای ترتیبی ساختارهای مشخص و شناخته شده‌ای دارند، بنابراین می‌توان با بررسی جامع بر روی اغلب حالات، مدار ترتیبی را مقاوم نمود. در مقابل مدارهای ترکیبی دارای ساختاری مشخص نبوده و می‌توانند به جهت پیاده‌سازی هر عملکردی کاملاً متفاوت باشند؛ بنابراین مقاوم‌سازی این ساختار غیرهمگن سختی ارائه یک روش کلی با سربار مناسب را دو چندان می‌نماید.

از سوی دیگر تحقیقات نشان می‌دهند که برای دستیابی به تکنولوژی‌های کوچکتر نیاز به تغییر از فناوری CMOS به سمت فناوری FinFET است. بنابراین به عنوان یک چالش جدید می‌توان به تعمیم روش‌های موجود برای فناوری CMOS در فناوری FinFET اشاره نمود.

نهایتاً توجه به مصالحه بین سه فاکتور توان، مساحت و تاخیر در روش‌های پیشنهادی در عین دستیابی به نتایج مطلوب از نظر اتکاپذیری را می‌توان به عنوان چالش پیش‌روی دیگری برشمرد.

امروزه با بالا رفتن فرکانس کاری مدارات زیرمیکرون، کاهش ولتاژ منابع تغذیه و کوچک شدن اندازه ترانزیستورها، رخداد اشکلات ناشی از تشعشعات یون بیش از گذشته مورد توجه قرار گرفته است. ذرات باردار پرانرژی می‌توانند باعث ایجاد جریان لحظه‌ای، و تغییر مقدار خروجی مدارها شوند. این اشکال‌ها را می‌توان بسته به تعدادشان به خطاهای تک و چند رخدادی تقسیم کرد.

چالش‌های بسیاری در زمینه اشکلات چند رخدادی وجود دارد. این چالش‌ها شامل نحوه و نوع مدل‌سازی مدار، نحوه به کارگیری افزونگی و سخت‌سازی مدار و نوع برخورد با اثرات جانبی حاصل از به کارگیری افزونگی‌ها می‌باشد. ارائه راهکارهای موثر در جهت رفع این چالش‌ها، یکی از مهم‌ترین نیازهای طراحان در این زمینه است. بررسی روش‌های پیشین نشان می‌دهد که راهکارهای موجود تنها توانسته‌اند برخی از چالش‌ها را حل نمایند. و در تمامی این پژوهش‌ها، می‌توان جای خالی بررسی فیزیکی مدارها را احساس نمود. پیاده‌سازی فیزیکی می‌تواند مدل دقیقی از رفتار ذره را نشان داده و تصمیم‌گیری برای استفاده از افزونگی را راحت‌تر نماید. از سوی دیگر به علت عدم دقت در مدل‌سازی ذره، عموماً روش‌های ارائه شده برای سخت‌سازی مدارها دارای ضعف‌های بسیاری هستند. شبیه‌سازی‌های سطح مدار، عمدتاً از مدل‌های بسیار ساده شده برای نمایش اثر ذرات باردار استفاده می‌کنند که همین عامل باعث کاهش اثرگذاری افزونگی به کار رفته می‌شود. بنابراین استفاده از روش‌های بین لایه‌ای که از نتایج حاصل چندین لایه استفاده می‌کند، اهمیت یافته و به نتایج بهتری از نظر سربار تحمیل شده به مدار در مقابل میزان بهبود بدست آمده منجر خواهد شد.

- D S E
- [1] Mukherjee, Shubu. *Architecture design for soft errors*. Morgan Kaufmann, 2011.
  - [2] J. Furuta, K. Kobayashi, and H. Onodera, "Impact of Cell Distance and Well-contact Density on Neutron-induced Multiple Cell Upsets," *IEICE Transactions on Electronics*, vol. E98.C, no. 4, pp. 298–303, 2015.
  - [3] S. Kiamehr, Cross-Layer Resiliency Modeling and Optimization, Ph.D. Dissertation, KIT, Karlsruhe, MA, 2015.
  - [4] S. Lin, Y.-B. Kim, and F. Lombardi, "Analysis and Design of Nanoscale CMOS Storage Elements for Single-Event Hardening with Multiple-Node Upset," *IEEE Transactions on Device and Materials Reliability*, vol. 12, no. 1, pp. 68–77, 2012.
  - [5] C. Xie, Z. Wang, F. Yan, L. Wu, and Y. Liu, "A Novel Nanoscale Staggered 6T SRAM Cell Layout to Mitigate Multiple Nodes Charge Collection Effect," *International Conference on Electric Information and Control Engineering*, pp. 75–77, 2011.
  - [6] N. N. Mahatme, S. Jagannathan, T. D. Loveless, L. W. Massengill, B. L. Bhuva, S.-J. Wen, and R. Wong, "Comparison of Combinational and Sequential Error Rates for a Deep Submicron Process," *IEEE Transactions on Nuclear Science*, vol. 58, no. 6, pp. 2719–2725, 2011.
  - [7] P. E. Dodd and L. W. Massengill, "Basic Mechanisms and Modeling of Single-Event Upset in Digital Microelectronics," *IEEE Trans. Nucl. Sci.*, vol. 50, no. 3, pp. 583–602, 2003.
  - [8] T. Karnik, P. Hazucha, and J. Patel, "Characterization of Soft Errors Caused by Single Event Upsets in CMOS Processes," *IEEE Transactions on Dependable and Secure Computing*, vol. 1, no. 2, pp. 128–143, 2004.
  - [9] P. Shivakumar, M. Kistler, S. Keckler, D. Burger, and L. Alvisi, "Modeling the Effect of Technology Trends on the Soft Error Rate of Combinational Logic," *International Conference on Dependable Systems and Networks*, pp. 389–398, 2002.
  - [10] M. Fazeli, A. Patooghy, S. Miremadi, and A. Ejlaali, "A Power Efficient SEU-Tolerant Latch Design for Deep Sub-Micron Technologies," *International Conference on Dependable Systems and Networks*, pp. 276–285, 2007.
  - [11] P. E. Dodd, F. W. Sexton, and P. S. Winokur, "Three-Dimensional Simulation of Charge Collection and Multiple-bit Upset in Si Devices," *IEEE Transactions on Nuclear Science*, vol. 41, no. 6, pp. 2005–2017, 1994.
  - [12] J. D. Black, P. E. Dodd, and K. M. Warren, "Physics of Multiple-Node Charge Collection and Impacts on Single-Event Characterization and Soft Error Rate Prediction," *IEEE Transactions on Nuclear Science*, vol. 60, no. 3, pp. 1836–1851, 2013.
  - [13] S. Lin, Y.-B. Kim, and F. Lombardi, "Analysis and Design of Nanoscale CMOS Storage Elements for Single-Event Hardening with Multiple-Node Upset," *IEEE Transactions on Device and Materials Reliability*, vol. 12, no. 1, pp. 68–77, 2012.

- [14] J. Guo, L. Xiao, T. Wang, S. Liu, X. Wang, and Z. Mao, "Soft Error Hardened Memory Design for Nanoscale Complementary Metal Oxide Semiconductor Technology," *IEEE Transactions on Reliability*, vol. 64, no. 2, pp. 596–602, 2015.
- [15] R. Rajaei, B. Asgari, M. Tabandeh, and M. Fazeli, "Design of Robust SRAM Cells against Single-Event Multiple Effects for Nanometer Technologies," *IEEE Transactions on Device and Materials Reliability*, vol. 15, no. 3, pp. 429–436, 2015.
- [16] K. Katsarou and Y. Tsiatouhas, "Double Node Charge Sharing SEU Tolerant Latch Design," *IEEE 20th International On-Line Testing Symposium*, pp. 122–127, 2014.
- [17] R. Rajaei, M. Tabandeh, and M. Fazeli, "Single Event Multiple Upset Tolerant Latch Designs in Presence of Process and Temperature Variations," *Journal of Circuits, Systems and Computers*, vol. 24, no. 01, p. 155-169, 2015.
- [18] S. Campitelli, M. Ottavi, S. Pontarelli, A. Marchioro, D. Felici, and F. Lombardi, "A Multiple Node Upset Tolerant Flip-Flop for Highly Radioactive Environments," *IEEE International Symposium on Defect and Fault Tolerance in VLSI and Nanotechnology Systems*, pp. 107–111, 2013.
- [19] S. Shambhulingaiah, C. Lieb, and L. T. Clark, "Circuit Simulation Based Validation of Flip-Flop Robustness to Multiple Node Charge Collection," *IEEE Transactions on Nuclear Science*, vol. 62, no. 4, pp. 1577–1588, 2015.
- [20] M. Ebrahimi, H. Asadi, R. Bishnoi, and M. B. Tahoori, "Layout-Based Modeling and Mitigation of Multiple Event Transients," *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 35, no. 3, pp. 367–379, 2016.
- [21] C. Rusu, A. Bougerol, L. Anghel, C. Weulserse, N. Buard, S. Benhammadi, N. Renaud, G. Hubert, F. Wrobel, T. Carriere, and R. Gaillard, "Multiple Event Transient Induced by Nuclear Reactions in CMOS Logic Cells," *IEEE International On-Line Testing Symposium*, 2007.
- [22] V. Srinivasan, A. Sternberg, A. Duncan, W. Robinson, B. Bhuva, and L. Massengill, "Single-Event Mitigation in Combinational Logic Using Targeted Data Path Hardening," *IEEE Transactions on Nuclear Science*, vol. 52, no. 6, pp. 2516–2523, 2005.
- [23] S. Rezaei, S. G. Miremadi, H. Asadi, and M. Fazeli, "Soft Error Estimation and Mitigation of Digital Circuits by Characterizing Input Patterns of Logic Gates," *Microelectronics Reliability*, vol. 54, no. 6-7, pp. 1412–1420, 2014.
- [24] Y. S. Dhillon, A. U. Diril, and A. Chatterjee, "Soft-Error Tolerance Analysis and Optimization of Nanometer Circuits," *Design Automation and Test in Europe*, pp. 389–400, 2008.
- [25] Q. Zhou and K. Mohanram, "Gate Sizing to Radiation Harden Combinational Logic," *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 25, no. 1, pp. 155–166, 2006.
- [26] R. R. Rao, D. Blaauw, and D. Sylvester, "Soft Error Reduction in Combinational Logic Using Gate Resizing and Flipflop Selection," *ACM international conference on Computer-aided design*, pp. 502–509, 2006.



- [27] W. Sheng, L. Xiao, and Z. Mao, "Soft Error Optimization of Standard Cell Circuits Based-on Gate Sizing and Multi-Objective Genetic Algorithm," *Design Automation Conference*, , pp. 502–507, 2009.
- [28] R. Rajaei, M. Tabandeh, and M. Fazeli, "Low Cost Circuit-Level Soft Error Mitigation Techniques for Combinational Logic," *Scientia Iranica*, vol. 22, no. 6, pp. 2401–2414, 2014.
- [29] A. Calomarde, E. Amat, F. Moll, and A. Rubio, "A Single Event Transient Hardening Circuit Design Technique Based on Strengthening," *International Midwest Symposium on Circuits and Systems*, pp. 821–824, 2013.
- [30] M. Ebrahimi, A. Evans, M. B. Tahoori, E. Costenaro, D. Alexandrescu, V. Chandra, and R. Seyyedi, "Comprehensive Analysis of Sequential and Combinational Soft Errors in an Embedded Processor," *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 34, no. 10, pp. 1586–1599, 2015.
- [31] S. N. Pagliarini and D. Pradhan, "A Placement Strategy for Reducing the Effects of Multiple Faults in Digital Circuits," *International On-Line Testing Symposium*, pp. 69–74, 2014.
- [32] M. Ebrahimi, H. Asadi, R. Bishnoi, and M. B. Tahoori, "Layout-Based Modeling and Mitigation of Multiple Event Transients," *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 35, no. 3, pp. 367–379, 2016.
- [33] Y. Du, S. Chen, and B. Liu, "A Constrained Layout Placement Approach to Enhance Pulse Quenching Effect in Large Combinational Circuits," *IEEE Transactions on Device and Materials Reliability*, vol. 14, no. 1, pp. 268–274, 2014.
- [34] A. H. El-Maleh and K. A. K. Daud, "Simulation-Based Method for Synthesizing Soft Error Tolerant Combinational Circuits," *IEEE Transactions on Reliability*, vol. 64, no. 3, pp. 935–948, 2015.
- [35] A. Sengupta and D. Kachave, "Generating Multi-cycle and Multiple Transient Fault Resilient Design during Physically Aware High Level Synthesis," *IEEE Computer Society Annual Symposium on VLSI*, pp. 75-80, 2016.
- [36] R. Ramanarayanan, V.S. Degalahal, R. Krishnan, K. Jungsub, V. Narayanan, Y. Xie, M.J. Irwin and K. Unlu, "Modeling Soft Errors at the Device and Logic Levels for Combinational Circuits," *IEEE Transactions on Dependable and Secure Computing*, vol. 6, no. 3, pp. 3007–3017, 2009.
- [37] Y.H. Kuo, H.K. Peng and C.H. Wen, "Accurate Statistical Soft Error Rate (SSER) Analysis Using a Quasi Monte Carlo Framework with Quality cell Models," *IEEE International Symposium on Quality Electronic Design*, pp. 831-838, 2010.
- [38] K. Ramakrishnan, R. Rajaraman, N. Vijaykrishnan, Y. Xie, M. J. Irwin and K. Unlu, "Hierarchical Soft Error Estimation Tool (HSEET)," *International Symposium on Quality Electronic Design*, pp. 680–683, 2008.
- [39] B. Zhang and M. Orshansky, "Symbolic Simulation of the Propagation and Filtering of Transient Faulty Pulses," *Workshop on system effects of logic efforts*, 2005.

S E L E

- [40] N. Miskov and D. Marculescu, "Modeling and Optimization for Soft-Error Reliability of Sequential Circuits," *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, Vol. 27, No. 5, pp. 803-816, 2008.
- [41] N. Mohyuddin, E. Pakbaznia and M. Pedram, "Probabilistic Error Propagation in Logic Circuits Using the Boolean Difference Calculus," *IEEE International Conference on Computer Design*, pp. 359–381, 2008.
- [42] S.Z. Shazli and M.B. Tahoori, "Using Boolean Satisfiability for Computing Soft Error Rates in Early Design Stages," *Microelectronics Reliability*, vol. 50, no. 1, pp. 149–159, 2010.
- [43] G. Asadi and M.B. Tahoori, "An Analytical Approach for Soft Error Rate Estimation in Digital Circuits," *IEEE International Symposium on Circuits and Systems*, vol. 3, pp. 2991–2994, 2005.
- [44] M. Fazeli, S. N. Ahmadian, S. G. Miremadi, H. Asadi, and M. B. Tahoori, "Soft Error Rate Estimation of Digital Circuits in the Presence of Multiple Event Transients (METs)," *Design, Automation & Test in Europe*, pp. 1–6, 2011.
- [45] K. Ramakrishnan, R. Rajaraman, S. Suresh, N. Vijaykrishnan, Y. Xie, and M. Irwin, "Variation Impact on SER of Combinational Circuits," *International Symposium on Quality Electronic Design*, pp. 911–916, 2007.
- [46] C. Zhao and S. Dey, "Modeling Soft Error Effects Considering Process Variations," *International Conference on Computer Design*, pp. 376–381, 2007.
- [47] N. Miskov-Zivanov, K.C. Wu, and D. Marculescu, "Process Variability-Aware Transient Fault Modeling and Analysis," *International Conference on Computer-Aided Design*, pp. 685–690, 2008.