

دانشگاه صنعتی امیرکبیر
(پلی تکنیک تهران)
دانشکده مهندسی کامپیوتر

درس فناوری های حافظه
دکتر حامد فربه

رضا آدینه پور
۴۰۲۱۳۱۰۵۵

تمرین شبیه سازی دوم

تدریسار:

مرتضی عادلخانی (madelkhani@aut.ac.ir)
سارا زمانی (sara.zamani۷۳@aut.ac.ir)

۱. فرض کنید یک شرکت صنعتی می خواهد برای یک کاربرد پردازش تصویر، یک شتاب دهنده سخت افزاری که بیس آن شبکه CNN است طراحی کنید. مزایا و معایب استفاده از DRAM یا SRAM را به عنوان حافظه جانبی این شتاب دهنده بررسی کنید و درمورد آن بحث کنید.

انتخاب میان DRAM و SRAM به پارامترهای بسیار زیادی بستگی دارد که در ادامه چند مورد از آنها را بررسی و باهم مقایسه می کنیم.

برای مثال زمان خواندن و نوشتن از حافظه برای ما مهم است. در این اپلیکیشن که نیاز است داده ها به صورت RealTime نوشته و از حافظه خوانده شود این قضیه بسیار مهم است و نیازمند حافظه ای هستیم که کمترین تاخیر در خواندن و نوشتن را داشته باشد. از میان SRAM و DRAM، حافظه SRAM زمان دسترسی کمتری را بر ما فراهم می کند. بنابر این با در نظر گرفتن زمان دسترسی، انتخاب پیشنهادی بنده به این شرکت، حافظه های مبتنی بر SRAM است.

توان مصرفی حافظه نیز یکی از پارامترهای مهم در انتخاب حافظه است. به طور کلی حافظه های مبتنی بر DRAM مصرف توان کمتری نسبت به SRAM ها دارند. چرا که فقط در زمان خواندن و نوشتن نیاز به تغذیه دارند اما SRAM ها برای نگه داشتن دیتا همواره نیاز به وصل بودن تغذیه دارند. بنابر این اگر محصول این شرکت به گونه ای باشد که می بایست با باتری کوچکی برای مدتی طولانی کار کند، نیازمند آن است که از DRAM استفاده کنند.

حافظه های مبتنی بر SRAM چگالی بیشتری نسبت به DRAM ها دارند. چگالی بدین معنا که در مساحت یکسان، تعداد سلول های SRAM بیشتری را می توان در کنار هم قرار داد و در نتیجه مقدار حافظه بزرگتری به ازای مساحت یکسانی داریم. density کمتر DRAM ها عمدتاً به دلیل خازن های نگه دارنده بیت هاست چرا که اندازه آن را نمی توان از یک مقدار کمتر کنیم. بنابر این در این کاربرد با توجه به مساحت در دسترس تراشه و مقدار حافظه مورد نیاز که بر اساس تعداد لایه های شبکه CNN و بار محاسبات انجامی تعیین می شود می توان نوع حافظه مورد نیاز را تعیین کرد.

دیدگاه بعدی ای که می توان به این مسئله نگاه کرد بدین صورت است که آیا شبکه قرار است همواره Train شود یا خیر. اگر قرار باشد شبکه به صورت بلادرنگ Train شود، شاید بهتر باشد که از DRAM استفاده کرد چرا که DRAM برای نگه داشتن مقادیر خود نیاز به Refresh شدن دارد بنابر این می توان با تغییر وزن ها و آپدیت شدن آنها با آموزش جدید، Refresh شوند. البته این نکته را باید ذکر کرد که در این شرایط توان مصرفی شبکه وحشتناک زیاد می شود و دیگر نمی توان آن را با باتری کوچکی راه اندازی کرد چرا که شبکه مدام Train می شود و وزن های خودش را بر اساس شرایط و مسئله ای که با آن مواجه است آپدیت می کند و این امر نیازمند انرژی زیادی است.

بنا بر این با توجه به نکات گفته شده، می توان بر اساس جزئیات دقیق مسئله که ما اطلاعی از آن نداریم، یکی از حافظه های SRAM یا DRAM را انتخاب کنیم.

۲. ۱. بانک مموری ۳×۳ با استفاده از سلول SRAM ۶ ترانزیستوری همراه با SenseAmplifier طراحی کنید.

برای طراحی بانک مموری، ابتدا یک سلول SRAM ۶ ترانزیستوری را طراحی می کنیم.
شماتیک مدار طراحی شده به صورت زیر است:

```
.include '../Library/cmos45.lib'
```

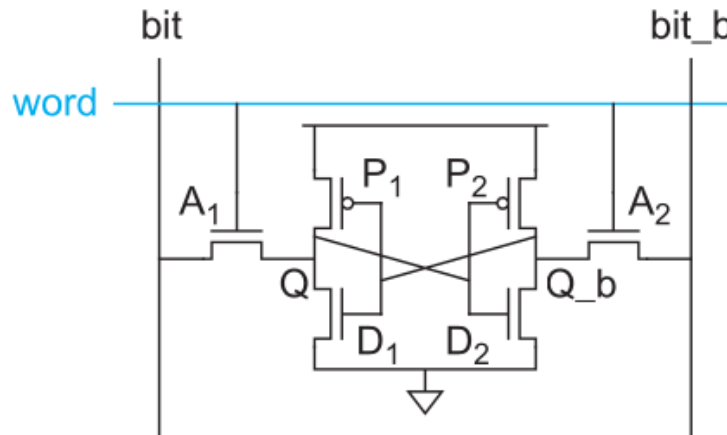
```
***** circuits *****
```

```
.SUBCKT SRAM_cell WL BL BLB Q QB
```

```
* D G S
```

```
M1 QB Q gnd gnd nmos L='2*lambda' W='8*lambda'
```

```
M2 QB Q Vdd Vdd pmos L='2*lambda' W='10*lambda'
```



شکل ۱: سلول ۶ ترانزیستوری SRAM

```
M3 Q QB gnd gnd nmos L= '2*lambda' W= '8*lambda'
M4 Q QB Vdd Vdd pmos L='2*lambda' W='10*lambda'
M5 QB WL BLB gnd nmos L= '2*lambda' W= '4*lambda'
M6 BL WL Q gnd nmos L= '2*lambda' W= '4*lambda'

.ends
```

در این طراحی از کتابخانه cmos45.lib استفاده شده است. و نسبت $\frac{W}{L}$ ترانزیستورها با سعی و خطا بدست آورده شده است.

کد نوشته شده برای تک سلول SRAM درون فایل tb_cell.sp تست شده است. که به دلیل طولانی بودن کد آن را در گزارش نیاورده ایم.

برای طراحی مدار کنترلی و جانبی این طراحی، یک دیکدر ۲ به ۴ استفاده شده است که یکی از خروجی های آن بلا استفاده است.

کد نوشته شده برای مدار دیکدر به صورت زیر است:

```
***** circuits *****

.subckt DECODER in1 in2 in1! in2! out1 out2 out3 out4

*** line 1 ***
MN11 out1 in1 0 0 NMOS L='2*lambda' W='4*lambda'
MN12 out1 in2 0 0 NMOS L='2*lambda' W='4*lambda'
MP1 out1 0 vdd vdd PMOS L='2*lambda' W='10*lambda'

*** line 2 ***
MN21 out2 in1! gnd gnd NMOS L='2*lambda' W='4*lambda'
MN22 out2 in2 gnd gnd NMOS L='2*lambda' W='4*lambda'
MP2 out2 gnd vdd vdd PMOS L='2*lambda' W='10*lambda'

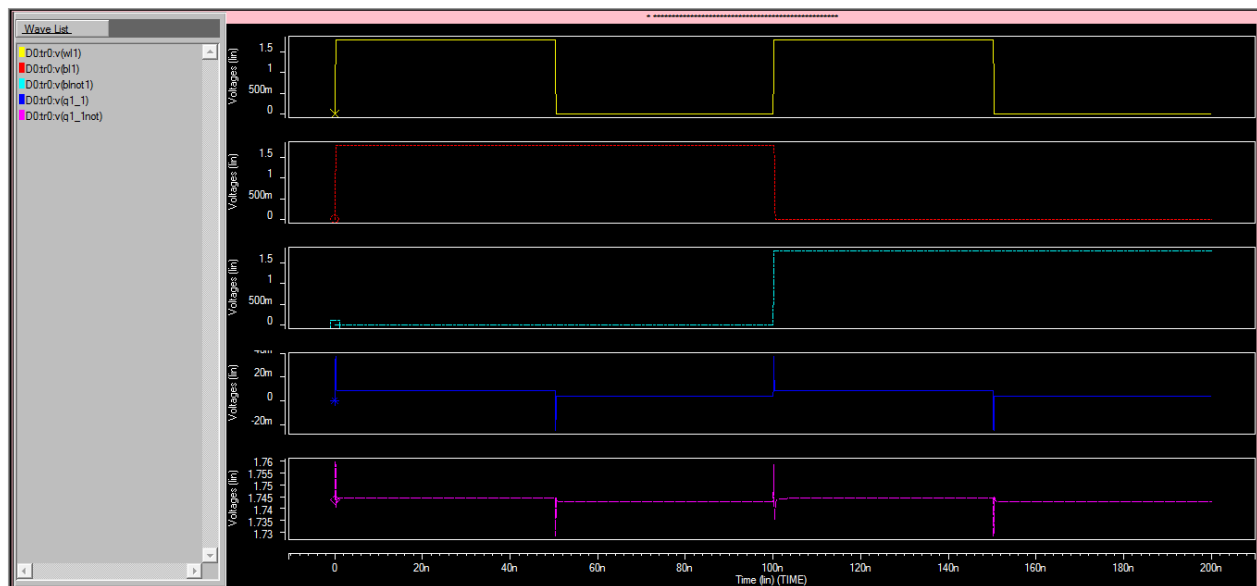
*** line 3 ***
```

```
MN31 out3 in1 gnd gnd NMOS L='2*lambda' W='4*lambda'
MN32 out3 in2! gnd gnd NMOS L='2*lambda' W='4*lambda'
MP3 out3 gnd vdd vdd PMOS L='2*lambda' W='10*lambda'

*** line 4 ***
MN41 out4 in1! gnd gnd NMOS L='2*lambda' W='4*lambda'
MN42 out4 in2! gnd gnd NMOS L='2*lambda' W='4*lambda'
MP4 out4 gnd vdd vdd PMOS L='2*lambda' W='10*lambda'

.ends
```

تست بنچ این مدار نیز در فایل tb_decoder.sp موجود است.
در نهایت همه کد های نوشته شده را در فایل main.sp اضافه می کنیم و بانک حافظه ۳×۳ را شبیه سازی می کنیم.
خروجی شبیه سازی برای یک سیکل نوشتن و خواندن به صورت «شکل ۲» است.

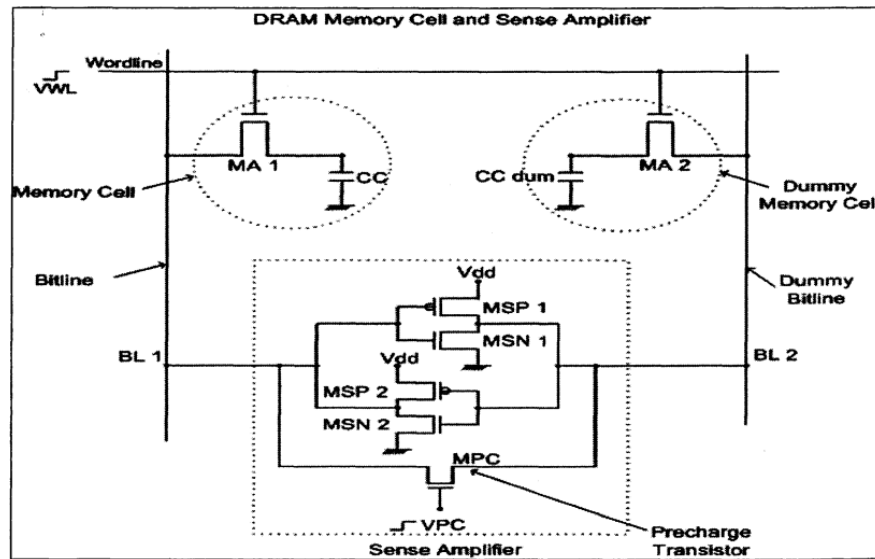


شکل ۲: خروجی شبیه سازی بانک مموری SRAM

۲. بانک مموری ۳×۳ با استفاده از سلول DRAM ۶ ترانزیستوری همراه با SenseAmplifier طراحی کنید.

سلول DRAM طراحی شده به صورت «شکل ۳» است.
کد نوشته شده برای سلول DRAM به صورت زیر است:

```
***** circuit *****
.SUBCKT DRAM_cell WL BL BLB VPS
VDD 3 0 DC 3
CBL1 BL 0 100fF
CBL2 BLB 0 100fF
```



شکل ۳: سلول DRAM

* cell

MA1 BL WL 1 0 nmos W=0.3u L=0.2u

CC 1 0 50fF

MA2 BLB WL 7 0 nmos W=0.3u L=0.2u

CCdum 7 0 50fF

*sense amplifier

MSN1 BLB BL 0 0 nmos W=0.952u L=0.18u

MSP1 BLB BL 3 3 pmos W=2u L=0.18u

MSN2 BL BLB 0 0 nmos W=0.952u L=0.18u

MSP2 BL BLB 3 3 pmos W=2u L=0.18u

MPC BL VPS BLB 0 nmos W=1.62u L=0.18u

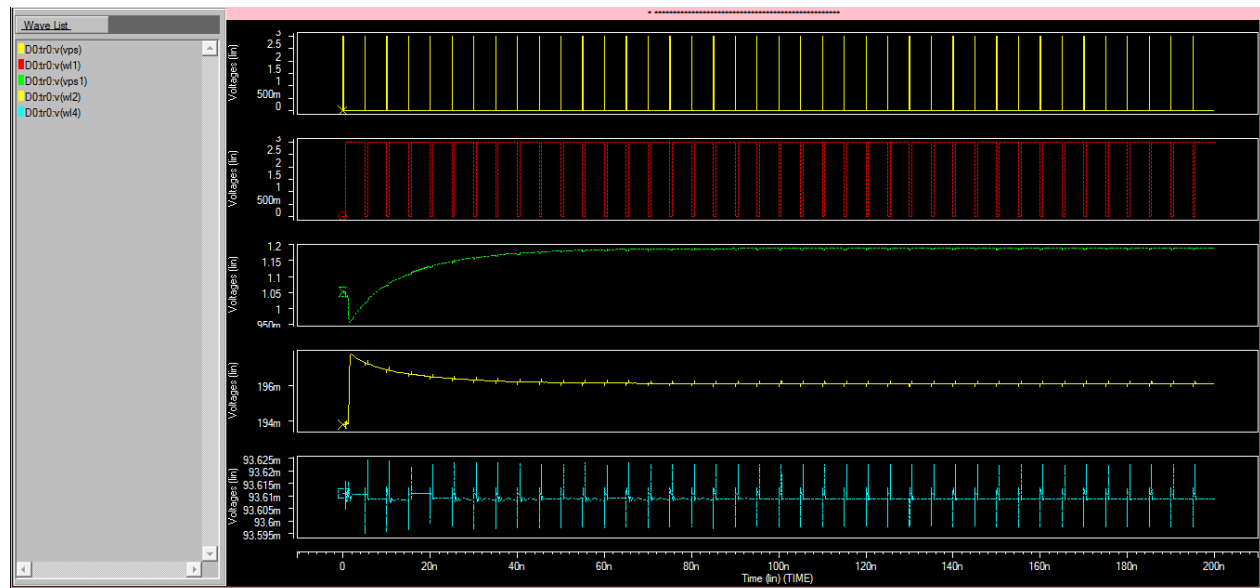
.ends

در این کد نیز از کتابخانه cmos45.lib استفاده شده است. و همچنین تست بنچ این طراحی نیز در فایل tb_Cell نوشته شده است.

مدار جانبی و کنترلی این طراحی نیز، همان دیکدر قسمت قبل است. بنابراین از آوردن مجدد کد خودداری می‌کنیم. بانک مموری DRAM در فایل main.sp نوشته شده است.

خروجی این شبیه سازی به صورت «شکل ۴» است.

بر اساس خروجی های شبیه سازی که در فایلی با پسوند .lis ذخیره می‌شوند. می‌توان جدول زیر را تکمیل کرد. بر اساس خروجی های بدست آمده می‌توان مشاهده کرد که عملکرد SRAM نسبت به DRAM از نظر توان مصرفی و زمان نوشتن بهتر است. این انتظار را داشتیم. چرا که در سلول DRAM نیاز به Refresh داریم و این کار باعث عبود جریان بیشتری از مدار (در زمان یکسان) می‌شود. بنابراین انتظار می‌رود توان مصرفی آن نیز بیشتر باشد. که خروجی شبیه سازی نیز این را اثبات می‌کند.



شکل ۴: خروجی شبیه سازی بانک مموری DRAM

	SRAM	DRAM
Read time	0.08s	0.08s
Write time	0.43s	33.90s
Total power	2.0593 mW	20.0425mW