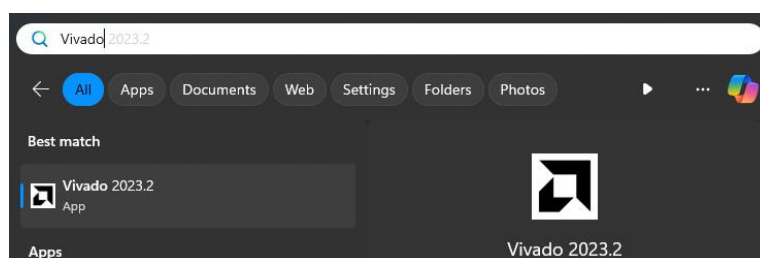
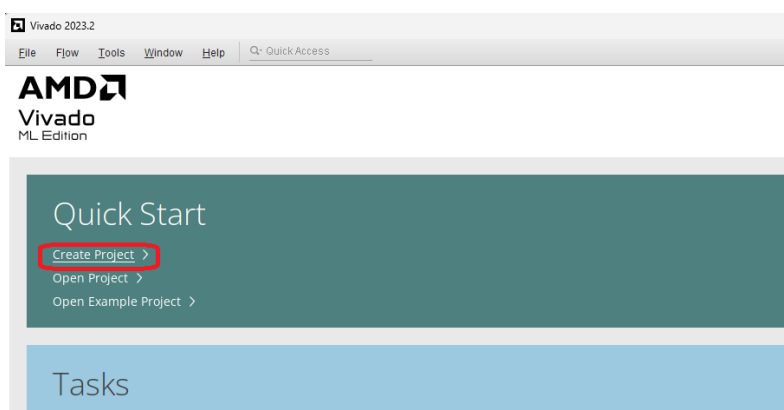


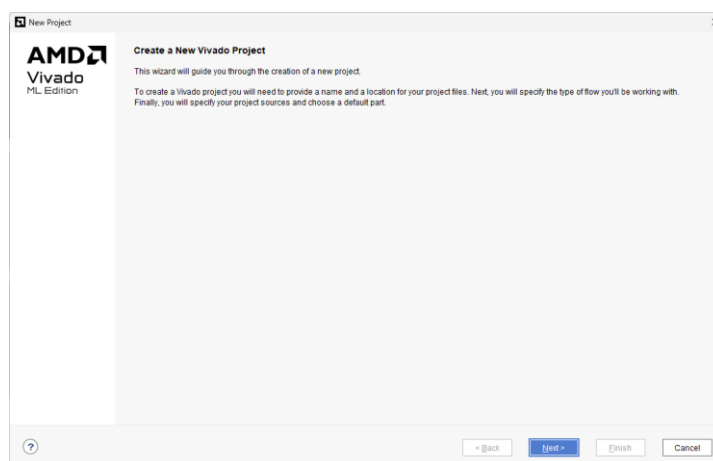
در ابتدا پس از نصب مجموعه نرم‌افزاری داده شده، نرم‌افزار Vivado2023.2 را از طریق Desktop و یا با جستجو در Start ویندوز اجرا نمایید :



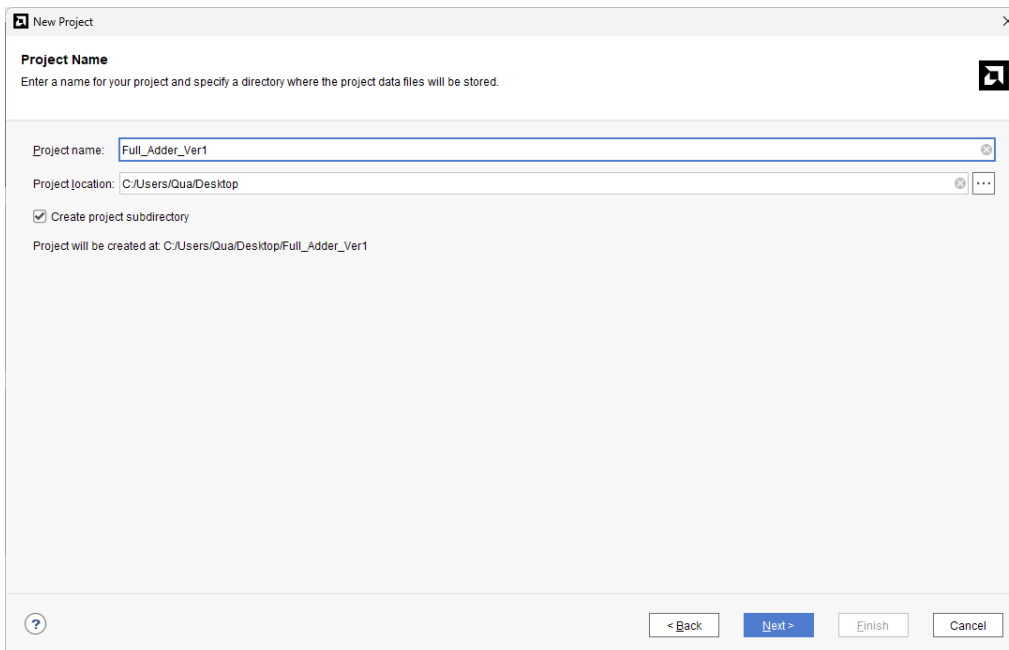
پس از باز شدن نرم‌افزار قسمت Create Project را انتخاب کنید :



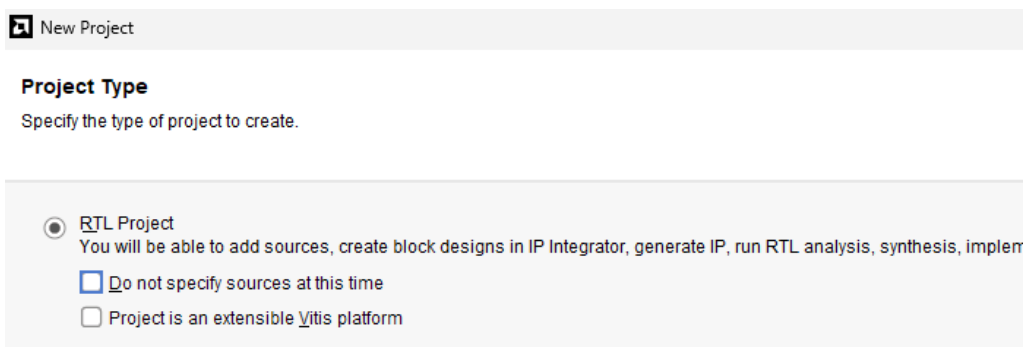
در صفحه بعدی Next را انتخاب نمایید :



در صفحه بعد نام پیشنهادی و محل ذخیره‌سازی پروژه را مشخص نمایید :



در صفحه بعدی مطابق شکل زیر RTL Project را انتخاب نمایید :



در صفحه بعدی فایل‌های VHDL داده شده را اضافه نمایید :

New Project

Add Sources

Specify HDL, netlist, Block Design, and IP files, or directories containing those files, to add to your project. Create a new source file on disk and add it to your project. You can also add and create sources later.

	Index	Name	Library	HDL Source For	Location
	1	Adder.vhd	xil_defaultlib	Synthesis & Simulation	C:/Users/Qua/Desktop/Full_Adder_Ver1
	2	TB2.vhd	xil_defaultlib	Simulation only	C:/Users/Qua/Desktop/Full_Adder_Ver1

Buttons: Add Files, Add Directories, Create File

☒ Scan and add RTL include files into project
☒ Copy sources into project
☒ Add sources from subdirectories

Target language: VHDL Simulator language: VHDL

Buttons: < Back, Next >, Finish, Cancel

در صفحه بعدی Next را انتخاب نمایید :

New Project

Add Constraints (optional)

Specify or create constraint files for physical and timing constraints.

Use Add Files or Create File buttons below

Buttons: Add Files, Create File

☒ Copy constraints files into project

Buttons: < Back, Next >, Finish, Cancel

در صفحه بعدی از قسمت Boards مطابق شکل زیر ZC702 را انتخاب نمایید :

New Project

Default Part
Choose a default AMD part or board for your project.

Parts | **Boards**

[Reset All Filters](#)

Vendor: All Name: All Board Rev: Latest

Search: Q-

Display Name	Preview	Status	Vendor	File Version	Part	I/O Pin Count	Board Rev
Virtex UltraScale+ VCU118 Evaluation Platform		Installed	xilinx.com	2.4	xcvu9p-flga2104-2L-e	2104	2.0
Virtex UltraScale+ VCU1525 Acceleration Development Board Add Companion Card Connections		Installed	xilinx.com	1.3	xcvu9p-fsgd2104-2L-e	2104	1.0
Zynq 7000 ZC702 Evaluation Board Add Companion Card Connections		Installed	xilinx.com	1.4	xc7z020clg484-1	484	1.0
Zynq 7000 ZC706 Evaluation Board Add Companion Card Connections		Installed	xilinx.com	1.4	xc7z045ffg900-2	900	1.1

[Refresh](#)

[Back](#) [Next >](#) [Finish](#) [Cancel](#)

در صفحه بعدی Finish را انتخاب نمایید :

New Project

AMD Vivado ML Edition

New Project Summary

- A new RTL project named 'Full_Adder_Ver1' will be created.
- 2 source files will be added.
- No constraints files will be added. Use Add Sources to add them later.
- The default part and product family for the new project:
Default Board: Zynq 7000 ZC702 Evaluation Board
Default Part: xc7z020clg484-1
Family: Zynq-7000
Package: clg484
Speed Grade: -1

To create the project, click Finish

[Back](#) [Next >](#) [Finish](#) [Cancel](#)

پروژه شما آماده شده است و با استفاده از قسمت Run Simulation می‌توانید نتایج شبیه‌سازی را مشاهده و تحلیل نمایید. (به زمان شبیه‌سازی دقت نمایید)

در صورت بروز مشکل و یا وجود سوال در خصوص مراحل مطرح نشده در این متن با ایمیل تدریس‌یار درس با استفاده از آدرس ایمیل زیر در تماس باشید.

h.malakouty@aut.ac.ir

ملکوتی

موفق و پیروز باشید