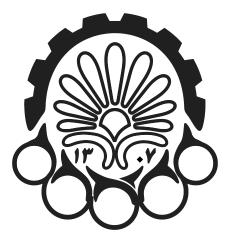
# طراحی سیستمهای قابل بازپیکربندی دکتر صاحبالزمانی



دانشگاه صنعتی امیر کبیر ( پلی تکنیک تهران ) دانشکده مهندسی کامپیوتر

رضا آدینه پور ۴۰۲۱۳۱۰۵۵

تمرین سری چهارم

۲۶ آذر ۱۴۰۳

# دانشکده مهندسی کامپیوتر

# طراحی سیستمهای قابل بازپیکربندی

تمرین سری چهارم

رضا آدینه پور ۴۰۲۱۳۱۰۵۵

| ,1               | ۱  | , 11     | سه |  |
|------------------|----|----------|----|--|
| $\mathbf{U}_{-}$ | יפ | <b>'</b> | سو |  |

با ذكر دليل بيان كنيد جملات زير صحيح هستند يا خير.

• نگاشت فناوری (technology mapping) میتواند بر اساس نوع شبکه ورودی به دو دسته ترکیبی یا ترتیبی طبقهبندی شود.

پاسخ نادرست.

• هدف اصلى نگاشت فناوري FPGA فقط كمينهسازي مساحت اشغال شده توسط جداول جستجو است.

پاسخ **نادرست.** 

• نگاشت فناوری FPGA عمدتاً از جداول جستجو (LUT) برای عملیات خود استفاده میکند و فقط شامل نگاشت LUT است.

پاسخ نادرست.

• شبیه سازی پس از چیدمان (post-layout) اطلاعات کمتری نسبت به شبیه سازی قبل از سنتز ارائه می دهد.

پاسخ نادرست.

• Chortle-d برای بهینه سازی مساحت طراحی شده است.

پاسخ نادرس*ت*.

صفحه ۱ از ۷

|     |       |         | ~      |        |    |            |         |      |   |   |
|-----|-------|---------|--------|--------|----|------------|---------|------|---|---|
|     | 1 1   | • 1 🖊 . | . ( •  | 1 1    | 1  | فليپفلاپها |         | • 1  | <b>/</b> . // // // // // // // // // // // // // |   |
| 1:5 | 1~11~ |         | 1:11.9 | د، طما | ١. | la 1119 19 | م تماند |      | الكمينتينك  | • |
|     |       |         |        |        |    |            |         |      |   |   |
|     |       |         |        |        | _  |            | 20      | C3 J | 1   |   |

پاسخ نادرست.

• الگوریتم FlowMap تأخیر سیگنالها را در طراحیهای نگاشت شده حداقل میکند.

پاسخ ن<mark>ادرست</mark>.

• بهینهسازی برای مساحت در نگاشت منجر به کاهش تأخیر نیز میشود.

پاسخ نادرست.

• کارایی مسیریابی مستقل از جایابی در طراحیهای FPGA است.

پاسخ نادرست.

• در شبیه سازی تبرید (simulated annealing)، کاهش هزینه همیشه منجر به پذیرش یک حرکت می شود.

پاسخ نادرست.

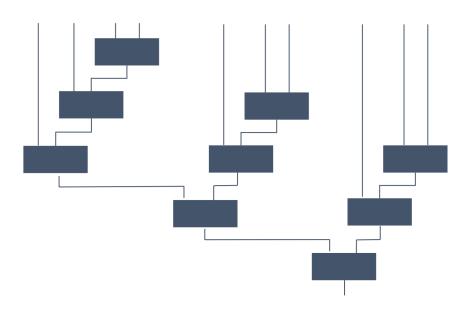
• تابع هزینه در VPR بر اساس طول مسیر و تراکم میباشد.

پاسخ نادرست.

صفحه ۲ از ۷

## **ــــ** سوال دوم

در کلاس درس، مدار زیر را با هدف حداقل کردن تأخیر به صورت دستی روی LUTهای ۴ ورودی نگاشت کردهاید. الگوریتم FlowMap را روی این گراف اجرا کنید و مراحل آن را نشان دهید و نتیجه نگاشت را رسم کنید. هر مستطیل نماینده یک گیت است.



**شكل ١**: شكل سوال ٢

صفحه ۳ از ۷

#### **——** سوال سوم

سه نمونه مختلف از الگوریتمهای مورد استفاده در نگاشت تکنولوژی FPGA (غیر از الگوریتمهای تدریسشده) را به طور خلاصه توضیح دهید (برای هر کدام یک پاراگراف) و سپس بررسی کنید که چگونه میتوان آنها را بر اساس توابع هدف و انواع شبکههای ورودی طبقهبندی کرد.

صفحه ۴ از ۷

# سوال چهارم

یک مثال از مداری را بزنید که برای مرحله اول Chortle-crf، روش first-fit جواب بهتری نسبت به best-fit میدهد.

صفحه ۵ از ۷

## سوال پنجم

مفهوم برش k-feasible در نگاشت فناوری FPGA را توضیح دهید و مزایای استفاده از آن در بهینهسازی طراحی را در یک پاراگراف شرح دهید.

صفحه ۶ از ۷

#### سوال ششم - پروژه عملی

در ادامه پروژه قبلی دو لایه مخفی کاملاً متصل را به سیستم خود متصل کنید. علاوه بر این یک لایه خروجی با ۱۰ نورون نیز برای خروجی شبکه در نظر گرفته و به شبکه متصل شود.

- ۱. عملکرد شبکه کاملاً متصل را به صورت مستقل بررسی کنید.
- ۲. در صورتی که شبکه مشابه در پایتون آموزش داده شده و وزنهای آن برای تست شبکه در نظر گرفته شود، %۱۰ امتیاز بیشتر برای بخش پروژه در نظر گرفته میشود.
- ۳. در صورتی که کل شبکه (شامل لایههای کانولووشن و کاملاً متصل) در پایتون آموزش داده شده و وزنهای آن برای تست شبکه در نظر گرفته شود گرفته شود گرفته شود.

در صورت انجام «۲» یا «۳» نیازی به انجام بخش «۱» نمی باشد.

صفحه ۷ از ۷