

1 Kol, P, Y 18.5.2022

24 رمضان

power wall in chips

Power wall in chips
Power wall: مقدار فعالیت برآورد شده یا برآورد از سوچها از یک صفحه صفحه‌های نیمه نوا یا از یک دیواره
بالای برد را می‌توانید در یک صفحه‌های chip فعال باشد و در یک صفحه‌های نیمه نوا
dark silicon این موردی که از مقدار فعالیت در یک صفحه‌های نیمه نوا و آن مقدار
کمتر از مقدار در یک صفحه‌های نیمه نوا است.

[illegible]

• Kuvul!

اسلام آباد ۲۷: درجہ فضائی برائے سوختی chip کہ بہ توفیق فعال باشد برای سوارسی و جای عملی را نشان می دهد در ۴۵۸۳

خشک می توانی بکار بیاورد و اگر در 32nm عدد ۲۰ در مبدل می شود و اگر در ۱۰۰ در مبدل می شود و اگر در ۱۰۰ در مبدل می شود

power wall in chip

Ship های آبیروضا یکی در اختیار ایران هست از اون مقداری به بیخوش روشن باشه سطلای پستی است و چون کدوم
 Subject: Power wall
 Year: _____ Month: _____ Day: _____

در سیستم architecture های heterogeneous استفاده می کنند و سعی می کنند task های مختلف
 core های مختلف داشته باشند و برای شرایط مختلف optimize می کنند و برای شرایط average case
 بهترین است. اما می توانیم از این توانایی استفاده کنیم و این شرایطی را به نام Area استفاده کنیم
 و core های خاصی برای آن داشته باشیم و خود آن شرایط efficient می باشد.
 در resource allocation و dynamic و on-demand و در بعضی موارد برای این کار
 multiplier می توانیم allocate می کنیم برای هر یک از core های این سیستم و این کار را می توانیم
 به عنوان طریق انجام آن

:- पान

future High speed

این extra Area که برای ذخیره اطلاعات اضافی در کنار resource overhead می باشد، قابل reconfigurable و وجود دارد. در حالی که این area قابل reconfigure نیست. این استفاده از این قابلیت، باعث بهبود در performance می شود. این قابلیت را در chip های reconfigurable می توان به عنوان reliable application for reconfiguration،

ۃ ۳۱

Reliability

- برای سئو خوری سخت chip و size feature کم است
 - قابلیت را بین هر دو چون ایجاد
 - کوچک شد و احتمال failure را دارد
 - تعداد device های به درون سخت تراشه خراشیده شدن زیاد است چون وقتی سئو خوری سخت است
 - yield را بین هر دو چون تعداد این سئو خورهای بیشتری در chip دارد پس پس احتمال failure تراشه

aging (سن کا گزرنے سے جسم پر پڑنے والے اثرات کا مجموعہ) 1/1

CACTUS

Soft error

سیرت الشریف بنو لوری reliability دلائل مختلف ہیں

- reconfigurable system advantage

reconfigurable device
Subject: _____
Year: _____ Month: _____ Day: _____

Year: Month: Day:

Labels

reconfigurable

محمد امان علی در اختیار صاحب امری حضور

1) Fault های مثل aging نشان می‌دهند خودشان را adapt نمی‌کنند و device قابل تعمیر است
می‌توان عبارتند از adapt کردن یا تعمیر

هنگام عبارت در اصل adapt کردن است و اصطلاح

۲) استفاده از device قابل reconfigurable و توان defect را isolate کرده و این عمل را تست fault که در برنامه منیزات می توانی و در این تست در برنامه منیزات

Paulist اور انبیا حضرت زکریا علیہ السلام کی طرح

۳) illogical و block dsp های در استادمین من صدمه زدن defect دارا select من و من correct

✓ correct

درست این کتابت نیست! fault, handle! و در زیرم

اسلام آباد

یک نمونه از قابلیت reconfigurability device ها اینست که FPGA ها با دستوراتی مثل simulations
خطوات rapid prototyping این دستورات designer ها می توانند در یک شب و یک روز به دست آورند
که به عبارتی دیگر به صورتی که در تصویر مشاهده می شود می توان به این

خطوات rapid prototyping در دست designer ها می باشد و می توان به سه مرحله
که عبارتند از: 1- model 2- material 3- method

کد سارا، ۵ خلیفہ آباد -

ماند چهره است. پس از simulation استفاده می‌شود. پس از این مرحله به چهره simulation می‌دهند. در هر شب ~~یک~~ ^{یک} کران کمی دارد و چهره آن از NRE کارای ساخت mask می‌خواهد استفاده نمی‌شود. بالایی دارد.

کند است و در حد 10^{-4} کرنش می‌دارد و چراغ به از NRE برای ساخت mask می‌خواهم استفاده کنم هزینه بالایی دارد.

خواص استعداد جسم فیزیکی بالایی دارد.

Simulation 1:

حسین زاری نواره دلمی خورشید ز جانی نواره ولسی است

عنوان simulator طرہ بنائے گئے level بنائے گئے ہیں اور اس کا نام ہے

برای تغییرات منظم در $hardware$ یا $software$ استفاده می‌شود و $design$ را اول روی $FPGA$ پیاده‌سازی می‌شود و بعد $test$ برای اطمینان از درست بودن $test$ و در نهایت

FPGA برای سیم‌کشی و برنامه‌ریزی در مدارات test برای آزمایش و تست و درخت

۵۴۶

اسلاید ۳۴:

دستگاه‌های خاص emulation در دسترس دارند که ASIC را برای این که اینها بالا رفته باشند از این دستگاه‌ها استفاده می‌کنند که کارشون emulation با طرح‌های سخت‌افزاری است

Subject: RTL در دسترس این درگاه خاص هست
Year: Simulation Month: ۷-۱۲ Day: ۱۱

دو نوعی منطقی می‌تواند برای RTL و gate که تقریباً باید منطقی خاص برای اینها و منطقی برای emulation استفاده می‌کنیم اگر آن دستگاه بتواند این تعداد بیت را handle کند اختلاف محدود و اختراجهای ما یک میلیون برابر محبوب‌تر است و دائم و تعداد vector شش‌ری را می‌توانیم test کنیم و در این دستگاه‌ها از FPGA استفاده می‌کنیم تا برای design‌های مختلف بتوانیم reconfigure کنیم نسبت به simulation محدودی‌ها را می‌توانیم بر این سیستم‌ها داشته باشیم

اسلاید ۳۵:

همه چیز این دستگاه‌ها x2 protium است که طرح‌های خاص را در دسترس می‌دهد و در آن از راننده‌های ultrascale و ultra استفاده می‌کنند

اسلاید ۳۷:

adaptive computing system

کاربرد در سیستم‌های adaptive computing است. سیستم‌های منطقی می‌توانیم برای سیستم‌های مختلف در زمان design منطقی را اصلاح کنیم و حالات متفاوت را در نظر بگیریم و یک سری منطقی‌ها را می‌توانیم در سیستم‌ها وجود دارد که لازم می‌آید تا این امکان را فراهم کنیم که در زمان اجرا بتوانیم این منطقی‌ها را تغییر بدهیم و handle کنیم که در دسترس‌های خاص یا منطقی‌های خاص

اسلاید ۳۸:

میکروسیستم‌ها در این کارکرد device می‌توانیم ساختارها را تغییر بدهیم و reconfigurable می‌توانیم و با اینها می‌توانیم شرایط را تغییر بدهیم

یک نمونه دیگر این می‌توانیم objective که می‌خواهیم در هر یک از سیستم‌ها می‌توانیم در زمان تغییر بدهیم و وقتی طرح‌های منطقی‌ها را برای average case می‌توانیم تغییر بدهیم و در این design‌ها می‌توانیم برای این که این منطقی‌ها را در دسترس داشته باشیم و این طرح‌ها را می‌توانیم trade off کنیم و برای average case و سرعت در آن را می‌توانیم در حالت‌های مختلف می‌توانیم در آن ساختار است CACTUS اما از خاصیت reconfigurable می‌توانیم استفاده کنیم و این صورت که برای شرایطی که می‌خواهیم اینها را

objective را تغییر می دهیم و سعی می کنیم optimize کنیم
 - یعنی وقت ما محدود می شه و می خایم در هر امری که می تونه برتری داشته باشه و ما می خایم وقتی رو خط تغییر می دهیم chip
 Year: _____ Month: _____ Day: _____
 ما می خایم دور ... این ... است ...
 خط ...

« sample research papers »

فکته ای که ساختار LUT را ارائه می دهه با هدف این performance ، FPGA ها را تغییر می ده

changing Technology :

در LUT ها ، ۶ در دردی کارایی performance بهتر است به تنه دانه (هر چه در دردی LUT بیشتر شود performance بهتر است) ولی از لحاظ Area ، ۶ در دردی خوب نیست و ۴ در دردی بهتر

است این ۶ در دردی از لحاظ performance نسبت به ۴ در دردی بهتر است ولی Area نه

در سوئیچ های جدید تر ، delay انتقال بیشتر وجود داره و این باعث شده که delay بین cluster ها

intra cluster delay بیشتر می شه و در این رابطه intra cluster delay بیشتر می شه (intra cluster delay

شبه داخل ۳ تا بین LUT های مختلف که به صورت داخلی ارتباط می گیرن) این امر می تونه منجر بشه به logic تستی

در cluster قرار می دهیم و این ارتباط intra cluster منجر بشه به performance بهتر و ما هم

۴۵nm LUT ها این intra cluster ها را برابر می کنن و این performance advantage

LUT های ۶ در دردی ۵۰ درصد بهتر بود این شده ۱۰۰ درصد نسبت به LUT های ۴ در دردی

نتیجه ۲ :

ساختار ۵۴۴ را می بینیم که در LUT ۶ در دردی دانه که به تنه دانه LUT ، ۷ در دردی از این

استفاده کنیم performance آن به خوبی LUT ۶ در دردی است. از طرفی می توان به عنوان دانه LUT ، ۴ در دردی

استفاده کرد برای توابع ۵ در دردی های کم

نتیجه ۵ :

این ...

Function های ۵ در دردی را می تونه ...

CACTUS

۵ در دردی توابع ۶ در دردی را می تونه ...
 ۵ در دردی توابع ۷ در دردی را می تونه ...

: ۶۰۵ :

2vnd!

حضرت اسمعيل علیہ السلام

(CGR)

Рис. 1

ICGRA introduction

(App) (Domain)

1901, 1911 ۱۱ جلد ۱۹

اسلام آباد:

3 CGRA - introduction

CACTUS.

(Δ)

مکانی که می‌توانیم با آن کار کنیم، محاسبه، منطق، ارتباط دارند

اسلاید ۳

تفاوت CGRA نسبت به FPGA :

Year: _____ Month: _____ Day: _____ Subject: boolean level و operation level

بلوک‌ها boolean level نسبت به computational level هستند یعنی بلوک‌های

را انجام می‌دهند و بیت bit word

اسلاید ۵

مزایای CGRA نسبت به FPGA :

۱) performance per power: هزینه کمتری در توان مصرفی و همان کارایی DSP دارند اما هزینه کمتری

مصرف می‌کنند (هم از لحاظ سرعت هم از لحاظ توان) CGRA ها هم انتظارات کمتری انجام می‌دهند (از نظر App)

۲) area: هم هزینه کمتری دارند و هم می‌توانند انجام دهند و هزینه کمتری از لحاظ

interconnect دارند و هزینه کمتری در FPGA ها دارند و هم می‌توانند انجام دهند و هزینه کمتری

CGRA ها word bit صفت و ۳۲ بیت می‌توانند هستند و هم می‌توانند انجام دهند و هزینه کمتری

می‌توانند هزینه کمتری را انجام دهند (۴) از لحاظ پیچیدگی برای آن‌ها می‌توانند هزینه کمتری routing و

انجام دهند و هم می‌توانند انجام دهند و هزینه کمتری را انجام دهند و هزینه کمتری

micro configuration می‌توانند انجام دهند و هزینه کمتری را انجام دهند و هزینه کمتری

در این اجراها reconfigurable می‌شود و این هزینه زمانی زیادی دارد و هم می‌توانند انجام دهند و هزینه کمتری

تعداد کمتری configuration می‌توانند انجام دهند و هزینه کمتری را انجام دهند و هزینه کمتری

می‌توانند انجام دهند و هزینه کمتری را انجام دهند و هزینه کمتری

مقایسه

نسبت به FPGA ها از لحاظ general purpose بودن کمتری دارند و هم می‌توانند انجام دهند و هزینه کمتری

در FPGA ها App را می‌توانند انجام دهند و هزینه کمتری را انجام دهند و هزینه کمتری

CGRA ها را می‌توانند انجام دهند و هزینه کمتری را انجام دهند و هزینه کمتری

از نظر استفاده می‌شود

اسلاید ۶

CGRA as Accelerator/coprocesor :

نقطه‌های استفاده از CGRA :

۱) برای انجام کارهای خاص CGRA انجام می‌شود و هزینه کمتری را انجام دهند و هزینه کمتری

CACTUS انجام می‌دهد

۱۲ اطلاعات یک accelerator با درنا یک processor است بنابراین عملیات اصلی و کنترل را processor
ای میسر دهد و با کارهای دیگر که میسر شود در اختیار CGRA قرار دهد. در این ساختار برپایه
در اختیار accelerator است و می توان به عنوان RIS یا LIA باشد (این نام استرایی)
Subject: معماری سیستم های پردازش
Year: _____ Month: _____ Day: _____

اسلاید ۵:

از لحاظ performance و energy efficiency
Cpu از لحاظ performance ضعیف است از لحاظ energy هم ضعیف است (از لحاظ مصرف انرژی)
اما دلیل انتخاب پذیری بالا و فراوانی استفاده از آن است. DSP ها مقایسه می شوند و Cpu ها
از لحاظ performance بهتر از DSP هستند اما از لحاظ energy ضعیف ترند.
FPGA ها مقایسه می شوند، ASIC ها از لحاظ مصرف انرژی و CGRA ها نیز بین FPGA و ASIC هستند.

اسلاید ۸:

از لحاظ Flexibility
فراوانی ASIC حاصل می شود است. CGRA و FPGA به صورت low level فراوانی می شوند و Cpu و
Cpu و DSP به صورت high level فراوانی می شوند که فراوانی Cpu از لحاظ آسان تر است.

اسلاید ۹:

الگوریتم های CGRA
برای security استفاده می شود ← برپایه های امنیتی را به صورت CGRA طراحی می کنند مثلاً
CoBRA الگوریتم های symmetric را انتخاب کرده است و به صورت CGRA طراحی کرده آن کار را در
map
یک نوع accelerator است که hash fun ها را انتخاب کرده است در این طراحی CGRA انجام
داده است.

cryptoraptor هم را می توان ساخت

اسلاید ۱۰:

کاربرد دیگر در signal image processing → به عنوان advance wide processor برای پردازش
سینال و image processing استفاده می شود.

اسلاید ۱۱:

کاربرد دیگر Deep learning است ← Eyeriss برای عملیات CNN طراحی شده که عملیات
محاسباتی را انجام دهد و در عین حال به صورت یک سیستم یکپارچه باشد. ACTUS
اسم دیگر به اسم Reconfigurable hybrid neural network است که برای شبیه سازی عصبی طراحی شده.

Year: _____ Month: _____ Day: _____ Subject: _____

CGRA

Address: این بهای درستی که باید داده شود و جوی طریقی می باشد که هر کدام از آن استاده
مستحقان را فرا می گیرد و مدارات اصلی و ارتباطات آنها چه صورت داشته باشد، operation set
که انجام می شود یعنی آن مدلی که عملیات را بتواند انجام دهد قابل تغییر نیست، timing و share resource
قابل تغییر است و هم طریقی که خواهد chip تعریف کند این بهای را تعیین می کند و برای آن ثابت است

samsung ulp-srp

: Samsung SRP

در مجلس از حضور آیت الله العظمی رضاخان آخوندی شریفی از یاران اصیل آیت الله العظمی خوانساری شریفی مآلای محترم

CACTUS.

اسلام ۱۹: Layout می باشد که تعداد زیادی از آن به خطه تخصیص داده شده است

اسلام ۲۰: SRP Architecture

Year: Month: Day:

نمای داخلی:

۱. $MLIU$: برارنده وجود دارد که وظیفه تشخیص است که کدام واحد می تواند در $Functional unit$ باشد و این واحد $MLIU$ می نامند

۲. $CGRA$ (دو حالت دارد): $CGRA$ Low performance: در این حالت سرعت عملیات ایجاد این واحد $Power$ می باشد و برای عملیات ساده از $CGRA$ استفاده می شود و برای عملیات پیچیده از $CGRA$ High performance استفاده می شود

$CGRA$ High performance: در این حالت سرعت عملیات Fun می باشد و نیاز دارد که از این واحد استفاده می شود تا با Fun های بیشتر سرعت را خیلی بالا ببرد

اسلام ۲۱:

loop scheduling:

map کردن عملیات روی Fun ها: برای این کار ابتدا Fun ها را مشخص می کنند و عملیات را به Fun ها map می کنند و معمولاً عملیات $loop$ باید با Fun ها map شود و در $CGRA$ اجرا می شود

نقشه جریان Fun نام $(Fu0, Fu1)$ و عملیات $Data flow graph$ موجود در این اسلاید را دارد که نشان می دهد اول A باید انجام شود تا B و C بتوانند انجام شوند و بعد B و C می توانند موازی انجام شوند و در نهایت D و E باید اجرا شوند (این عملیات در $CGRA$ قرار دارند) که در این مرحله انجام این عملیات در شکل است

کاربرد این است که $pipelining$ در $loop$ می باشد و در این $iteration$ A برای $iteration$ یکبار است و $Fu0$ و $Fu1$ $assign$ می شود و A و D انجام شود (لازم نیست عملیات $iteration$ اجرا شود و فقط برای $iteration$ می باشد) (نحوه اجرای این عملیات در اسلاید ۲۲ است)

CACTUS

SRP mode selection

عملیات که قرار است انجام شود چه mode انجام شود

۱) انتظار صرفه جویی: Dynamic انجام شود یعنی در حین اجرای برنامه به صورت خودکار

mode انجام شود. در بعضی از loop ها موازی سازی بالایی دارند این loop ها را بهتر است در

high performance انجام شود اما بعضی از loop ها IP یا سنی کار دارند و high یا low

توان مصرف کردن کم بهتر است در performance low انجام شود

برای این که این تقسیم بندی را انجام دهند برنامه رادار کامپایلر می کنند بسیار با دقت این به دست می آید

دسترسی به این high باشد و دسترسی به دست از loop energy efficiency در تمام حالت اجرا

شود بهتر است

اسلاید ۲۴:

به عنوان مثال در یک برنامه ای داریم که این برنامه قرار است روی SRP، SRP، maps انجام شود.

میتوانیم کاری کنیم که IP یا low قرار است انجام شود ولی بعضی loop ها باقی میمانند یعنی کارایی

low IPC داشته که ایجاد ۲x۲ CGRA اجرا می شود و یک مرتبه های high IPC

میتواند ایجاد در high performance اجرا شود.

آنها می توانند در loop انجام شود مثل در یک مرتبه های low و یک مرتبه های high

در صورت امکان high ۲x۳ و ۳x۳ است

۱۴، ۱۵، ۱۶، ۱۷، ۱۸، ۱۹

اسلاید ۲۵:

روی یک الیست ECG دارند و نتایج زیر بدست می آید

سوال اول cycle و D یعنی نسبت مقدار پردازش به data collection

اسلاید ۲۶:

Duty cycle

عملیات که در یک پروگرام می شود ۹۹ در صد وقت Data collection انجام می دهد و ۱ درصد اجرا می

process انجام می دهد. این نسبت برای data collection بسیار است

$$\text{CACTUS} \quad \text{Duty} = \frac{T_{\text{process}}}{T_{\text{process}} + T_{\text{data collection}}}$$

این آزمون از بینشی از Low و High استفاده می کند و در این آزمون سی اس اس پلاگین در پایان شود زمان اجرا
 محدودیت داشته و در این HP اجرا شود زمان اجرا محدودیت ندارد
 Year: _____ Month: _____ Day: _____ Subject: _____

در این روش توانایی پایداری داده و انعطاف پذیری در تغییرات و انعطاف پذیری در تغییرات
 در این روش اجرا شود (Dynamic mode) در این روش تغییرات در این روش تغییرات
 «HyCube»

HyCube

HyCube در این روش دارای configurable interconnect می باشد و می تواند ارتباطات Full
 زمان اجرا قوی تر شود
 در تمامی ADRES هر Full فقط می تواند یک بار داشته باشد و می تواند یک بار داشته باشد
 انجام می شود اگر یک Full می خواهد یک سی اس اس Full دو تا آن طرف تر می تواند یک بار داشته باشد
 مشکل انجام دهد و می تواند یک بار داشته باشد و می تواند یک بار داشته باشد Data flow
 جهت خاص خواص ارتباطات را می بینیم که باعث می شود سرعت عملیات بالاتر برود و energy efficient
 باشد که این سرعت HyCube است

conventional CGR

یک Data flow graph که در این عملیات جمع انجام می دهد و در این عملیات جمع انجام می دهد
 به عملیات جمع و در این عملیات جمع انجام می دهد و در این عملیات جمع انجام می دهد
 طرف تر انجام می شود و در این عملیات جمع انجام می دهد و در این عملیات جمع انجام می دهد
 انجام می شود که می تواند یک بار داشته باشد و در این عملیات جمع انجام می دهد
 سرای سازی می شود و در این عملیات جمع انجام می دهد و در این عملیات جمع انجام می دهد
 در HyCube می تواند یک بار داشته باشد و در این عملیات جمع انجام می دهد و در این عملیات جمع انجام می دهد
 می تواند یک بار داشته باشد و در این عملیات جمع انجام می دهد و در این عملیات جمع انجام می دهد

HyCube

CACTUS

یک رتبه بندی داده که در این عملیات جمع انجام می دهد و در این عملیات جمع انجام می دهد
 ۱۵۹

افام شور می تواند صمیم افام شور - ~~دانش~~ ~~میر~~

موضوع: پردازش عناصر (Processing element) و تبدیل آن به یک عنصر ساده است. چهار مورد از مثال در جدول زیر
توضیح داده شده است.
Subject: ...
Year: ... Month: ... Day: ...

تایج در RES می‌شود یا مستقیم دارد cross bar می‌شود و طبق قسم به هر دو می‌رسد

این روش باعث می‌شود که این عملیات ضرب و تقسیم ساده‌تر به صورت موازی انجام شود و multi tasking

قسم دارد

اسلام ۲۰:

3 optimal mapping

SRP, ADDRRes, & HyCube sub

فرض کنیم EFG ماه صورت یک است. N_1 ، N_2 ، N_3 و N_4 و N_5 و N_6 را به دست آوریم.

اسٹوری CGRA سے صورت 2×2 دائیہ ایسٹیم (درجہ چھپا سیں اسلئے قرار داد) ان وقت علیحدگی سے
 سے خود ایجیم شین سوکٹ صحت اش سے صورت صحت راست است .

\Rightarrow cycle و به قطعه‌ای که تمام شود و به نقطه شروع برگردد یک حلقه است چون به هر واسطه هست در cycle ردی نمی توانیم بکنیم و به راس با map میزنیم چون ما هم از سابقه قسم ندارند.

نکته: F_0 و F_1 ارتباط مستقیم ندارد پس می‌توانیم μ را برای F_0 تعریف کنیم (μ_0 و μ_1 و μ_2 و μ_3 و μ_4 و μ_5 و μ_6 و μ_7 و μ_8 و μ_9 و μ_{10} و μ_{11} و μ_{12} و μ_{13} و μ_{14} و μ_{15} و μ_{16} و μ_{17} و μ_{18} و μ_{19} و μ_{20} و μ_{21} و μ_{22} و μ_{23} و μ_{24} و μ_{25} و μ_{26} و μ_{27} و μ_{28} و μ_{29} و μ_{30} و μ_{31} و μ_{32} و μ_{33} و μ_{34} و μ_{35} و μ_{36} و μ_{37} و μ_{38} و μ_{39} و μ_{40} و μ_{41} و μ_{42} و μ_{43} و μ_{44} و μ_{45} و μ_{46} و μ_{47} و μ_{48} و μ_{49} و μ_{50} و μ_{51} و μ_{52} و μ_{53} و μ_{54} و μ_{55} و μ_{56} و μ_{57} و μ_{58} و μ_{59} و μ_{60} و μ_{61} و μ_{62} و μ_{63} و μ_{64} و μ_{65} و μ_{66} و μ_{67} و μ_{68} و μ_{69} و μ_{70} و μ_{71} و μ_{72} و μ_{73} و μ_{74} و μ_{75} و μ_{76} و μ_{77} و μ_{78} و μ_{79} و μ_{80} و μ_{81} و μ_{82} و μ_{83} و μ_{84} و μ_{85} و μ_{86} و μ_{87} و μ_{88} و μ_{89} و μ_{90} و μ_{91} و μ_{92} و μ_{93} و μ_{94} و μ_{95} و μ_{96} و μ_{97} و μ_{98} و μ_{99} و μ_{100} و μ_{101} و μ_{102} و μ_{103} و μ_{104} و μ_{105} و μ_{106} و μ_{107} و μ_{108} و μ_{109} و μ_{110} و μ_{111} و μ_{112} و μ_{113} و μ_{114} و μ_{115} و μ_{116} و μ_{117} و μ_{118} و μ_{119} و μ_{120} و μ_{121} و μ_{122} و μ_{123} و μ_{124} و μ_{125} و μ_{126} و μ_{127} و μ_{128} و μ_{129} و μ_{130} و μ_{131} و μ_{132} و μ_{133} و μ_{134} و μ_{135} و μ_{136} و μ_{137} و μ_{138} و μ_{139} و μ_{140} و μ_{141} و μ_{142} و μ_{143} و μ_{144} و μ_{145} و μ_{146} و μ_{147} و μ_{148} و μ_{149} و μ_{150} و μ_{151} و μ_{152} و μ_{153} و μ_{154} و μ_{155} و μ_{156} و μ_{157} و μ_{158} و μ_{159} و μ_{160} و μ_{161} و μ_{162} و μ_{163} و μ_{164} و μ_{165} و μ_{166} و μ_{167} و μ_{168} و μ_{169} و μ_{170} و μ_{171} و μ_{172} و μ_{173} و μ_{174} و μ_{175} و μ_{176} و μ_{177} و μ_{178} و μ_{179} و μ_{180} و μ_{181} و μ_{182} و μ_{183} و μ_{184} و μ_{185} و μ_{186} و μ_{187} و μ_{188} و μ_{189} و μ_{190} و μ_{191} و μ_{192} و μ_{193} و μ_{194} و μ_{195} و μ_{196} و μ_{197} و μ_{198} و μ_{199} و μ_{200} و μ_{201} و μ_{202} و μ_{203} و μ_{204} و μ_{205} و μ_{206} و μ_{207} و μ_{208} و μ_{209} و μ_{210} و μ_{211} و μ_{212} و μ_{213} و μ_{214} و μ_{215} و μ_{216} و μ_{217} و μ_{218} و μ_{219} و μ_{220} و μ_{221} و μ_{222} و μ_{223} و μ_{224} و μ_{225} و μ_{226} و μ_{227} و μ_{228} و μ_{229} و μ_{230} و μ_{231} و μ_{232} و μ_{233} و μ_{234} و μ_{235} و μ_{236} و μ_{237} و μ_{238} و μ_{239} و μ_{240} و μ_{241} و μ_{242} و μ_{243} و μ_{244} و μ_{245} و μ_{246} و μ_{247} و μ_{248} و μ_{249} و μ_{250} و μ_{251} و μ_{252} و μ_{253} و μ_{254} و μ_{255} و μ_{256} و μ_{257} و μ_{258} و μ_{259} و μ_{260} و μ_{261} و μ_{262} و μ_{263} و μ_{264} و μ_{265} و μ_{266} و μ_{267} و μ_{268} و μ_{269} و μ_{270} و μ_{271} و μ_{272} و μ_{273} و μ_{274} و μ_{275} و μ_{276} و μ_{277} و μ_{278} و μ_{279} و μ_{280} و μ_{281} و μ_{282} و μ_{283} و μ_{284} و μ_{285} و μ_{286} و μ_{287} و μ_{288} و μ_{289} و μ_{290} و μ_{291} و μ_{292} و μ_{293} و μ_{294} و μ_{295} و μ_{296} و μ_{297} و μ_{298} و μ_{299} و μ_{300} و μ_{301} و μ_{302} و μ_{303} و μ_{304} و μ_{305} و μ_{306} و μ_{307} و μ_{308} و μ_{309} و μ_{310} و μ_{311} و μ_{312} و μ_{313} و μ_{314} و μ_{315} و μ_{316} و μ_{317} و μ_{318} و μ_{319} و μ_{320} و μ_{321} و μ_{322} و μ_{323} و μ_{324} و μ_{325} و μ_{326} و μ_{327} و μ_{328} و μ_{329} و μ_{330} و μ_{331} و μ_{332} و μ_{333} و μ_{334} و μ_{335} و μ_{336} و μ_{337} و μ_{338} و μ_{339} و μ_{340} و μ_{341} و μ_{342} و μ_{343} و μ_{344} و μ_{345} و

درست چون اطلاعات به عدد ۵ قرار داده مستقلی پیش می آید (دلیلی به راز روی ۴ تا ۵ می رسم)

چون در سائیکل بادی حاصل می شود چون دمای بای به درون در اختیار به راز سر و رسی آن وقت به عنوان در

۳۴. حضرت شیخ چون ارتباط معنوی با فرشته‌ها به درون کبریا رسید و این تصویر دنیای بی‌ازدست همواره به

همچنین دلیل ۱، R به عنوان سیاه‌های استوار در سیستم دارای $\frac{1}{2}$ نشان می‌دهد. ما می‌توانیم سیاه‌های به رادرسون

بدیاد اختیار به در سامان (R) نویسنده که صورت router استفاده شده (حرف در این شکل)

۴ و ۵ و ۶ و ۷ راحه ترا در دم خون ۲ و ۳ نیاز دارد و اینجا در سگ نسل احمر است

Cactus

۴ راد این سیل می توان باره های ۳ و ۲ و ۱ دارد هر ۲ و ۱ هنوز احسن است
پس از نود R عنوان را با استفاده می نم و ۴ راد در سیل نگذاری احسن است پس در حالت بحین ۲ سیل ما

طول کشید و در همین سبیل آخر به دور یکم می‌توسیم قرار بدیم

اسلاید ۳۷ :

حق تعالیات اسلاید قبل در Hy Subject

Year: Month: Day:

محدودین ارتباطات همای به همای را دارد و در سبیل می‌تواند بسیار به ساختارهای دیگر

باز این می‌توسیم به رادر سبیل اول انجام بدیم و ۴ و ۵ و ۶ و ۷ را هم در سبیل دیگری انجام بدیم چون دنیای

همه در اختیار هم است و همچنین در سبیل دیگری ۴ و ۵ و ۶ و ۷ را هم در سبیل دیگری قرار می‌دهیم و در این سبیل می‌توان

به دور دیگر در ۴ قرار می‌دهیم در نتیجه در ۳ سبیل احصا می‌شود (initial interval = ۲)

و نسبت به قبل می‌تواند افزایش سرعت را هم

اسلاید ۳۹ :

HyCube

تفاوت HyCube با جوسه تا به حدت از یکا performance power

اسلاید ۴۰ :

سازد که ساختارهای جدیدی مثل استفاده کرده FPCA مثل Artix7 است و HyCube SRP و ARM است

در جدول این اسلاید Artix7 عدد ۵ برابر به یک تراز ARM است. SRP از یکا انرژی دوری به یک تراز ARM است و HyCube هم سه برابر از یکا سرعت به یک تراز ARM است ۳ برابر به یک تراز ARM است و هم از لحاظ انرژی ۴ برابر به یک تراز است

اطلاعه اسلاید ۴۱ :

Artix7 از لحاظ سرعت از یک تراز است ولی توان مصرفی خیلی بالایی دارد. SRP به نسبت کمتر دوا است و از یک تراز توان مصرفی به یک تراز است. ARM از یکا توان و performance به یک تراز و Artix7 قرار دارد HyCube از لحاظ انرژی از یک تراز به یک تراز است

اسلاید ۴۲ :

Clustered Architecture

این معماری نامی خود دارد و هر یکا processing element با یک cluster نام دارد و در این معماری هر یکا cluster با یک cluster نام دارد و در این معماری هر یکا cluster با یک cluster نام دارد و در این معماری هر یکا cluster با یک cluster نام دارد

Terminology

اسلاید ۱۳

reconfigurable Time run time & offline Reconfigurable سیستم ها
 Year: Month: Day: runtime در زمان اجرا
 dynamic static

اسلاید ۲۱۴

offline vs Runtime Reconfiguration

تفاوت offline و runtime

در offline یک برنامه را تمام می‌کنیم، سپس place and route می‌کنیم و یک bit stream تولید می‌کنیم. در runtime bit stream را تولید می‌کنیم و در هر بار که نیاز به تغییر داریم، دوباره configuration می‌کنیم. در runtime به این صورت است که در هر بار که نیاز داریم، configuration می‌کنیم و در هر بار که نیاز داریم، configuration می‌کنیم. در runtime به این صورت است که در هر بار که نیاز داریم، configuration می‌کنیم و در هر بار که نیاز داریم، configuration می‌کنیم.

اسلاید ۱۶

static and dynamic reconfiguration

تفاوت static و dynamic

در static configuration، هر بار که نیاز داریم، configuration می‌کنیم. در dynamic configuration، هر بار که نیاز داریم، configuration می‌کنیم. در static configuration، هر بار که نیاز داریم، configuration می‌کنیم. در dynamic configuration، هر بار که نیاز داریم، configuration می‌کنیم.

Year: Month: Day:

8 Computation Flow

اسلاید ۳

میان فایده استان می دهد یک سیستم از بخش نرم افزار دیتا افزار درست شده است .
 نرم افزار را ایجاد می کند و reconfigurable processing unit را انجام می دهد و مشخصات با هم ارتباط
 برقرار می کند RPU

وقتی عملیات می خواهد انجام شود CPU و RPU هر دو شروع به اجرا می کنند ، CPU عملیات مربوط به خود را انجام می دهد و
 دیتای که در اختیار RPU باید قرار دهد که عملیات را انجام دهد ، و دیتای مربوط به آن را در memory مقصد می گذارد
 RPU با یک سرنویس می شود و یک signal شروع به RPU می دهد ، وقتی signal از start CPU می آید
 RPU شروع به اجرا می کند و شروع می کند دیتا را می خواند و عملیات را انجام می دهد CPU و RPU هر دو
 می توانی عملیات انجام بدهی و در RPU می توانی عملیات در CPU به signal wait برای CPU می آید و وقتی
 RPU کارش تمام شد finish signal می آید و CPU کارش تمام می شود
 دیتای بعدی را در حافظه قرار داد

این عملیات هم برای run time انجام می شود هم برای offt line و هر زمان که میانی

اسلاید ۴

Computation Flow

این run time reconfigurable باشد و configuration مختلف خواهد انجام شد
 هرگاه فایده استان می دهد یک سیستم از بخش نرم افزار دیتا افزار درست شده است .
 CPU و RPU هر دو می توانند دیتا را می خوانند و عملیات را انجام می دهند و هر زمان
 وقتی که می خواهد آن را می خواند و (دیتای که می تواند block باشد)

اسلاید ۵

برای انجام Computation Flow CPU جدید RPU می تواند خواص در Device های مدرن
 FPGA قطعات برابره hard core می باشد و چون هم CPU و هم RPU ارتباط می توانند
 سریع تر انجام می شود چون می تواند با هم کار می کنند

Reconfiguration در device

reconfigure می شود باید به صورت کامل reconfigure شود اما این سلسله به بلوکات partial reconfiguration

Subject

Scanned by CamScanner