



بسمه تعالی
طراحی سیستم‌های قابل بازپیکربندی
نیمسال اول ۱۴۰۳-۱۴۰۴
تمرین دوم



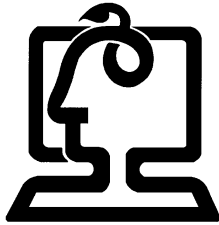
تحويل در روز سه‌شنبه مورخ ۱۴۰۳/۰۸/۲۲

- ارسال تمرینات به صورت الکترونیکی و از طریق سامانه دروس خواهد بود. فایل ارسالی شما فایل zip با نام sid_hs.zip است که sid شماره دانشجویی و hs شماره سری تمرین است. پرسش‌هایی که پاسخ آن‌ها ماهیت تشریحی و تحلیلی دارد را به صورت تایپ‌شده یا دستی نوشته و به صورت یک فایل PDF ذخیره نمایید.
 - زمان تحويل هر سری از تمرینات مشخص بوده و امکان تغییر آن وجود ندارد. در حل تمرینات، می‌توانید با یکدیگر همفکری و بحث نمایند ولی هر شخص می‌بایست در نهایت پاسخ و استدلال خود را به صورت انفرادی بنویسد و در صورت شباهت پاسخ، تمامی افراد نمره تمرین را از دست خواهند داد.
 - برای هر روز دیرکرد در ارسال تمرین ۱۰ درصد جریمه اعمال خواهد شد. ارسال دیر هنگام فقط تا ۲ روز پس از زمان مقرر شده امکان‌پذیر است و پس از آن نمره تمرین صفر در نظر گرفته خواهد شد.
- چنانچه ابهامی در زمینه تمرینات دارید، می‌توانید اشکالات خود را از طریق پست الکترونیکی زیر با موضوع RCS-2024 مطرح نمایید.

h.malakouty@aut.ac.ir

ملکوتی

موفق و پیروز باشید

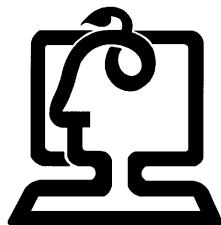


تحويل در روز سه‌شنبه مورخ ۱۴۰۳/۰۸/۲۲

۱- با ذکر دلیل بیان کنید جملات زیر صحیح هستند یا خیر.

- خانواده Cyclone نسبت به Stratix مصرف انرژی کمتری دارد.
- معماری کلی تراشه‌های برنامه‌پذیر از تولیدکننده‌ای به تولیدکننده دیگر کاملاً متفاوت است.
- مدل‌های Cyclone تولیدی شرکت اینتل دارای هسته پردازنده ARM هستند.
- بلوک‌های منطقی قابل پیکربندی (CLB) در خانواده اسپارتمان دارای slice‌های مشابه هستند.
- برای ارتباط دو سیستم مبتنی بر اسپارتمان LX25 با سرعت بالا می‌توان از رابط Gigabyte استفاده کرد.
- بلوک URAM در اسپارتمان قابل پیکربندی به صورت دسترسی تک کاناله و دوکاناله است.
- خانواده آرتیکس ۷ دارای بیش از ۷۰۰ ضرب‌کننده سخت‌افزاری است.
- بلوک‌های MLAB در سایکلون برای پیاده‌سازی FIFO مناسب نیست.
- معماری FPGAها برای داده‌های پردازشی با سایز مختلف مناسب نیست و برای این منظور GPUها کاربرد بیشتری دارند.
- در Stratix 10 از معماری LUT قابل شکستن استفاده شده است که قادر به تامین دو LUT با ۳ ورودی و یک LUT با ۴ ورودی با ورودی‌های مستقل است.

۲- تفاوت‌های اصلی بین خانواده‌های Cyclone و Stratix را توضیح دهید و ذکر کنید در چه شرایطی استفاده از هر کدام مناسب‌تر است؟ همین مقایسه را در خصوص خانواده Stratix و Virtex نیز انجام دهید. موارد را در داخل مدارک فنی شرکت‌های تولیدکننده مشخص کرده و محل آنها را در گزارش خود بیاورید.



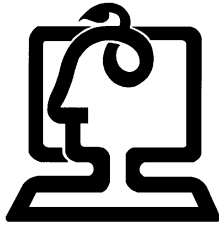
تحويل در روز سه‌شنبه مورخ ۱۴۰۳/۰۸/۲۲

۳- آیا یا کاهش دقت ذخیره‌سازی برای پیاده‌سازی در FPGA ها خصوصا در شبکه‌های عصبی با استفاده از کوانتیزاسیون همواره دقت کاهش می‌یابد؟ موضوع را تا حد ممکن در حالات مختلف بررسی کنید و با کمک مقالات روز نتایج حاصله را مقایسه کنید. علت استفاده از این روش را نیز به صورت کامل توضیح دهید. در نوشته خود به مقالات مطالعه شده ارجاع دهید.

۴. با پیشرفت‌های حاصل شده در خصوص شبکه‌های عصبی معماری‌های FPGA جدید نیز برای پاسخ به این نیاز ایجاد شده‌اند. در این خصوص دو معماری Speedster7t و Versal ACAP را با معماری Stratix 10 مقایسه نمایید و مزایای استفاده از هر یک را برای کاربرد شبکه عصبی شرح دهید. موارد را در مدارک فنی شرکت‌های مربوطه مشخص کرده و قسمت مشخص شده را در گزارش خود اضافه نمایید.

۵. پروژه عملی:

در این تمرین هدف طراحی و پیاده‌سازی بخشی از یک سیستم پردازش تصویر بی‌درنگ بر روی Zynq SoC است. برای انجام این تمرین بایستی مهارت‌های مربوط به نحوه ارتباط بین بخش PS (سیستم پردازنده) و PL (منطق قابل برنامه‌ریزی) و همچنین نحوه استفاده از رابط میان آنها به عنوان مثال AXI برای ارتباط بین PS و PL مطرح شده در تمرین قبلی را به خوبی فراگرفته باشید. هدف ایجاد یک هسته برای پردازش تصویر ورودی و تشخیص لبه تصویر به صورت بی‌درنگ است. در این تمرین قسمت هسته پردازشی بایستی طراحی شود که یک تصویر را دریافت و خروجی متناظر تشخیص لبه را ایجاد کند. تشخیص لبه یکی از عملیات پایه در پردازش تصویر است که تغییرات ناگهانی در شدت پیکسل‌ها را شناسایی می‌کند. الگوریتم‌های رایج برای تشخیص لبه شامل فیلتر Prewitt, Sobel و Canny هستند. نمونه خروجی تشخیص لبه در تصویر زیر آورده شده است:



بسمه تعالی
طراحی سیستم‌های قابل بازپیکربندی
نیمسال اول ۱۴۰۳-۱۴۰۴
تمرین اول



تحويل در روز سه‌شنبه مورخ ۱۴۰۳/۰۸/۲۲



در این تمرین بایستی تصویر از قسمت PS برای پردازش به قسمت PL ارسال شود و نتایج به قسمت PS جهت نمایش بازگشت داده شود. برای شبیه‌سازی می‌توان قسمت PL را با داده ورودی از طریق Testbench مورد آزمایش قرار داد. برای ورودی، از یک تصویر که شماره دانشجویی شما بر روی آن نوشته شده استفاده نمایید. توضیح کامل نحوه پیاده‌سازی و ایجاد ورودی و خروجی‌ها را در گزارش اضافه کنید و همچنین فایل پروژه خود را با فرمت ZIP در سامانه بارگذاری کنید. برای الگو گرفتن از یک کد نمونه می‌توانید از لینک زیر استفاده نمایید :

https://github.com/JeffreySamuel/canny_edge_detection_in_FPGA

همچنین الگوگرفتن از کدهای مشابه با ارجاع به منبع، منعی ندارد.