

Міністерство освіти і науки України
Національний Технічний Університет України «КПІ»
Факультет електроніки
Кафедра конструювання електронно-обчислювальної апаратури

Завдання на ДКР
З курсу «Обчислювальні та мікропроцесорні засоби в радіоелектронній
апаратурі -1»
Тема: «Периферійний модуль IWDG»

Затвердив
Ходнев Т.А.

Виконав Харчук В.М.
студент 3 курсу
групи ДК-72

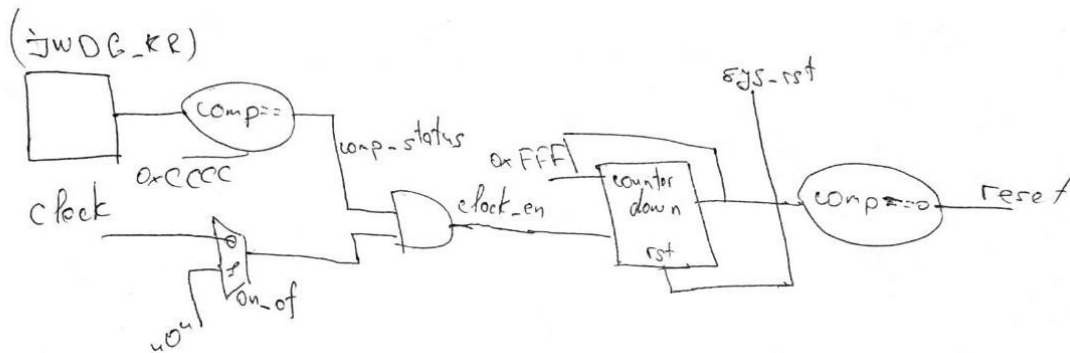
Київ – 2019

Завдання:

Створити модуль який визначав чи не відбулося в ядрі помилок, які б зупинили його роботу. При наявності зависання, подавати сигнал перезапуску.

Хід роботи:

Аналогічна периферія реалізована в МК STM32, тому було вирішено робити все по аналогії. В даташиті на МК блок схеми не було, тому було вирішено для зручності її створити, рисунок прикладено.

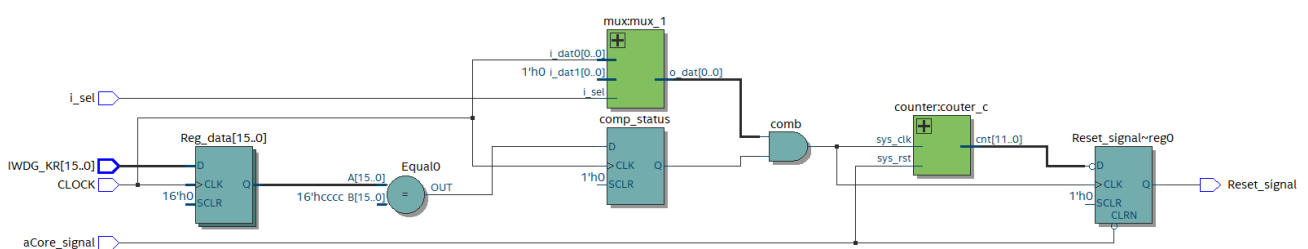


Основна ідея полягає в тому, що якщо мікроконтролер функціонує правильно, він подасть сигнал скидання на лічильник, і рахунок почнеться заново. Якщо ж цього не відбудеться, то лічильник дійшовши до нуля. Згенерує сигнал скидання, який піде на ядро.

В периферії присутній регістр, IWDG_KR, якщо в нього записати значення 0xCCCC, то лічильник почне свою роботу. Мультіплексор, керує ввімкненням/вимкненням роботи Watchdog. При виконанні двох умов роботи, завдяки елементу "AND" на лічильник буде подаватись тактова частота, і він почне свою роботу. Відповідно при досягненні 0, буде згенеровано сигнал скидання.

Посилання на репозисторій з модулем : https://github.com/M0rel/kpi-computer-architecture-course/tree/rgr/dk72_kharchuk/rgr

Готовий модуль, має таку RTL схему :



Висновок

Створено периферію, яка контролює «зависання» ядра. Проект було написано на мові Verilog. На ній же створено допоміжні модулі лічильника та мультиплексора. В ідеалі реальний модуль має тактуватись від окремого RC генератора або кварцу, та для тестового проекту, це не критично.