

Міністерство освіти і науки України  
Національний Технічний Університет України «КПІ»  
Факультет електроніки  
Кафедра конструювання електронно-обчислювальної апаратури

Завдання на ДКР  
З курсу «Обчислювальні та мікропроцесорні засоби в радіоелектронній  
апаратурі -1»  
Тема: «Периферійний модуль IWDG»

Затвердив  
Ходнев Т.А.

Виконав Харчук В.М.  
студент 3 курсу  
групи ДК-72

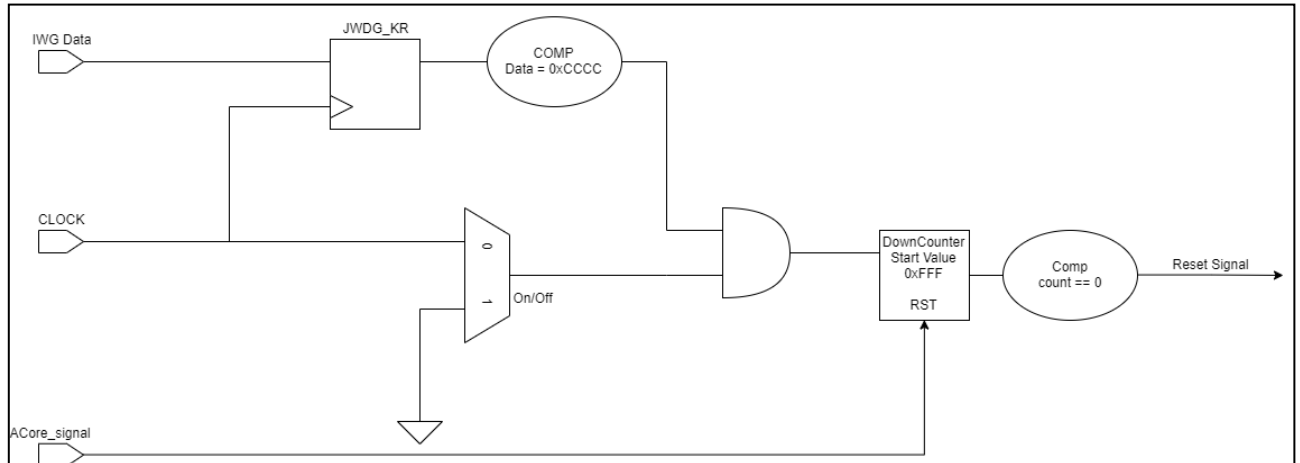
Київ – 2019

## Завдання:

Створити модуль який визначав чи не відбулося в ядрі помилок, які б зупинили його роботу. При наявності зависання, подавати сигнал перезапуску.

## Хід роботи:

Аналогічна периферія реалізована в МК STM32, тому було вирішено робити все по аналогії. В даташиті на контролер блок схеми, не було тому для зручності було створено власну, рисунок прикладено нижче.

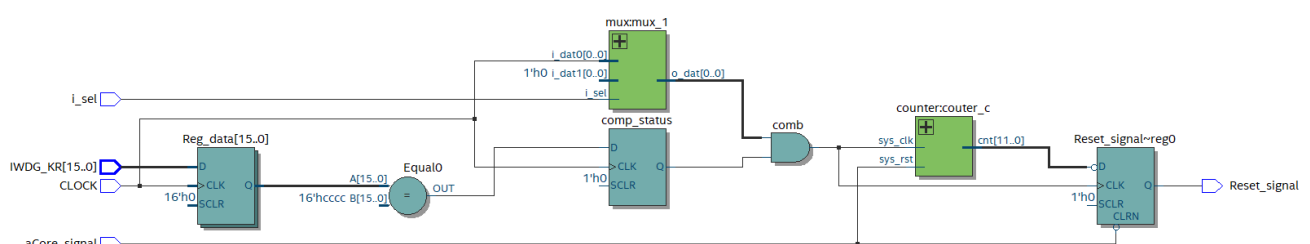


Основна ідея полягає в тому, що якщо мікроконтролер функціонує правильно, він подасть сигнал скидання на лічильник, і рахунок почнеться заново. Якщо ж цього не відбудеться, то лічильник дійшовши до нуля, згенерує сигнал скидання, який піде на ядро.

В периферії присутній регістр, IWDG\_KR, якщо в нього записати значення 0xCCCC, то лічильник почне свою роботу. Мультиплексор, керує ввімкненням/вимкненням роботи Watchdog. При виконанні двох умов роботи, завдяки елементу “AND” на лічильник буде подаватись тактова частота, і він почне свою роботу. Відповідно при досягненні 0, буде згенеровано сигнал скидання.

Посилання на репозисторій з модулем : [https://github.com/M0rel/kpi-computer-architecture-course/tree/rgr/dk72\\_kharchuk/rgr](https://github.com/M0rel/kpi-computer-architecture-course/tree/rgr/dk72_kharchuk/rgr)

Готовий модуль, має таку RTL схему :



## Висновки

Було створено модуль IWDG, який контролює чи не зупинилось наше ядро. IWDG це повністю незалежний модуль, тобто остання на його працездатність ніяк не впливає. На мові Verilog було створено допоміжні модулі лічильника та мультиплексора. Задано умови роботи цієї периферії а саме: наявність в регістрі IWDG\_KR значення рівному 0хCCCC, а також наявності на керуючому вході мультиплексору сигналу лог. «0» (ВКЛ).

Було отримано модуль який включає в себе 20 регістрів та 7 логічних елементів. Оцінивши кількість використаних елементів можна сказати що модуль є досить простим, відповідно і місця на платі займає мало. Це дозволяє використовувати пристрій при обмеженій кількості ресурсів, або в навчальних цілях, та й в комерційних проектах середнього рівня.

Для тактування IWDG необхідний сигнал невеликої частоти, порядку 40кГц. Хоча це беззмістовно, та модуль може тактуватись від максимальної частотою в 396.2МГц.

В даному прикладі, тактування має приходити з зовнішнього RC генератора, та краще поставити кварцовий резонатор, так як його тактова частота мало залежить від зовнішніх чинників, таких як температура чи вологість в місці використання. Також можна додати можливість, зміни часу очікування сигналу з ядра (Початкове значення лічильника). Це дасть нам можливість більш гнучкого керування модулем. Знаючи що при більш спеціалізованих операціях, на обчислення ядру може знадобитись більше часу ніж в середньому, ми позбудемось некоректних перезавантажень. Також для підвищення енергоефективності можна додати можливість опитування модуля по перериванню, звичайно, перед тим синхронізувавши все з вхідною частотою. Також за потреби можна додати регістр та певний дільник частоти. Така комбінація логіки за потреби дозволить, ще більш гнучко керувати модулем. В залежності від значень що записані в регістрі керування, буде змінюватись вхідна частота модуля.