

# 컴퓨터 공학 기초 실험2 보고서

실험제목: Shifter & Counter

실험일자: 2023년 10월 18일 (수)

제출일자: 2023년 10월 18일 (수)

학 과: 컴퓨터정보공학부

담당교수: 이혁준 교수님

실습분반: 수요일 0, 1, 2

학 번: 2022202075

성 명: 우나륜

## 1. 제목 및 목적

### A. 제목

Shifter & Counter

### B. 목적

Register에 저장되어 있는 정보를 이동시키는 Shifter와 펄스 신호에 따라 정해진 순서대로 상태의 변이가 진행되는 Counter의 원리에 대해 이해하고 이를 Verilog를 통해 구현할 수 있다. D Flip-flop과 combinational logic 설계 방법을 응용하여 counter와 shifter 등 sequential logic을 설계하는 데 목적을 둔다.

## 2. 원리(배경지식)

### 1. Finite State Machine (FSM)

FSM은 논리회로를 설계하는 데 사용되는 수학적 모델로, Moore FSM과 Mealy FSM 두 가지 종류가 존재한다.

### 2. Moore FSM

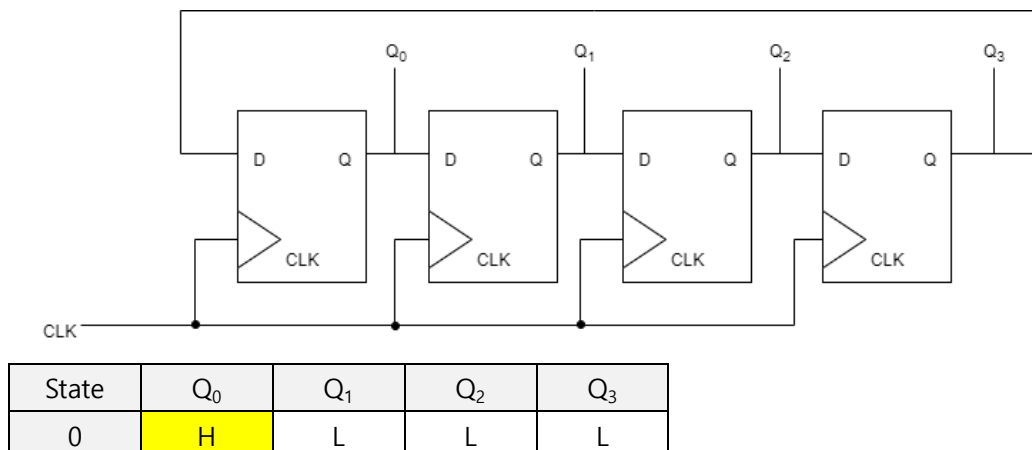
Moore FSM은 현재 상태만으로 다음 상태를 결정하는 방법이다. 이런 Moore FSM은 상태가 변경될 때만 출력이 변경되는 방식이기에 단순하고 출력이 안정적이라는 장점이 있다. 하지만 출력이 상태 변경에 동기화되므로 출력 동기화가 어렵다.

### 3. Mealy FSM

Mealy FSM은 현재 상태와 입력들로 다음 상태를 결정하는 방법이다. 이런 Mealy FSM은 상태와 입력들에 따라 출력을 실시간으로 제어할 수 있다. 하지만 Moore FSM보다 디자인이 복잡하고 출력이 상태 전이와 함께 변경되므로 출력이 불안정하다.

### 4. Ring counter

Ring counter는 shift register와 유사한 동작을 수행하지만 특정 패턴을 순환하는 데 사용되는 디자인이다. 입력된 데이터는 clock pulse마다 한 칸씩 이동하게 된다. 아래의 그림은 간단한 4-bit ring counter의 회로도를 나타낸 그림이다.



1	L	H	L	L
2	L	L	H	L
3	L	L	L	H
0	H	L	L	L
1	L	H	L	L
2	L	L	H	L
3	L	L	L	H

표. 4-bit ring counter truth table

위의 표는 4-bit ring counter의 진리표를 나타낸 것이다. Ring counter는 N개의 상태로 구성되고 하나의 상태가 활성화되면 다음 상태로 순환한다. 이러한 ring counter는 타이밍 신호 생성, shift register, 주파수 분할과 같은 다양한 분야에서 사용될 수 있다. 그리고 간단한 logic gate를 사용하여 구현할 수 있어 디자인이 비교적 단순하다는 장점이 있다.

### 3. 설계 세부사항

#### 1. Register8

Operation	encoding	기능
NOP	3'b000	현재 register의 값 그대로 출력
LOAD	3'b001	입력값을 register에 할당
LSL	3'b010	Shift amount만큼 logic shift left 수행
LSR	3'b011	Shift amount만큼 logic shift right 수행
ASR	3'b100	Shift amount만큼 arithmetic shift right 수행

표. Encoding states

위의 표는 shifter8 module에 사용되는 기능들을 정리한 것이다. NOP는 아무런 연산 없이 현재 register에 저장된 값을 그대로 출력한다. LOAD는 입력값을 register에 저장한다. LSL은 Logic Shift Left의 약어로, 입력받은 shift amount만큼 왼쪽으로 비트를 옮긴다. LSR은 Logic Shift Right의 약어로, 입력받은 shift amount만큼 오른쪽으로 비트를 옮긴다. ASR은 Arithmetic Shift Right의 약어로, 입력받은 shift amount만큼 오른쪽으로 비트를 옮기지만, 이전의 MSB의 값과 옮긴 이후 결과값의 MSB의 값은 같다.

구분	이름	설명
Top module	shifter8	8-bit loadable shifter의 top module
Sub module	LSL8	8-bit logical shift left module
Sub module	LSR8	8-bit logical shift right module
Sub module	ASR8	8-bit arithmetic shift right module
Sub module	mx4	1-bit 4-to-1 multiplexer
Sub module	mx2	1-bit 2-to-1 multiplexer

Sub module	_register8	8-bit register
Sub module	_dff_r	Resettable D Flip-Flop
Sub module	cc_logic	Output을 나타내는 logic module

표. Module Configuration

위의 표는 shifter8 module에 사용된 sub module을 나열한 것이다. Top module은 shifter8이며 sub module로 LSL8, LSR8, ASR8, mx4, mx2, \_register8, \_dff\_r, cc\_logic을 선언하였다.

Module 이름	구분	이름	비트 수	설명
shifter8	Input	clk	1-bit	Clock
		reset_n		Active-low에 동작하는 reset 신호
		op	3-bit	operation으로 NOP, LSL, LSR, ASR 중 하나를 선택함
		shamt	2-bit	Shift amount로 0~3까지의 값을 가짐
		d_in	8-bit	Data in
	Output	d_out	8-bit	Result
LSL8 LSR8 ASR8	Input	d_in	8-bit	Data in
		shamt	2-bit	Shift amount
	output	d_out	8-bit	Result
mx4	Input	d0	1-bit	MUX의 1번째 data
		d1		MUX의 2번째 data
		d2		MUX의 3번째 data
		d3		MUX의 4번째 data
		s	2-bit	MUX의 선택 신호
	Output	y	1-bit	MUX의 result
cc_logic	Input	op	3-bit	Operation code
		shamt	2-bit	Shift amount
		d_in	8-bit	Data in
		d_out	8-bit	Data out
	output	d_next	8-bit	Result

표. I/O configuration of shifter

위의 표는 몇 가지 주요 module들의 input과 output을 정리한 표이다.

## 2. Counter8

Operation	encoding	기능
IDLE_STATE	3'b000	초기 상태
LOAD_STATE	3'b001	Register에 값 저장

INC_STATE	3'b010	d_out의 값에 1을 더함
INC2_STATE	3'b011	
DEC_STATE	3'b100	d_out의 값에 1을 뺌
SEC2_STATE	3'b101	

표. Encoding states

Module 이름	구분	이름	비트 수	설명
shifter8	Input	clk	1-bit	Clock
		reset_n		Active-low에 동작하는 reset 신호
		load	3-bit	operation으로 NOP, LSL, LSR, ASR 중 하나를 선택함
		inc	2-bit	Shift amount로 0~3까지의 값을 가짐
		d_in	8-bit	Data in
	Output	d_out	8-bit	Result
		o_state	3-bit	현재 state의 값 출력
cla8	Input	a	8-bit	CLA의 입력 a
		b		CLA의 입력 b
		ci		CLA의 입력 carry in
	Output	s	8-bit	CLA의 출력 s
		co	1-bit	CLA의 출력 carry out

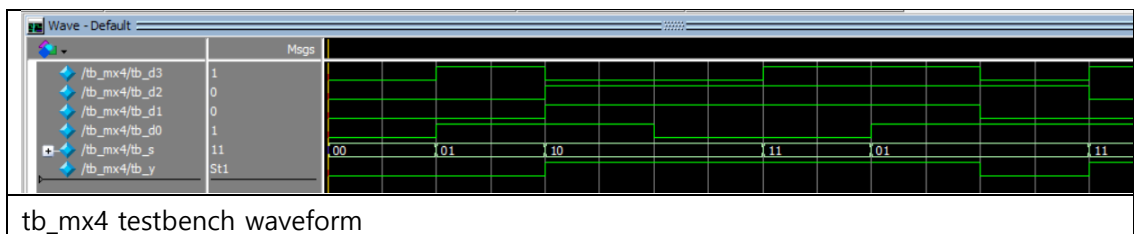
표. I/O configuration of counter

위의 표는 주요 module shifter8과 cla8의 input과 output을 정리한 표이다.

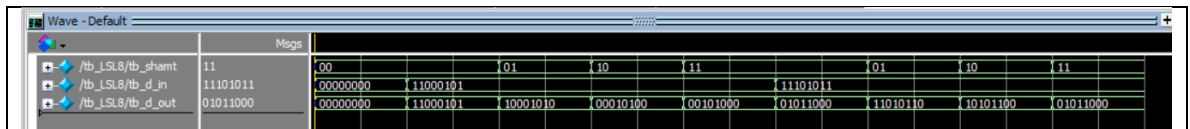
#### 4. 설계 검증 및 실험 결과

##### A. 시뮬레이션 결과

##### 1. Shifter

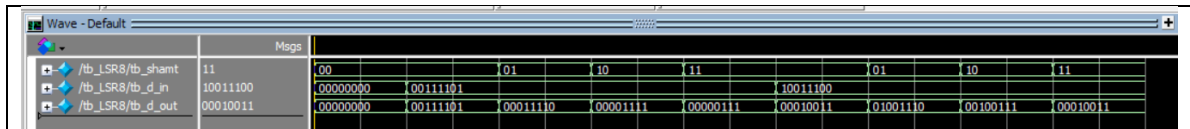


위의 waveform은 mx4 testbench의 결과 화면이다. 선택 신호가 00일 때는 d0를 선택하고 01일 때는 d1을 선택하고 10일 때는 d2를 선택하고 11일 때는 d3을 선택한다.



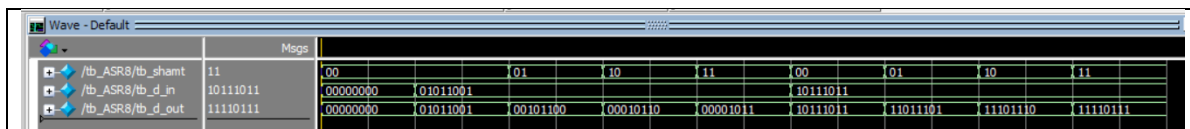
tb\_LSL8 testbench waveform

위의 waveform은 LSL8 testbench의 결과 화면이다. 각 결과값이 shift amount의 값에 따라 알맞게 비트가 이동된 것을 확인할 수 있다.



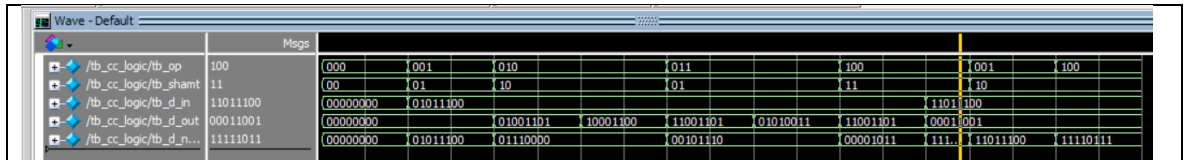
tb\_LSR8 testbench waveform

위의 waveform은 LSR8 testbench의 결과 화면이다. 각 결과값이 shift amount의 값에 따라 알맞게 비트가 이동된 것을 확인할 수 있다.



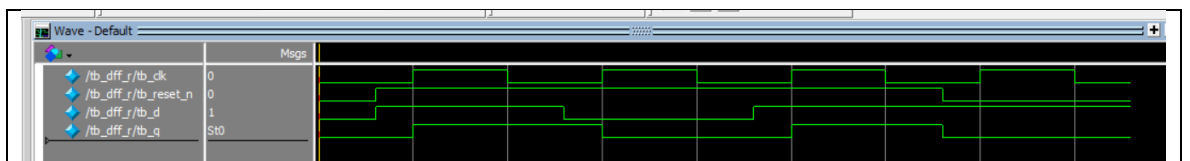
tb\_ASR8 testbench waveform

위의 waveform은 ASR8 testbench의 결과 화면이다. 각 결과값이 shift amount의 값에 따라 알맞게 비트가 이동된 것을 확인할 수 있다. MSB의 값이 1이면 ASR을 수행한 후에도 MSB의 값이 1인 것을 알 수 있다.



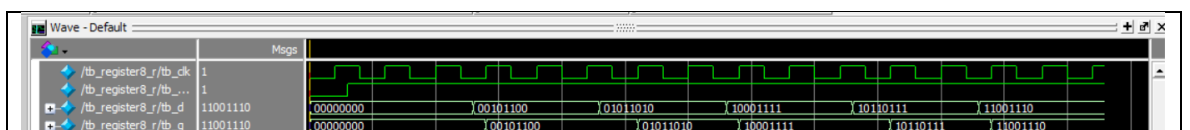
tb\_cc\_logic testbench waveform

위의 waveform은 cc\_logic testbench의 결과 화면이다. 각 결과값이 operation과 tb\_d\_in의 값에 따라 결과값이 알맞게 나오는 것을 확인할 수 있다.



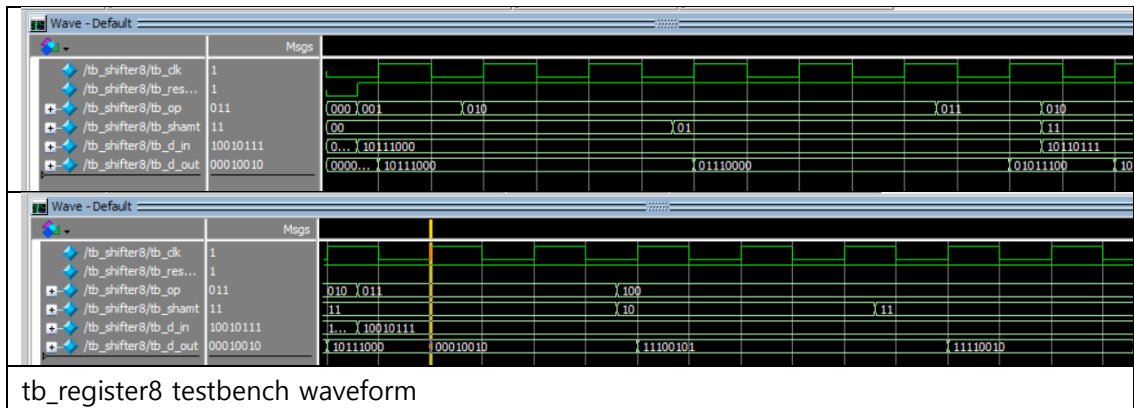
tb\_dff\_r testbench waveform

위의 waveform은 \_dff\_r testbench의 결과 화면이다. Clock의 rising edge에서 q의 값이 d의 값을 가지는 것을 확인할 수 있다.



tb\_register8\_r testbench waveform

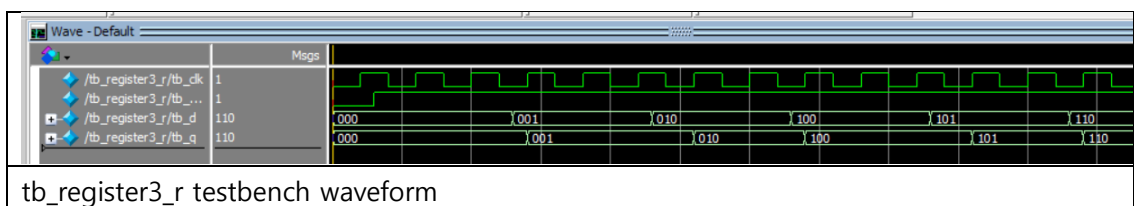
위의 waveform은 \_register8\_r testbench의 결과 화면이다. Register에 값을 저장한 뒤 다음의 clock의 rising edge에서 이전의 입력값을 결과값이 가지는 것을 확인할 수 있다.



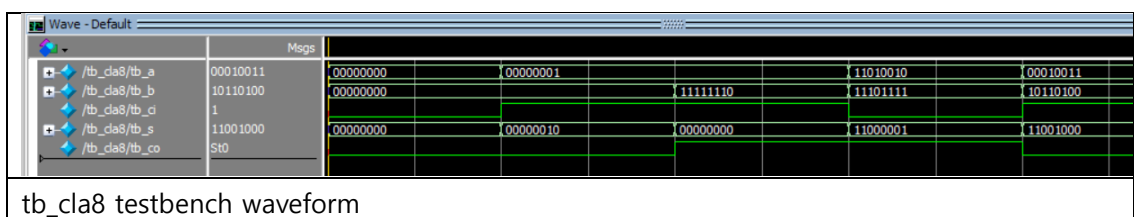
0ns때에 모든 입력들의 값이 0으로 초기화되고 3ns에  $op=3'b001$ ,  $tb\_d\_in=8'b10110000$ 으로 초기화하였다. 리셋은  $tb\_reset\_n$ 으로 설정되어 있으므로 1일 때 0으로 되어 동작하게 된다. 맨 처음 clock의 rising edge에서 001은 LOAD 명령어이므로 register에  $tb\_d\_in$ 의 값이 저장되어  $tb\_d\_out$ 의 값과  $tb\_d\_in$ 의 값이 같은 것을 확인할 수 있다.  $op=3'b010$ 일 때 LSL기능이지만  $shamt$ 의 값이 0으로 초기화되어 있으므로 이전과 같은 값을 갖는다. 4번째 clock의 rising edge 전에  $shamt$ 의 값이 01로 바뀌므로 왼쪽으로 1비트씩 밀리고 빈 자리는 0으로 채워졌다.  $op=3'b011$ 일 때 LSR기능이고 제대로 수행된 것을 확인할 수 있다.  $op=3'b010$ ,  $shamt=2'b11$ ,  $tb\_d\_in=8'b10110111$ 로 초기화된 후 LSL 기능을 수행하면 3비트씩 밀려  $tb\_d\_out=8'b10111000$ 가 된다.

다음은  $shamt=3'b11$ 일 때  $tb\_d\_in$ 의 값은 이전과 동일하고 연산만 LSR로 바꾸어 연산하면 오른쪽으로 3비트 밀린 것을 알 수 있다.  $op=3'b100$ ,  $shamt=2'b10$ 이 되면 ASR연산이므로 오른쪽으로 2비트 이동한다. 하지만 ASR에서 비트를 옮긴 뒤에 부호는 이전의 값과 동일해야 하므로 MSB의 값이 1인 것을 확인할 수 있다. 이후에  $shamt=2'b11$ 로 바꾼 뒤의 ASR 결과값의 MSB도 연산 전의 MSB의 값과 동일하는 것을 확인할 수 있다.

## 2. Counter

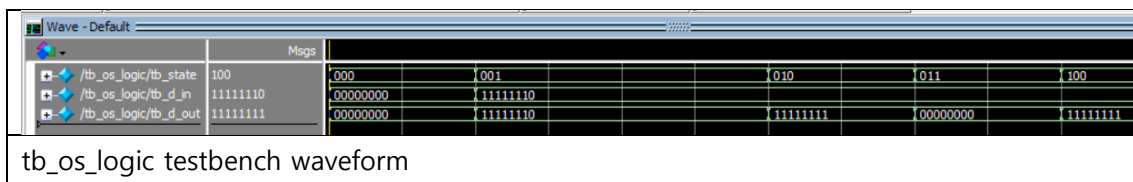


위의 waveform은  $\_register3\_r$  testbench의 결과 화면이다. 입력된 값이 clock의 rising edge에서 출력되는 결과값과 같은 것을 보아 알맞게 저장되었다는 것을 알 수 있다.

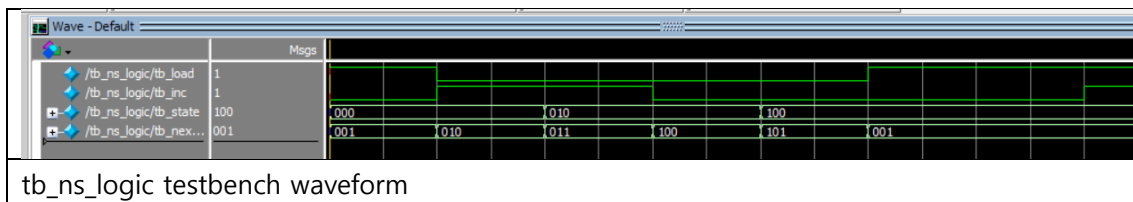


위의 waveform은  $cla8$  testbench의 결과 화면이다. 각 비트 연산에 대해 연산이 알맞

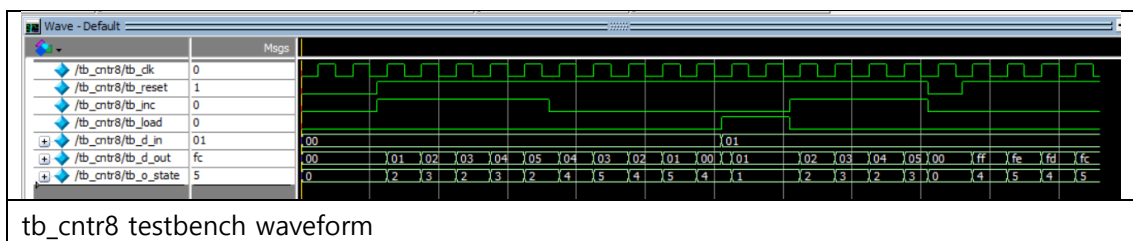
게 수행된 것을 확인할 수 있다. 예를 들어,  $tb\_a = 000000001$ ,  $tb\_b = 11111110$ ,  $tb\_ci = 1$ 일 때 결과값으로  $tb\_s = 00000000$ ,  $tb\_co = 1$ 로 결과값이 알맞다.



위의 waveform은 os\_logic testbench의 결과 화면이다. 현재 state에 따라 입력된  $tb\_d\_in$ 에 알맞은 연산이 수행되어 출력된 것을 확인할 수 있다.



위의 waveform은 ns\_logic testbench의 결과 화면이다. 입력값 load와 inc의 값에 따라 next state가 결정되는 것을 확인할 수 있다. Load의 값이 1이면 상태는 001로 돌아간다. Load=0이고 inc의 값이 1이면 INC\_STATE로 이동하고 이때 inc의 값이 1이 되면 INC2\_STATE의 상태가 된다. Inc가 0이 되면 DEC\_STATE가 되고, 그 다음에도 inc=0이면 DEC2\_STATE가 된다.

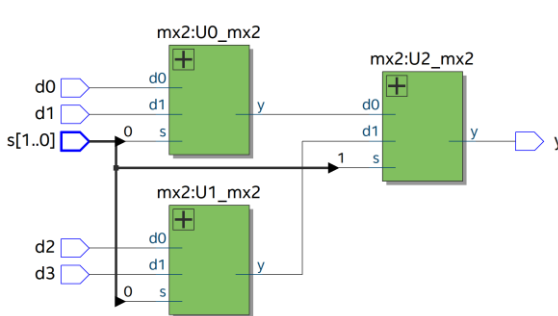


위의 waveform은 cntr8 testbench의 결과 화면이다. Load=1이면 LOAD\_STATE가 되고 load=0, inc=1이 되는 동안 010, 011의 상태가 번갈아가면서 결과값에 1씩 더해진다. Inc의 값이 0이 되면 100, 101상태가 번갈아가면서 결과값에 1씩 빼진다.

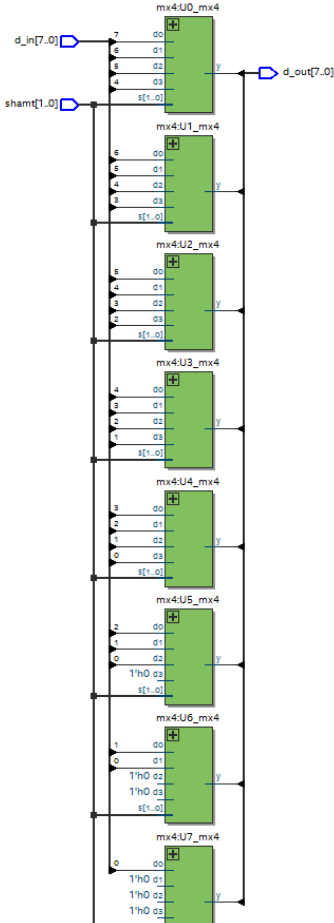
## B. 합성(synthesis) 결과



## 1. Shifter

<p><b>Flow Summary</b></p> <p>&lt;&lt;Filter&gt;&gt;</p> <table> <tr> <td>Flow Status</td><td>Successful - Tue Oct 17 21:47:13 2023</td></tr> <tr> <td>Quartus Prime Version</td><td>18.1.0 Build 625 09/12/2018 SJ Lite Edition</td></tr> <tr> <td>Revision Name</td><td>shifter8</td></tr> <tr> <td>Top-level Entity Name</td><td>mx4</td></tr> <tr> <td>Family</td><td>Cyclone V</td></tr> <tr> <td>Device</td><td>5CSXFC6D6F31C6</td></tr> <tr> <td>Timing Models</td><td>Final</td></tr> <tr> <td>Logic utilization (in ALMs)</td><td>2 / 41,910 (&lt; 1 %)</td></tr> <tr> <td>Total registers</td><td>0</td></tr> <tr> <td>Total pins</td><td>7 / 499 (1 %)</td></tr> <tr> <td>Total virtual pins</td><td>0</td></tr> <tr> <td>Total block memory bits</td><td>0 / 5,662,720 (0 %)</td></tr> <tr> <td>Total DSP Blocks</td><td>0 / 112 (0 %)</td></tr> <tr> <td>Total HSSI RX PCSs</td><td>0 / 9 (0 %)</td></tr> <tr> <td>Total HSSI PMA RX Deserializers</td><td>0 / 9 (0 %)</td></tr> <tr> <td>Total HSSI TX PCSs</td><td>0 / 9 (0 %)</td></tr> <tr> <td>Total HSSI PMA TX Serializers</td><td>0 / 9 (0 %)</td></tr> <tr> <td>Total PLLs</td><td>0 / 15 (0 %)</td></tr> <tr> <td>Total DLLs</td><td>0 / 4 (0 %)</td></tr> </table>	Flow Status	Successful - Tue Oct 17 21:47:13 2023	Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Lite Edition	Revision Name	shifter8	Top-level Entity Name	mx4	Family	Cyclone V	Device	5CSXFC6D6F31C6	Timing Models	Final	Logic utilization (in ALMs)	2 / 41,910 (< 1 %)	Total registers	0	Total pins	7 / 499 (1 %)	Total virtual pins	0	Total block memory bits	0 / 5,662,720 (0 %)	Total DSP Blocks	0 / 112 (0 %)	Total HSSI RX PCSs	0 / 9 (0 %)	Total HSSI PMA RX Deserializers	0 / 9 (0 %)	Total HSSI TX PCSs	0 / 9 (0 %)	Total HSSI PMA TX Serializers	0 / 9 (0 %)	Total PLLs	0 / 15 (0 %)	Total DLLs	0 / 4 (0 %)	
Flow Status	Successful - Tue Oct 17 21:47:13 2023																																						
Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Lite Edition																																						
Revision Name	shifter8																																						
Top-level Entity Name	mx4																																						
Family	Cyclone V																																						
Device	5CSXFC6D6F31C6																																						
Timing Models	Final																																						
Logic utilization (in ALMs)	2 / 41,910 (< 1 %)																																						
Total registers	0																																						
Total pins	7 / 499 (1 %)																																						
Total virtual pins	0																																						
Total block memory bits	0 / 5,662,720 (0 %)																																						
Total DSP Blocks	0 / 112 (0 %)																																						
Total HSSI RX PCSs	0 / 9 (0 %)																																						
Total HSSI PMA RX Deserializers	0 / 9 (0 %)																																						
Total HSSI TX PCSs	0 / 9 (0 %)																																						
Total HSSI PMA TX Serializers	0 / 9 (0 %)																																						
Total PLLs	0 / 15 (0 %)																																						
Total DLLs	0 / 4 (0 %)																																						
mx4 module flow summary	mx4 module RTL viewer																																						

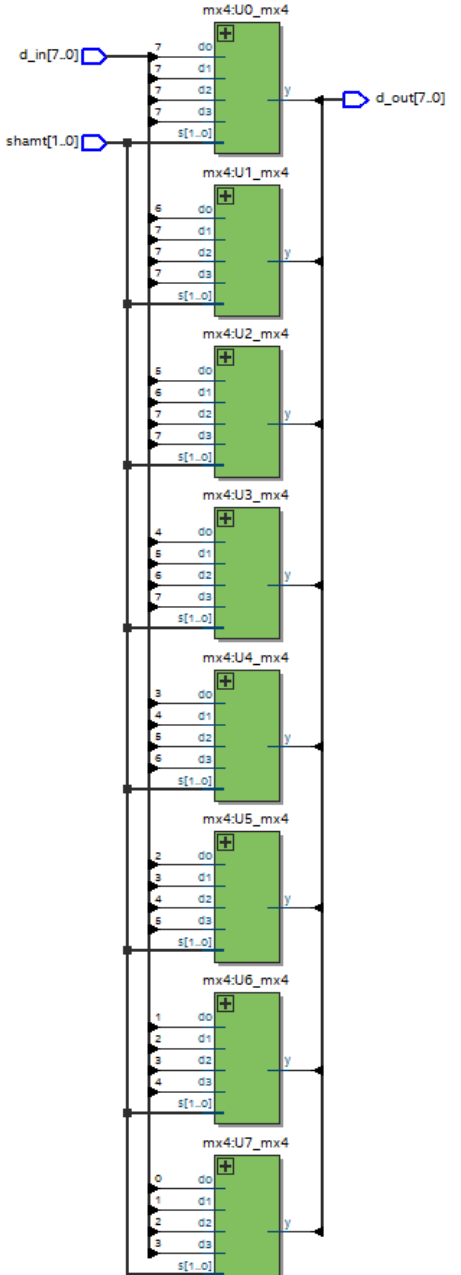
mx4 module에서 logic utilization은 2로 1% 미만이고 pins는 7로 1% 사용되었다. RTL viewer를 통해 mx2가 3개 사용된 것을 확인할 수 있다.

<p><b>Flow Summary</b></p> <p>&lt;&lt;Filter&gt;&gt;</p> <table> <tr> <td>Flow Status</td><td>Successful - Tue Oct 17 21:56:52 2023</td></tr> <tr> <td>Quartus Prime Version</td><td>18.1.0 Build 625 09/12/2018 SJ Lite Edition</td></tr> <tr> <td>Revision Name</td><td>shifter8</td></tr> <tr> <td>Top-level Entity Name</td><td>LSL8</td></tr> <tr> <td>Family</td><td>Cyclone V</td></tr> <tr> <td>Device</td><td>5CSXFC6D6F31C6</td></tr> <tr> <td>Timing Models</td><td>Final</td></tr> <tr> <td>Logic utilization (in ALMs)</td><td>8 / 41,910 (&lt; 1 %)</td></tr> <tr> <td>Total registers</td><td>0</td></tr> <tr> <td>Total pins</td><td>18 / 499 (4 %)</td></tr> <tr> <td>Total virtual pins</td><td>0</td></tr> <tr> <td>Total block memory bits</td><td>0 / 5,662,720 (0 %)</td></tr> <tr> <td>Total DSP Blocks</td><td>0 / 112 (0 %)</td></tr> <tr> <td>Total HSSI RX PCSs</td><td>0 / 9 (0 %)</td></tr> <tr> <td>Total HSSI PMA RX Deserializers</td><td>0 / 9 (0 %)</td></tr> <tr> <td>Total HSSI TX PCSs</td><td>0 / 9 (0 %)</td></tr> <tr> <td>Total HSSI PMA TX Serializers</td><td>0 / 9 (0 %)</td></tr> <tr> <td>Total PLLs</td><td>0 / 15 (0 %)</td></tr> <tr> <td>Total DLLs</td><td>0 / 4 (0 %)</td></tr> </table>	Flow Status	Successful - Tue Oct 17 21:56:52 2023	Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Lite Edition	Revision Name	shifter8	Top-level Entity Name	LSL8	Family	Cyclone V	Device	5CSXFC6D6F31C6	Timing Models	Final	Logic utilization (in ALMs)	8 / 41,910 (< 1 %)	Total registers	0	Total pins	18 / 499 (4 %)	Total virtual pins	0	Total block memory bits	0 / 5,662,720 (0 %)	Total DSP Blocks	0 / 112 (0 %)	Total HSSI RX PCSs	0 / 9 (0 %)	Total HSSI PMA RX Deserializers	0 / 9 (0 %)	Total HSSI TX PCSs	0 / 9 (0 %)	Total HSSI PMA TX Serializers	0 / 9 (0 %)	Total PLLs	0 / 15 (0 %)	Total DLLs	0 / 4 (0 %)	
Flow Status	Successful - Tue Oct 17 21:56:52 2023																																						
Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Lite Edition																																						
Revision Name	shifter8																																						
Top-level Entity Name	LSL8																																						
Family	Cyclone V																																						
Device	5CSXFC6D6F31C6																																						
Timing Models	Final																																						
Logic utilization (in ALMs)	8 / 41,910 (< 1 %)																																						
Total registers	0																																						
Total pins	18 / 499 (4 %)																																						
Total virtual pins	0																																						
Total block memory bits	0 / 5,662,720 (0 %)																																						
Total DSP Blocks	0 / 112 (0 %)																																						
Total HSSI RX PCSs	0 / 9 (0 %)																																						
Total HSSI PMA RX Deserializers	0 / 9 (0 %)																																						
Total HSSI TX PCSs	0 / 9 (0 %)																																						
Total HSSI PMA TX Serializers	0 / 9 (0 %)																																						
Total PLLs	0 / 15 (0 %)																																						
Total DLLs	0 / 4 (0 %)																																						
LSL8 module flow summary	LSL8 module RTL viewer																																						

LSL8 module에서 logic utilization은 8로 1% 미만이고 pins는 18로 4% 사용되었다. RTL viewer를 통해 mx4가 8개 사용된 것을 확인할 수 있다.

<div data-bbox="304 882 919 1438"> <p><b>Flow Summary</b></p> <p>&lt;&lt;Filter&gt;&gt;</p> <table> <tr> <td>Flow Status</td><td>Successful - Tue Oct 17 22:03:31 2023</td></tr> <tr> <td>Quartus Prime Version</td><td>18.1.0 Build 625 09/12/2018 SJ Lite Edition</td></tr> <tr> <td>Revision Name</td><td>shifter8</td></tr> <tr> <td>Top-level Entity Name</td><td>LSR8</td></tr> <tr> <td>Family</td><td>Cyclone V</td></tr> <tr> <td>Device</td><td>5CSXFC6D6F31C6</td></tr> <tr> <td>Timing Models</td><td>Final</td></tr> <tr> <td>Logic utilization (in ALMs)</td><td>7 / 41,910 ( &lt; 1 % )</td></tr> <tr> <td>Total registers</td><td>0</td></tr> <tr> <td>Total pins</td><td>18 / 499 ( 4 % )</td></tr> <tr> <td>Total virtual pins</td><td>0</td></tr> <tr> <td>Total block memory bits</td><td>0 / 5,662,720 ( 0 % )</td></tr> <tr> <td>Total DSP Blocks</td><td>0 / 112 ( 0 % )</td></tr> <tr> <td>Total HSSI RX PCSs</td><td>0 / 9 ( 0 % )</td></tr> <tr> <td>Total HSSI PMA RX Deserializers</td><td>0 / 9 ( 0 % )</td></tr> <tr> <td>Total HSSI TX PCSs</td><td>0 / 9 ( 0 % )</td></tr> <tr> <td>Total HSSI PMA TX Serializers</td><td>0 / 9 ( 0 % )</td></tr> <tr> <td>Total PLLs</td><td>0 / 15 ( 0 % )</td></tr> <tr> <td>Total DLLs</td><td>0 / 4 ( 0 % )</td></tr> </table> </div>	Flow Status	Successful - Tue Oct 17 22:03:31 2023	Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Lite Edition	Revision Name	shifter8	Top-level Entity Name	LSR8	Family	Cyclone V	Device	5CSXFC6D6F31C6	Timing Models	Final	Logic utilization (in ALMs)	7 / 41,910 ( < 1 % )	Total registers	0	Total pins	18 / 499 ( 4 % )	Total virtual pins	0	Total block memory bits	0 / 5,662,720 ( 0 % )	Total DSP Blocks	0 / 112 ( 0 % )	Total HSSI RX PCSs	0 / 9 ( 0 % )	Total HSSI PMA RX Deserializers	0 / 9 ( 0 % )	Total HSSI TX PCSs	0 / 9 ( 0 % )	Total HSSI PMA TX Serializers	0 / 9 ( 0 % )	Total PLLs	0 / 15 ( 0 % )	Total DLLs	0 / 4 ( 0 % )	
Flow Status	Successful - Tue Oct 17 22:03:31 2023																																						
Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Lite Edition																																						
Revision Name	shifter8																																						
Top-level Entity Name	LSR8																																						
Family	Cyclone V																																						
Device	5CSXFC6D6F31C6																																						
Timing Models	Final																																						
Logic utilization (in ALMs)	7 / 41,910 ( < 1 % )																																						
Total registers	0																																						
Total pins	18 / 499 ( 4 % )																																						
Total virtual pins	0																																						
Total block memory bits	0 / 5,662,720 ( 0 % )																																						
Total DSP Blocks	0 / 112 ( 0 % )																																						
Total HSSI RX PCSs	0 / 9 ( 0 % )																																						
Total HSSI PMA RX Deserializers	0 / 9 ( 0 % )																																						
Total HSSI TX PCSs	0 / 9 ( 0 % )																																						
Total HSSI PMA TX Serializers	0 / 9 ( 0 % )																																						
Total PLLs	0 / 15 ( 0 % )																																						
Total DLLs	0 / 4 ( 0 % )																																						
LSR8 module flow summary	LSR8 module RTL viewer																																						

LSR8 module에서 logic utilization은 7로 1% 미만이고 pins는 18로 4% 사용되었다.  
RTL viewer를 통해 mx4가 8개 사용된 것을 확인할 수 있다.

<div data-bbox="300 965 865 1503"> <p><b>Flow Summary</b></p> <p>&lt;&lt;Filter&gt;&gt;</p> <table> <tr> <td>Flow Status</td><td>Successful - Tue Oct 17 22:08:55 2023</td></tr> <tr> <td>Quartus Prime Version</td><td>18.1.0 Build 625 09/12/2018 SJ Lite Edition</td></tr> <tr> <td>Revision Name</td><td>shifter8</td></tr> <tr> <td>Top-level Entity Name</td><td>ASR8</td></tr> <tr> <td>Family</td><td>Cyclone V</td></tr> <tr> <td>Device</td><td>5CSXFC6D6F31C6</td></tr> <tr> <td>Timing Models</td><td>Final</td></tr> <tr> <td>Logic utilization (in ALMs)</td><td>7 / 41,910 ( &lt; 1 % )</td></tr> <tr> <td>Total registers</td><td>0</td></tr> <tr> <td>Total pins</td><td>18 / 499 ( 4 % )</td></tr> <tr> <td>Total virtual pins</td><td>0</td></tr> <tr> <td>Total block memory bits</td><td>0 / 5,662,720 ( 0 % )</td></tr> <tr> <td>Total DSP Blocks</td><td>0 / 112 ( 0 % )</td></tr> <tr> <td>Total HSSI RX PCSs</td><td>0 / 9 ( 0 % )</td></tr> <tr> <td>Total HSSI PMA RX Deserializers</td><td>0 / 9 ( 0 % )</td></tr> <tr> <td>Total HSSI TX PCSs</td><td>0 / 9 ( 0 % )</td></tr> <tr> <td>Total HSSI PMA TX Serializers</td><td>0 / 9 ( 0 % )</td></tr> <tr> <td>Total PLLs</td><td>0 / 15 ( 0 % )</td></tr> <tr> <td>Total DLLs</td><td>0 / 4 ( 0 % )</td></tr> </table> </div>	Flow Status	Successful - Tue Oct 17 22:08:55 2023	Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Lite Edition	Revision Name	shifter8	Top-level Entity Name	ASR8	Family	Cyclone V	Device	5CSXFC6D6F31C6	Timing Models	Final	Logic utilization (in ALMs)	7 / 41,910 ( < 1 % )	Total registers	0	Total pins	18 / 499 ( 4 % )	Total virtual pins	0	Total block memory bits	0 / 5,662,720 ( 0 % )	Total DSP Blocks	0 / 112 ( 0 % )	Total HSSI RX PCSs	0 / 9 ( 0 % )	Total HSSI PMA RX Deserializers	0 / 9 ( 0 % )	Total HSSI TX PCSs	0 / 9 ( 0 % )	Total HSSI PMA TX Serializers	0 / 9 ( 0 % )	Total PLLs	0 / 15 ( 0 % )	Total DLLs	0 / 4 ( 0 % )	
Flow Status	Successful - Tue Oct 17 22:08:55 2023																																						
Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Lite Edition																																						
Revision Name	shifter8																																						
Top-level Entity Name	ASR8																																						
Family	Cyclone V																																						
Device	5CSXFC6D6F31C6																																						
Timing Models	Final																																						
Logic utilization (in ALMs)	7 / 41,910 ( < 1 % )																																						
Total registers	0																																						
Total pins	18 / 499 ( 4 % )																																						
Total virtual pins	0																																						
Total block memory bits	0 / 5,662,720 ( 0 % )																																						
Total DSP Blocks	0 / 112 ( 0 % )																																						
Total HSSI RX PCSs	0 / 9 ( 0 % )																																						
Total HSSI PMA RX Deserializers	0 / 9 ( 0 % )																																						
Total HSSI TX PCSs	0 / 9 ( 0 % )																																						
Total HSSI PMA TX Serializers	0 / 9 ( 0 % )																																						
Total PLLs	0 / 15 ( 0 % )																																						
Total DLLs	0 / 4 ( 0 % )																																						
ASR8 module flow summary	ASR8 module RTL viewer																																						

ASR8 module에서 logic utilization은 7로 1% 미만이고 pins는 18로 4% 사용되었다.  
RTL viewer를 통해 mx4가 8개 사용된 것을 확인할 수 있다.

Flow Summary	
<<Filter>>	
Flow Status	Successful - Tue Oct 17 22:28:00 2023
Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Lite Edition
Revision Name	shifter8
Top-level Entity Name	cc_logic
Family	Cyclone V
Device	5CSXFC6D6F31C6
Timing Models	Final
Logic utilization (in ALMs)	23 / 41,910 (< 1 %)
Total registers	0
Total pins	29 / 499 ( 6 %)
Total virtual pins	0
Total block memory bits	0 / 5,662,720 ( 0 %)
Total DSP Blocks	0 / 112 ( 0 %)
Total HSSI RX PCSs	0 / 9 ( 0 %)
Total HSSI PMA RX Deserializers	0 / 9 ( 0 %)
Total HSSI TX PCSs	0 / 9 ( 0 %)
Total HSSI PMA TX Serializers	0 / 9 ( 0 %)
Total PLLs	0 / 15 ( 0 %)
Total DLLs	0 / 4 ( 0 %)

cc\_logic module flow summary

cc\_logic module RTL viewer

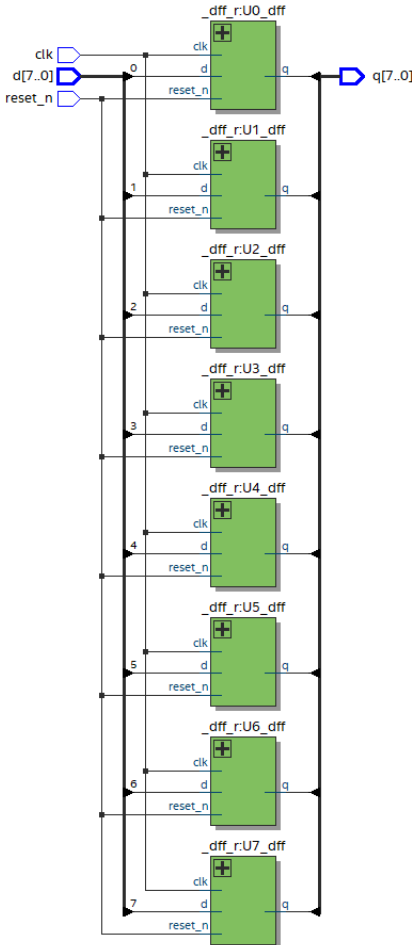
cc\_logic module에서 logic utilization은 23로 1% 미만이고 pins는 29로 6% 사용되었다. RTL viewer를 통해 mx4가 8개와 LSL, LSR, ASR가 1개씩 사용된 것을 확인할 수 있다.

Flow Summary	
<<Filter>>	
Flow Status	Successful - Tue Oct 17 22:44:51 2023
Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Lite Edition
Revision Name	shifter8
Top-level Entity Name	_dff_r
Family	Cyclone V
Device	5CSXFC6D6F31C6
Timing Models	Final
Logic utilization (in ALMs)	1 / 41,910 (< 1 %)
Total registers	1
Total pins	4 / 499 (< 1 %)
Total virtual pins	0
Total block memory bits	0 / 5,662,720 ( 0 %)
Total DSP Blocks	0 / 112 ( 0 %)
Total HSSI RX PCSs	0 / 9 ( 0 %)
Total HSSI PMA RX Deserializers	0 / 9 ( 0 %)
Total HSSI TX PCSs	0 / 9 ( 0 %)
Total HSSI PMA TX Serializers	0 / 9 ( 0 %)
Total PLLs	0 / 15 ( 0 %)
Total DLLs	0 / 4 ( 0 %)

\_dff\_r module flow summary

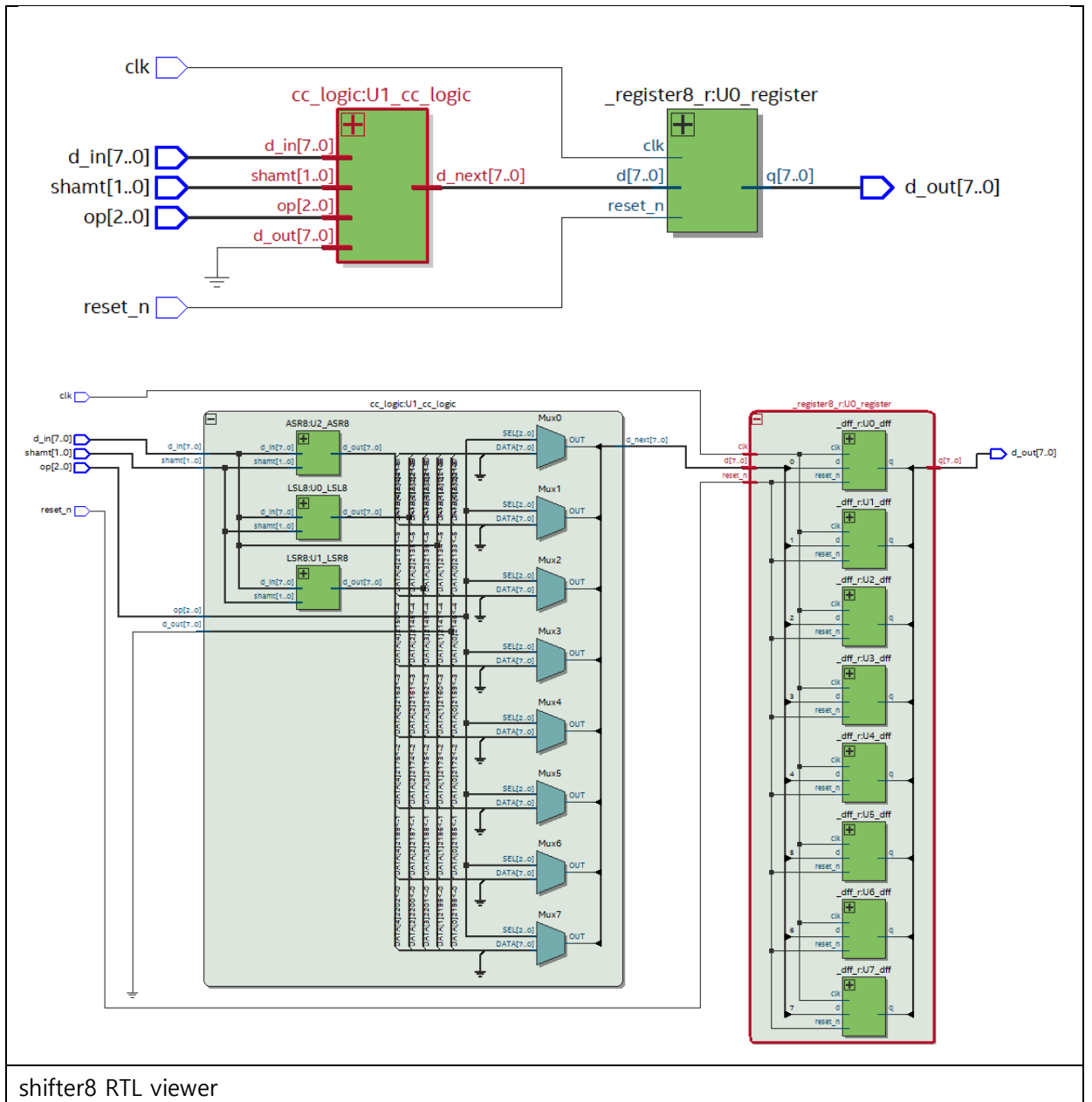
\_dff\_r module RTL viewer

\_dff\_r module에서 logic utilization은 1로 1% 미만이고 pins는 4로 1%미만, register는 1개 사용되었다. RTL viewer를 통해 mx4가 8개 사용된 것을 확인할 수 있다.

<div data-bbox="300 645 879 1189"> <h3>Flow Summary</h3> <p>&lt;&lt;Filter&gt;&gt;</p> <table> <tr> <td>Flow Status</td><td>Successful - Tue Oct 17 22:53:51 2023</td></tr> <tr> <td>Quartus Prime Version</td><td>18.1.0 Build 625 09/12/2018 SJ Lite Edition</td></tr> <tr> <td>Revision Name</td><td>shifter8</td></tr> <tr> <td>Top-level Entity Name</td><td>_register8_r</td></tr> <tr> <td>Family</td><td>Cyclone V</td></tr> <tr> <td>Device</td><td>5CSXFC6D6F31C6</td></tr> <tr> <td>Timing Models</td><td>Final</td></tr> <tr> <td>Logic utilization (in ALMs)</td><td>3 / 41,910 ( &lt; 1 % )</td></tr> <tr> <td>Total registers</td><td>8</td></tr> <tr> <td>Total pins</td><td>18 / 499 ( 4 % )</td></tr> <tr> <td>Total virtual pins</td><td>0</td></tr> <tr> <td>Total block memory bits</td><td>0 / 5,662,720 ( 0 % )</td></tr> <tr> <td>Total DSP Blocks</td><td>0 / 112 ( 0 % )</td></tr> <tr> <td>Total HSSI RX PCSs</td><td>0 / 9 ( 0 % )</td></tr> <tr> <td>Total HSSI PMA RX Deserializers</td><td>0 / 9 ( 0 % )</td></tr> <tr> <td>Total HSSI TX PCSs</td><td>0 / 9 ( 0 % )</td></tr> <tr> <td>Total HSSI PMA TX Serializers</td><td>0 / 9 ( 0 % )</td></tr> <tr> <td>Total PLLs</td><td>0 / 15 ( 0 % )</td></tr> <tr> <td>Total DLLs</td><td>0 / 4 ( 0 % )</td></tr> </table> </div>	Flow Status	Successful - Tue Oct 17 22:53:51 2023	Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Lite Edition	Revision Name	shifter8	Top-level Entity Name	_register8_r	Family	Cyclone V	Device	5CSXFC6D6F31C6	Timing Models	Final	Logic utilization (in ALMs)	3 / 41,910 ( < 1 % )	Total registers	8	Total pins	18 / 499 ( 4 % )	Total virtual pins	0	Total block memory bits	0 / 5,662,720 ( 0 % )	Total DSP Blocks	0 / 112 ( 0 % )	Total HSSI RX PCSs	0 / 9 ( 0 % )	Total HSSI PMA RX Deserializers	0 / 9 ( 0 % )	Total HSSI TX PCSs	0 / 9 ( 0 % )	Total HSSI PMA TX Serializers	0 / 9 ( 0 % )	Total PLLs	0 / 15 ( 0 % )	Total DLLs	0 / 4 ( 0 % )	
Flow Status	Successful - Tue Oct 17 22:53:51 2023																																						
Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Lite Edition																																						
Revision Name	shifter8																																						
Top-level Entity Name	_register8_r																																						
Family	Cyclone V																																						
Device	5CSXFC6D6F31C6																																						
Timing Models	Final																																						
Logic utilization (in ALMs)	3 / 41,910 ( < 1 % )																																						
Total registers	8																																						
Total pins	18 / 499 ( 4 % )																																						
Total virtual pins	0																																						
Total block memory bits	0 / 5,662,720 ( 0 % )																																						
Total DSP Blocks	0 / 112 ( 0 % )																																						
Total HSSI RX PCSs	0 / 9 ( 0 % )																																						
Total HSSI PMA RX Deserializers	0 / 9 ( 0 % )																																						
Total HSSI TX PCSs	0 / 9 ( 0 % )																																						
Total HSSI PMA TX Serializers	0 / 9 ( 0 % )																																						
Total PLLs	0 / 15 ( 0 % )																																						
Total DLLs	0 / 4 ( 0 % )																																						
_register8_r module flow summary	_register8_r module RTL viewer																																						

\_register8\_r module에서 logic utilization은 3로 1% 미만이고, register는 8개, pins는 18로 4% 사용되었다. RTL viewer를 통해 mx4가 8개 사용된 것을 확인할 수 있다.

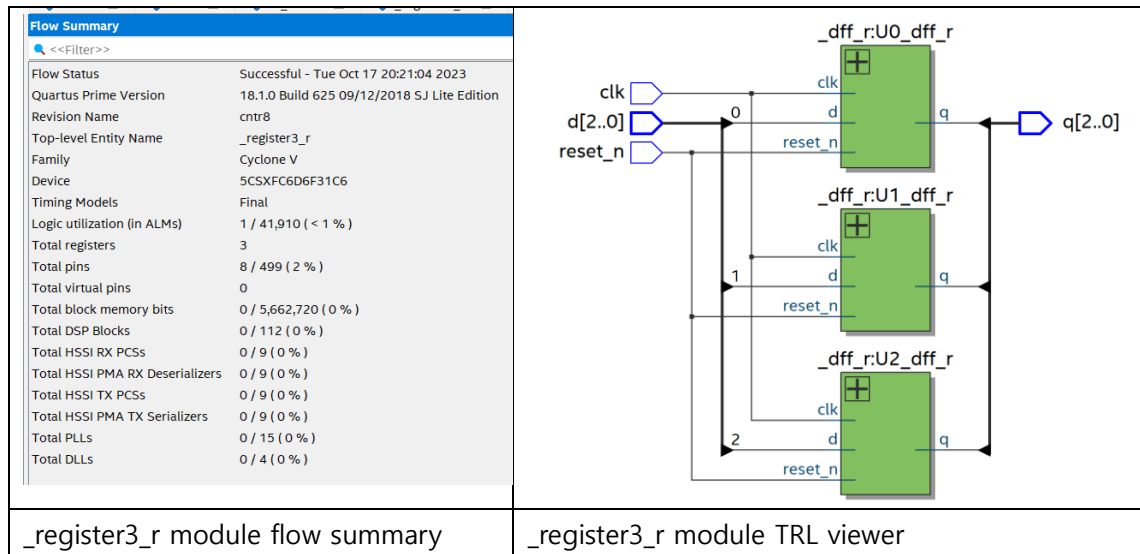
<div data-bbox="300 1355 868 1899"> <h3>Flow Summary</h3> <p>&lt;&lt;Filter&gt;&gt;</p> <table> <tr> <td>Flow Status</td><td>Successful - Tue Oct 17 14:23:09 2023</td></tr> <tr> <td>Quartus Prime Version</td><td>18.1.0 Build 625 09/12/2018 SJ Lite Edition</td></tr> <tr> <td>Revision Name</td><td>shifter8</td></tr> <tr> <td>Top-level Entity Name</td><td>shifter8</td></tr> <tr> <td>Family</td><td>Cyclone V</td></tr> <tr> <td>Device</td><td>5CSXFC6D6F31C6</td></tr> <tr> <td>Timing Models</td><td>Final</td></tr> <tr> <td>Logic utilization (in ALMs)</td><td>31 / 41,910 ( &lt; 1 % )</td></tr> <tr> <td>Total registers</td><td>8</td></tr> <tr> <td>Total pins</td><td>23 / 499 ( 5 % )</td></tr> <tr> <td>Total virtual pins</td><td>0</td></tr> <tr> <td>Total block memory bits</td><td>0 / 5,662,720 ( 0 % )</td></tr> <tr> <td>Total DSP Blocks</td><td>0 / 112 ( 0 % )</td></tr> <tr> <td>Total HSSI RX PCSs</td><td>0 / 9 ( 0 % )</td></tr> <tr> <td>Total HSSI PMA RX Deserializers</td><td>0 / 9 ( 0 % )</td></tr> <tr> <td>Total HSSI TX PCSs</td><td>0 / 9 ( 0 % )</td></tr> <tr> <td>Total HSSI PMA TX Serializers</td><td>0 / 9 ( 0 % )</td></tr> <tr> <td>Total PLLs</td><td>0 / 15 ( 0 % )</td></tr> <tr> <td>Total DLLs</td><td>0 / 4 ( 0 % )</td></tr> </table> </div>	Flow Status	Successful - Tue Oct 17 14:23:09 2023	Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Lite Edition	Revision Name	shifter8	Top-level Entity Name	shifter8	Family	Cyclone V	Device	5CSXFC6D6F31C6	Timing Models	Final	Logic utilization (in ALMs)	31 / 41,910 ( < 1 % )	Total registers	8	Total pins	23 / 499 ( 5 % )	Total virtual pins	0	Total block memory bits	0 / 5,662,720 ( 0 % )	Total DSP Blocks	0 / 112 ( 0 % )	Total HSSI RX PCSs	0 / 9 ( 0 % )	Total HSSI PMA RX Deserializers	0 / 9 ( 0 % )	Total HSSI TX PCSs	0 / 9 ( 0 % )	Total HSSI PMA TX Serializers	0 / 9 ( 0 % )	Total PLLs	0 / 15 ( 0 % )	Total DLLs	0 / 4 ( 0 % )	
Flow Status	Successful - Tue Oct 17 14:23:09 2023																																						
Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Lite Edition																																						
Revision Name	shifter8																																						
Top-level Entity Name	shifter8																																						
Family	Cyclone V																																						
Device	5CSXFC6D6F31C6																																						
Timing Models	Final																																						
Logic utilization (in ALMs)	31 / 41,910 ( < 1 % )																																						
Total registers	8																																						
Total pins	23 / 499 ( 5 % )																																						
Total virtual pins	0																																						
Total block memory bits	0 / 5,662,720 ( 0 % )																																						
Total DSP Blocks	0 / 112 ( 0 % )																																						
Total HSSI RX PCSs	0 / 9 ( 0 % )																																						
Total HSSI PMA RX Deserializers	0 / 9 ( 0 % )																																						
Total HSSI TX PCSs	0 / 9 ( 0 % )																																						
Total HSSI PMA TX Serializers	0 / 9 ( 0 % )																																						
Total PLLs	0 / 15 ( 0 % )																																						
Total DLLs	0 / 4 ( 0 % )																																						
shifter8 module flow summary																																							



shifter8 RTL viewer

Shifter8 module에서 logic utilization은 31로 1% 미만이고 register는 8개, pins는 23로 5% 사용되었다. RTL viewer를 통해 mx4가 8개 사용된 것을 확인할 수 있다.

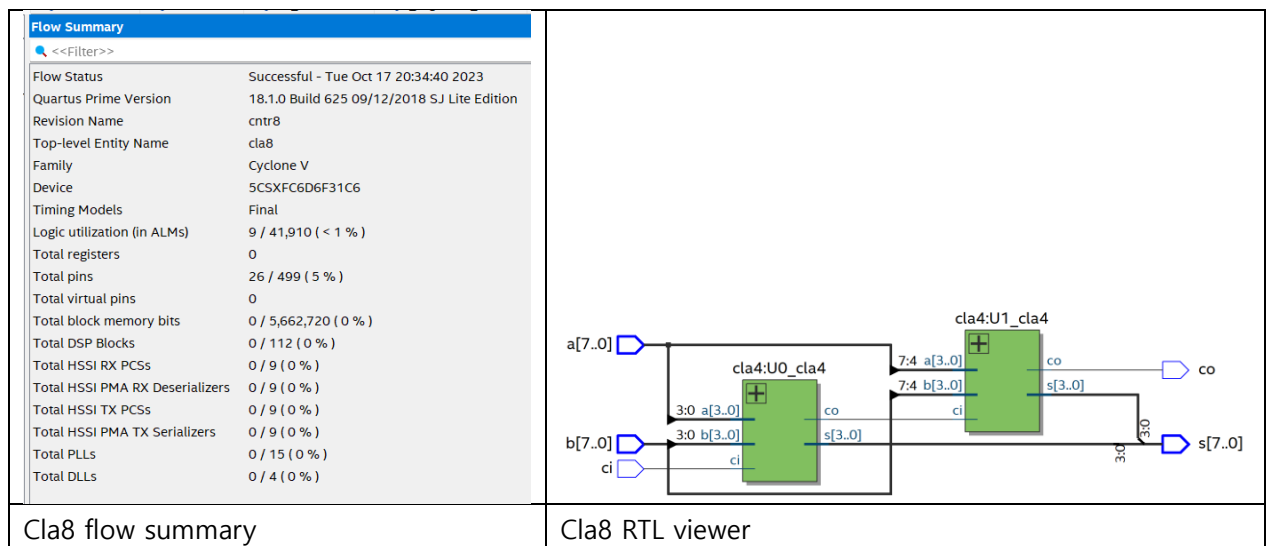
## 2. Counter



\_register3\_r module flow summary

\_register3\_r module RTL viewer

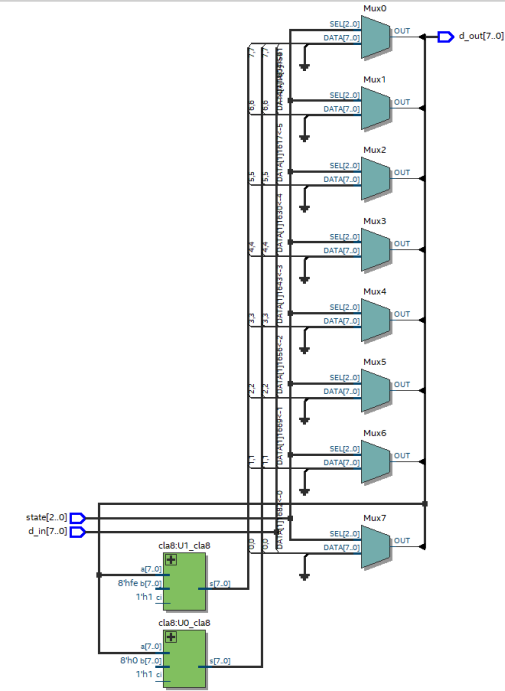
\_register3\_r module에서 logic utilization은 1로 1% 미만이고 register는 3개, pins는 8로 2% 사용되었다. RTL viewer를 통해 \_dff\_r instance가 3개 사용된 것을 확인할 수 있다.



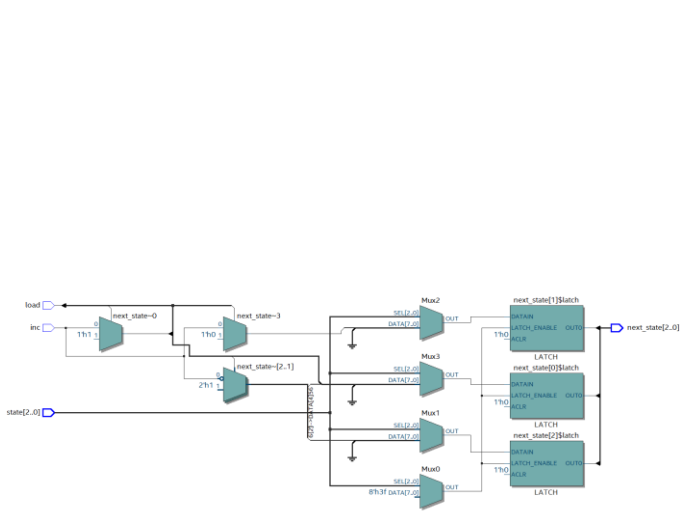
Cla8 flow summary

Cla8 RTL viewer

Cla8 module에서 logic utilization은 9로 1% 미만이고 register는 0개, pins는 26로 5% 사용되었다. RTL viewer를 통해 cla4 instance 2개가 사용된 것을 확인할 수 있다.

<div data-bbox="296 371 863 909"> <h3>Flow Summary</h3> <p>&lt;&lt;Filter&gt;&gt;</p> <table> <tr><td>Flow Status</td><td>Successful - Tue Oct 17 21:06:52 2023</td></tr> <tr><td>Quartus Prime Version</td><td>18.1.0 Build 625 09/12/2018 SJ Lite Edition</td></tr> <tr><td>Revision Name</td><td>cntr8</td></tr> <tr><td>Top-level Entity Name</td><td>os_logic</td></tr> <tr><td>Family</td><td>Cyclone V</td></tr> <tr><td>Device</td><td>5CSXFC6D6F31C6</td></tr> <tr><td>Timing Models</td><td>Final</td></tr> <tr><td>Logic utilization (in ALMs)</td><td>16 / 41,910 ( &lt; 1 % )</td></tr> <tr><td>Total registers</td><td>0</td></tr> <tr><td>Total pins</td><td>19 / 499 ( 4 % )</td></tr> <tr><td>Total virtual pins</td><td>0</td></tr> <tr><td>Total block memory bits</td><td>0 / 5,662,720 ( 0 % )</td></tr> <tr><td>Total DSP Blocks</td><td>0 / 112 ( 0 % )</td></tr> <tr><td>Total HSSI RX PCSs</td><td>0 / 9 ( 0 % )</td></tr> <tr><td>Total HSSI PMA RX Deserializers</td><td>0 / 9 ( 0 % )</td></tr> <tr><td>Total HSSI TX PCSs</td><td>0 / 9 ( 0 % )</td></tr> <tr><td>Total HSSI PMA TX Serializers</td><td>0 / 9 ( 0 % )</td></tr> <tr><td>Total PLLs</td><td>0 / 15 ( 0 % )</td></tr> <tr><td>Total DLLs</td><td>0 / 4 ( 0 % )</td></tr> </table> </div>	Flow Status	Successful - Tue Oct 17 21:06:52 2023	Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Lite Edition	Revision Name	cntr8	Top-level Entity Name	os_logic	Family	Cyclone V	Device	5CSXFC6D6F31C6	Timing Models	Final	Logic utilization (in ALMs)	16 / 41,910 ( < 1 % )	Total registers	0	Total pins	19 / 499 ( 4 % )	Total virtual pins	0	Total block memory bits	0 / 5,662,720 ( 0 % )	Total DSP Blocks	0 / 112 ( 0 % )	Total HSSI RX PCSs	0 / 9 ( 0 % )	Total HSSI PMA RX Deserializers	0 / 9 ( 0 % )	Total HSSI TX PCSs	0 / 9 ( 0 % )	Total HSSI PMA TX Serializers	0 / 9 ( 0 % )	Total PLLs	0 / 15 ( 0 % )	Total DLLs	0 / 4 ( 0 % )	
Flow Status	Successful - Tue Oct 17 21:06:52 2023																																						
Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Lite Edition																																						
Revision Name	cntr8																																						
Top-level Entity Name	os_logic																																						
Family	Cyclone V																																						
Device	5CSXFC6D6F31C6																																						
Timing Models	Final																																						
Logic utilization (in ALMs)	16 / 41,910 ( < 1 % )																																						
Total registers	0																																						
Total pins	19 / 499 ( 4 % )																																						
Total virtual pins	0																																						
Total block memory bits	0 / 5,662,720 ( 0 % )																																						
Total DSP Blocks	0 / 112 ( 0 % )																																						
Total HSSI RX PCSs	0 / 9 ( 0 % )																																						
Total HSSI PMA RX Deserializers	0 / 9 ( 0 % )																																						
Total HSSI TX PCSs	0 / 9 ( 0 % )																																						
Total HSSI PMA TX Serializers	0 / 9 ( 0 % )																																						
Total PLLs	0 / 15 ( 0 % )																																						
Total DLLs	0 / 4 ( 0 % )																																						
os_logic flow summary	os_logic RTL viewer																																						

os\_logic module에서 logic utilization은 16로 1% 미만이고 register는 0개, pins는 19로 4% 사용되었다. RTL viewer를 통해 1-bit 2-to-1 mx2가 8개, cla8 instance가 2개 사용된 것을 확인할 수 있다.

<div data-bbox="296 1133 826 1648"> <h3>Flow Summary</h3> <p>&lt;&lt;Filter&gt;&gt;</p> <table> <tr><td>Flow Status</td><td>Successful - Tue Oct 17 21:17:23 2023</td></tr> <tr><td>Quartus Prime Version</td><td>18.1.0 Build 625 09/12/2018 SJ Lite Edition</td></tr> <tr><td>Revision Name</td><td>cntr8</td></tr> <tr><td>Top-level Entity Name</td><td>ns_logic</td></tr> <tr><td>Family</td><td>Cyclone V</td></tr> <tr><td>Device</td><td>5CSXFC6D6F31C6</td></tr> <tr><td>Timing Models</td><td>Final</td></tr> <tr><td>Logic utilization (in ALMs)</td><td>4 / 41,910 ( &lt; 1 % )</td></tr> <tr><td>Total registers</td><td>0</td></tr> <tr><td>Total pins</td><td>8 / 499 ( 2 % )</td></tr> <tr><td>Total virtual pins</td><td>0</td></tr> <tr><td>Total block memory bits</td><td>0 / 5,662,720 ( 0 % )</td></tr> <tr><td>Total DSP Blocks</td><td>0 / 112 ( 0 % )</td></tr> <tr><td>Total HSSI RX PCSs</td><td>0 / 9 ( 0 % )</td></tr> <tr><td>Total HSSI PMA RX Deserializers</td><td>0 / 9 ( 0 % )</td></tr> <tr><td>Total HSSI TX PCSs</td><td>0 / 9 ( 0 % )</td></tr> <tr><td>Total HSSI PMA TX Serializers</td><td>0 / 9 ( 0 % )</td></tr> <tr><td>Total PLLs</td><td>0 / 15 ( 0 % )</td></tr> <tr><td>Total DLLs</td><td>0 / 4 ( 0 % )</td></tr> </table> </div>	Flow Status	Successful - Tue Oct 17 21:17:23 2023	Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Lite Edition	Revision Name	cntr8	Top-level Entity Name	ns_logic	Family	Cyclone V	Device	5CSXFC6D6F31C6	Timing Models	Final	Logic utilization (in ALMs)	4 / 41,910 ( < 1 % )	Total registers	0	Total pins	8 / 499 ( 2 % )	Total virtual pins	0	Total block memory bits	0 / 5,662,720 ( 0 % )	Total DSP Blocks	0 / 112 ( 0 % )	Total HSSI RX PCSs	0 / 9 ( 0 % )	Total HSSI PMA RX Deserializers	0 / 9 ( 0 % )	Total HSSI TX PCSs	0 / 9 ( 0 % )	Total HSSI PMA TX Serializers	0 / 9 ( 0 % )	Total PLLs	0 / 15 ( 0 % )	Total DLLs	0 / 4 ( 0 % )	
Flow Status	Successful - Tue Oct 17 21:17:23 2023																																						
Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Lite Edition																																						
Revision Name	cntr8																																						
Top-level Entity Name	ns_logic																																						
Family	Cyclone V																																						
Device	5CSXFC6D6F31C6																																						
Timing Models	Final																																						
Logic utilization (in ALMs)	4 / 41,910 ( < 1 % )																																						
Total registers	0																																						
Total pins	8 / 499 ( 2 % )																																						
Total virtual pins	0																																						
Total block memory bits	0 / 5,662,720 ( 0 % )																																						
Total DSP Blocks	0 / 112 ( 0 % )																																						
Total HSSI RX PCSs	0 / 9 ( 0 % )																																						
Total HSSI PMA RX Deserializers	0 / 9 ( 0 % )																																						
Total HSSI TX PCSs	0 / 9 ( 0 % )																																						
Total HSSI PMA TX Serializers	0 / 9 ( 0 % )																																						
Total PLLs	0 / 15 ( 0 % )																																						
Total DLLs	0 / 4 ( 0 % )																																						
ns_logic flow summary	ns_logic RTL viewer																																						

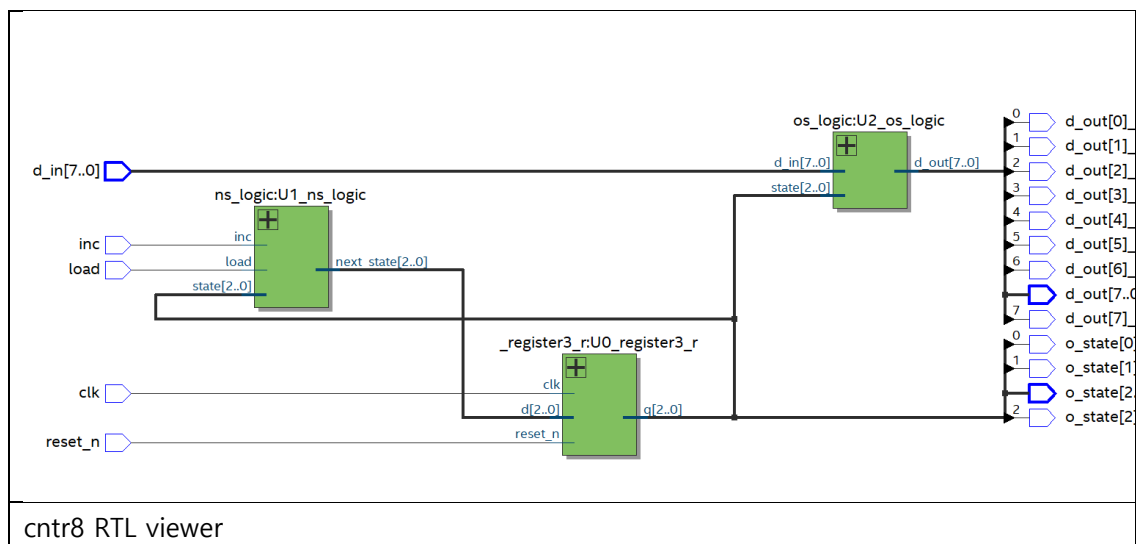
ns\_logic module에서 logic utilization은 4로 1% 미만이고 pins는 8로 2% 사용되었다. RTL viewer를 통해 그 구조를 확인할 수 있다.



Flow Summary	
<<Filter>	
Flow Status	Successful - Tue Oct 17 21:25:52 2023
Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Lite Edition
Revision Name	cntr8
Top-level Entity Name	cntr8
Family	Cyclone V
Device	5CSXFC6D6F31C6
Timing Models	Final
Logic utilization (in ALMs)	20 / 41,910 ( < 1 % )
Total registers	3
Total pins	34 / 499 ( 7 % )
Total virtual pins	0
Total block memory bits	0 / 5,662,720 ( 0 % )
Total DSP Blocks	0 / 112 ( 0 % )
Total HSSI RX PCSs	0 / 9 ( 0 % )
Total HSSI PMA RX Deserializers	0 / 9 ( 0 % )
Total HSSI TX PCSs	0 / 9 ( 0 % )
Total HSSI PMA TX Serializers	0 / 9 ( 0 % )
Total PLLs	0 / 15 ( 0 % )
Total DLLs	0 / 4 ( 0 % )

cntr8 flow summary

cntr8 module에서 logic utilization은 20로 1% 미만이고 register는 3개, pins는 34로 7% 사용되었다. 아래의 RTL viewer를 통해 ns\_logic instance, \_register3\_r instance, os\_logic instance가 각각 1개씩 사용된 것을 확인할 수 있다.



cntr8 RTL viewer

## 5. 고찰 및 결론

### A. 고찰

- Counter를 구상할 때, 덧셈과 뺄셈이 알맞게 수행되었지만 0000\_0001에서 1을 뺄셈하는 결과로 1111\_0000으로 결과값이 도출되는 문제가 발생하였다. 이는 위에서 예로 든 연산뿐만 아니라 특정 뺄셈에서 84, 82와 같이 값이 갑자기 상승하는 문제가 있었다. 이는 clb4에서 발생한 문제로 c1을 계산하는 과정에서 오류가 있어 하위 4비트에서 연산된 결과값인 carry out이 상위 4비트로 제대로 전달되지 않았기 때문이었다. 이후에 clb4를 수정하니 해결할 수 있었다.

## B. 결론

1. 강의자료에서 주어진 예시를 통해 모듈 내에서 input과 output을 정의할 때, 변수의 타입 output과 reg를 한 줄에 작성하여 사용할 수 있다는 것을 알게 되었다.
2. Loadable counter란 multiplexer없이 사용할 수 있는 카운터를 말한다. 이러한 loadable counter는 초기값을 임의로 설정할 수 있어 다양한 시작점에서 출발할 수 있고 combinational circuit의 최적화가 가능하여 회로의 면적을 줄여 비용을 줄일 수 있다는 장점이 있다.
3. ring counter는 순환하는 counter로 간단한 구조로 이루어져 있어 회로가 단순하고 decoding logic이 필요하지 않다는 장점이 있다. 하지만 일반 counter보다 flip-flop이 많이 필요하다는 단점이 있다. 이 counter는 고속 counter나 Frequency divider 및 주기적인 시그널을 생성하는 데 응용할 수 있다.
4. Barrel shifter는 combinational logic을 사용하지 않고 정해진 비트 수만큼 데이터를 이동할 수 있는 회로이다. 고정된 비트수가 제한되는 경우에서 1 사이클 안에 n비트를 이동하고 회전하는 데 자주 사용된다.
5. n-bit의 길이를 가지는 register를 n-bit만큼 shift시키고자 할 때 필요한 multiplexer의 개수는  $n \log_2(n)$ 이며 n-bit를 output으로 가지므로 대역폭은 n이 된다.

## 6. 참고문헌

- [1] FSM / <https://m.blog.naver.com/sysemicon/221403976745>
- [2] 링 카운터 / <https://blog.naver.com/lagrange0115/220730343069>
- [3] 이혁준 / 컴퓨터공학기초실험2 Lab#7-1 Counter & Shifter / 광운대학교 /2023년
- [4] Loadable counter / <https://patents.google.com/patent/KR20030078126A/ko>
- [5] barrel shifter / [https://en.wikipedia.org/wiki/Barrel\\_shifter](https://en.wikipedia.org/wiki/Barrel_shifter)