

È stato chiesto di realizzare Con l'ausilio del simulatore SPICE, progettare un Inverter CMOS che quando caricato da una capacità C_L^* abbia $t_{pHL} \sim t_{pLH} \sim 80\text{ps}$

Il valore della capacità, in femto Farad, sul nodo **vout** è stata determinata come la somma delle cifre che compongono la mia matricola

Matricola 209397

$$C_1 = 2+0+9+3+9+7 = 30\text{fF}$$

- Per tutte le simulazioni si faccia riferimento alle seguenti condizioni operative.
- $V_{DD}=3.3\text{V}$ – $L=0.5\mu\text{m}$
- NMOS: Transconduttanza $K_P=1 \cdot 10^{-4} \text{ A/V}^2$ – Tensione Soglia $V_{T0}=0.7 \text{ V}$
- PMOS: Transconduttanza $K_P=5 \cdot 10^{-5} \text{ A/V}^2$ – Tensione Soglia $V_{T0}=-0.7 \text{ V}$
- $C_{OX}=3.45 \text{ fF}/\mu\text{m}^2$

Le formule utilizzate sono le seguenti

$$t_{pHL} = \frac{C_1}{K_n' \cdot \frac{W_n}{L} \cdot V_{DD}}$$

$$t_{pLH} = \frac{C_1}{K_p' \cdot \frac{W_p}{L} \cdot V_{DD}}$$

Isolando le 2 profondità ottengo:

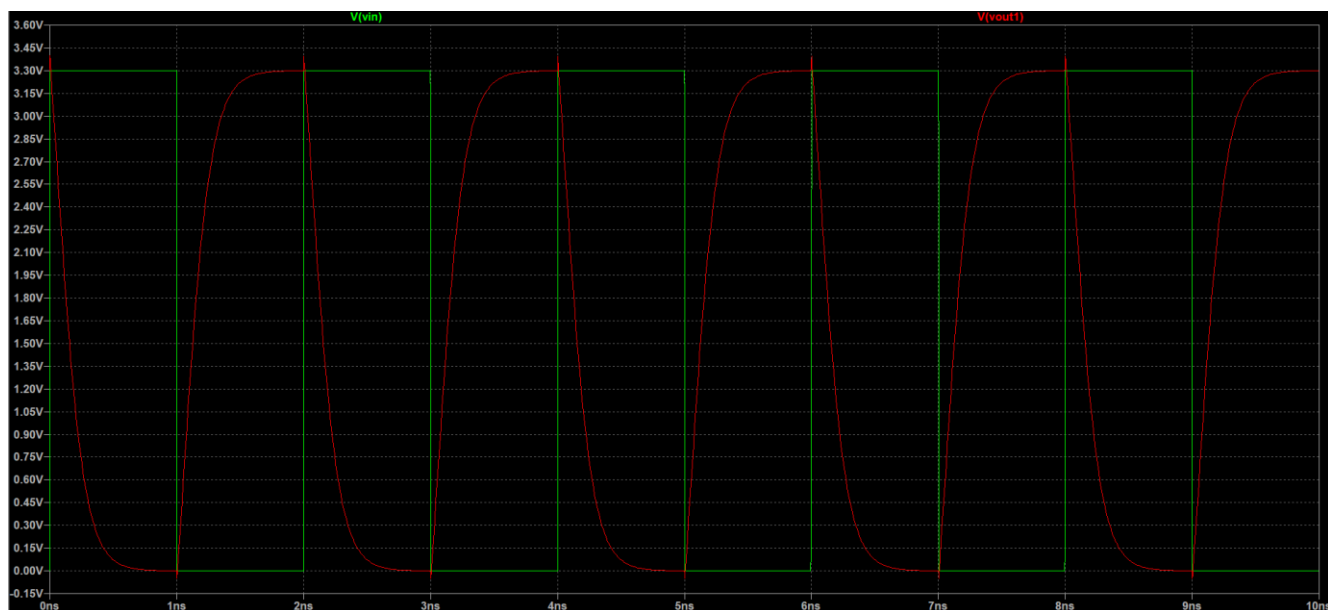
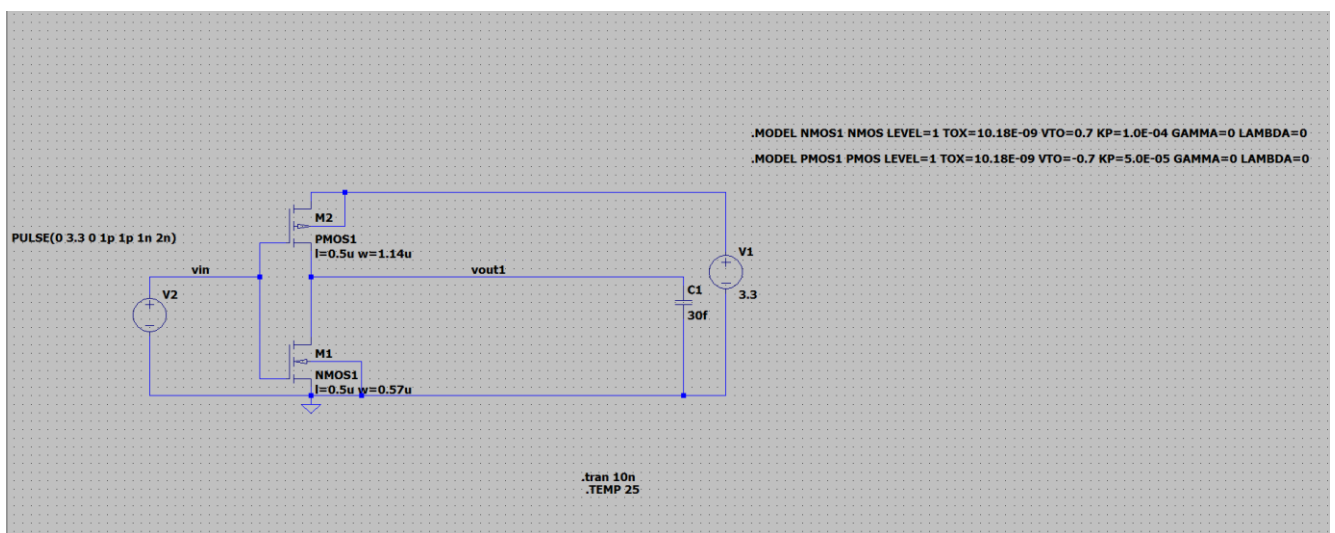
Nome: Mahmoud Mohamed Zagluol Saad. Cognome: Mohamed

Matricola: 209397

$$W_n = \frac{C1 \cdot L}{t_{pHL} \cdot VDD \cdot K_n'} = 5.6818 \cdot 10^{-7} \text{ m} = 0.56818 \mu\text{m} \approx 0.57 \mu\text{m}$$

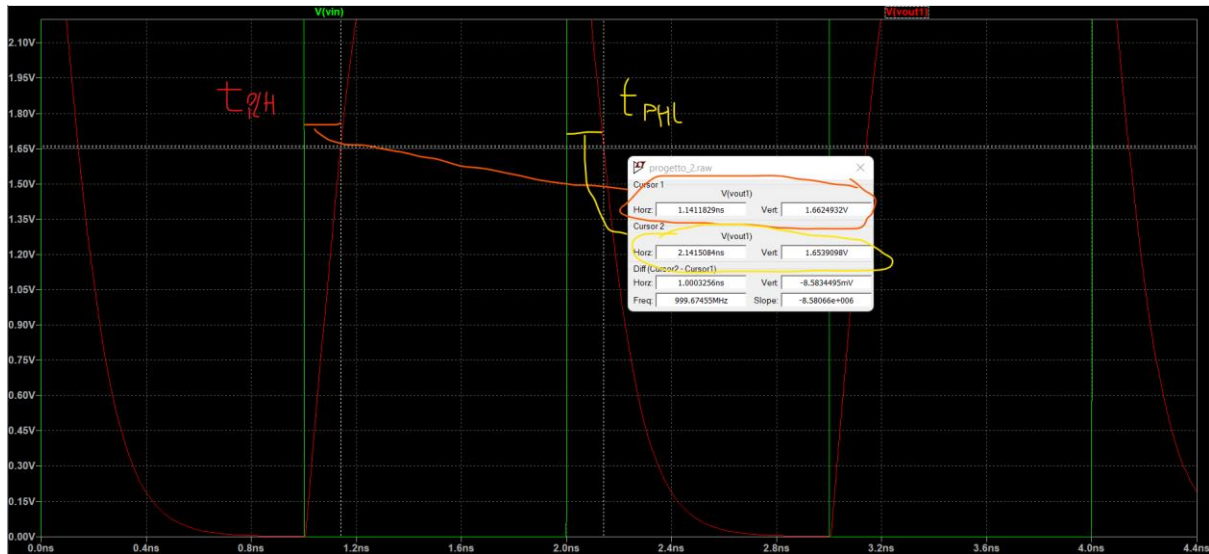
$$W_p = \frac{C1 \cdot L}{t_{pLH} \cdot VDD \cdot K_p'} = 1.13636 \cdot 10^{-6} \text{ m} = 1.13636 \mu\text{m} \approx 1.14 \mu\text{m}$$

Sono andato ad inserire nei parametri dei 2 transistor, e avvio la simulazione Per misurare i tempi di propagazione si sceglie un punto di riferimento, è stato scelto il 50% della commutazione.



Nome: Mahmoud Mohamed Zaghuol Saad. Cognome: Mohamed

Matricola: 209397



$$t_{pLH} \approx 0.141\text{ns}$$

$$t_{pHL} \approx 0.141\text{ns}$$

Inoltre dal diagramma si notano dei picchi improvvisi della vout in corrispondenza della commutazione del segnale d'ingresso, questi sono dovuti alla capacità parassita tra gate e drain dei transistor che compongono l'inverter.

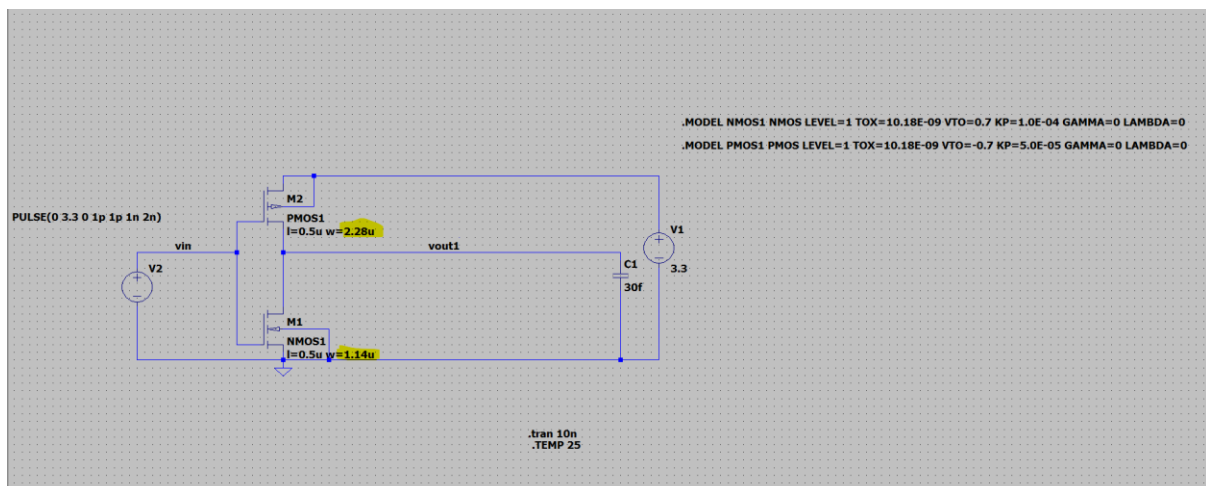
Ovviamente i tempi non coincidono con la specifica richiesta, ciò che si può fare è aumentare le profondità dei transistor in modo che il mio tempo di propagazione si abbassi, dai risultati analitici noto che il rapporto $W_p/W_n \sim 2$, ciò che ho fatto è stato aumentare le dimensioni dei transistor mantenendo invariato questo rapporto, l'invarianza del rapporto mi garantisce l'uguaglianza dei 2 tempi di propagazione.

Dopo vari tentativi ho notato che la coppia di W che garantisce un $t_{pHL} \sim t_{pLH} \sim 80\text{ps}$ è questa:

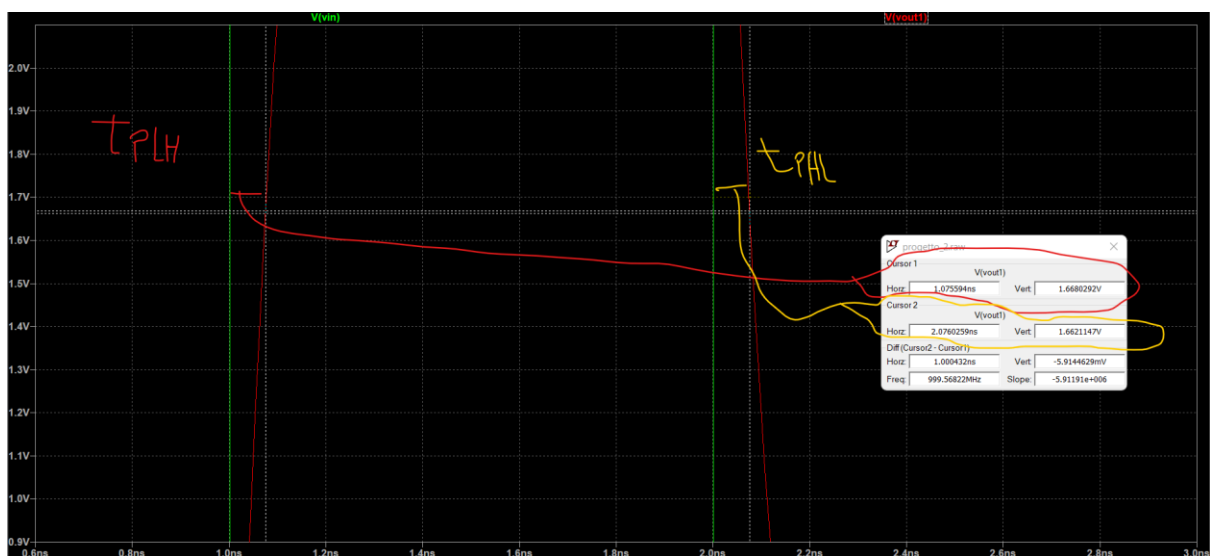
$W_p = 2.28 \text{ } \mu\text{m}$ $W_n = 1.14 \text{ } \mu\text{m}$ Quindi sono andato a sostituire le vecchie profondità all'interno del simulatore SPICE

Nome: Mahmoud Mohamed Zaghloul Saad. Cognome: Mohamed

Matricola: 209397



Vado a simulare il circuito:



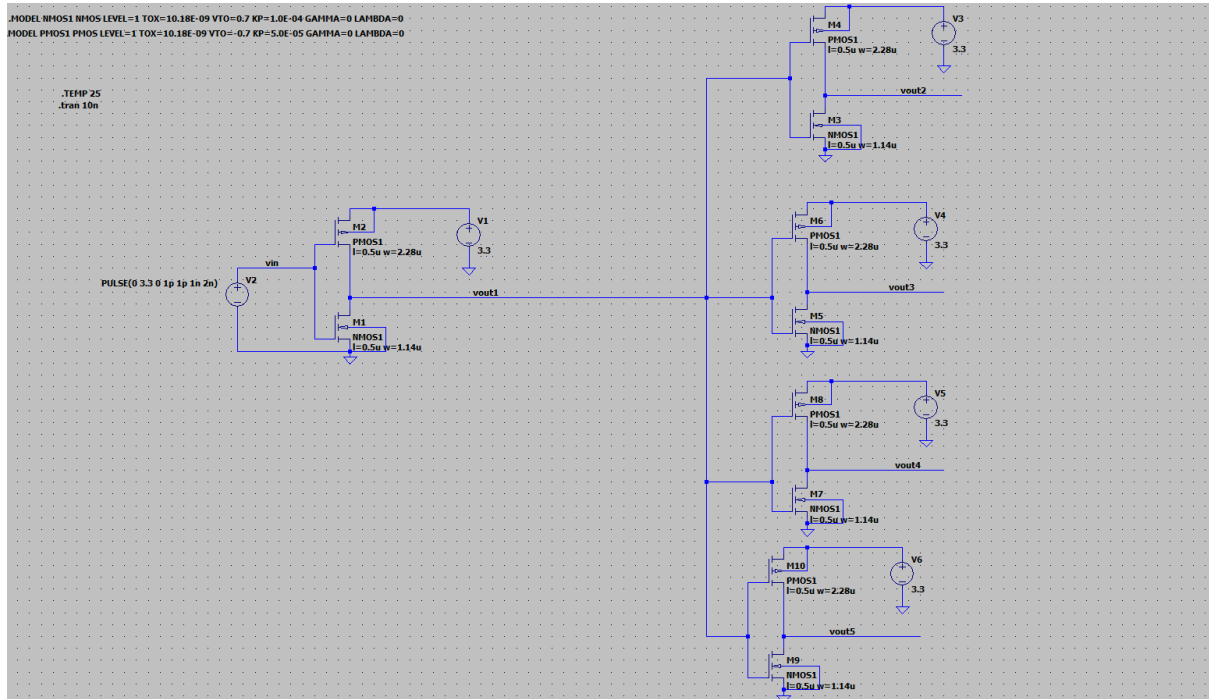
Come secondo punto

Nome: Mahmoud Mohamed Zaghloul Saad. Cognome: Mohamed

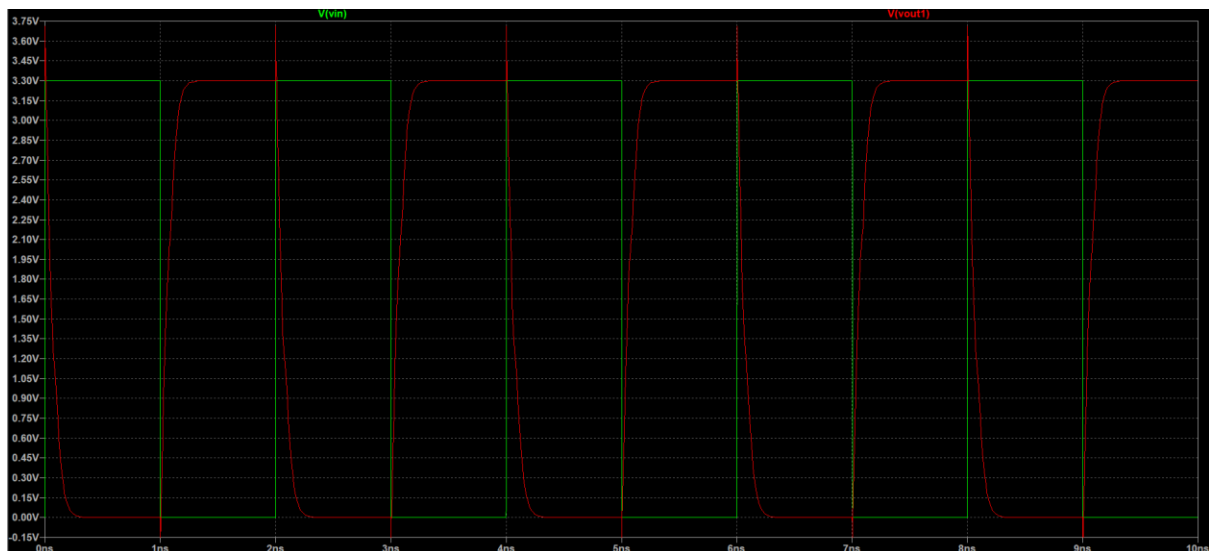
Matricola: 209397

. Si determini il ritardo dell'inverter così progettato in presenza di FAN-OUT=4 (4 inverter dimensionati allo stesso modo del primo inverter)

Lo schema è il seguente:

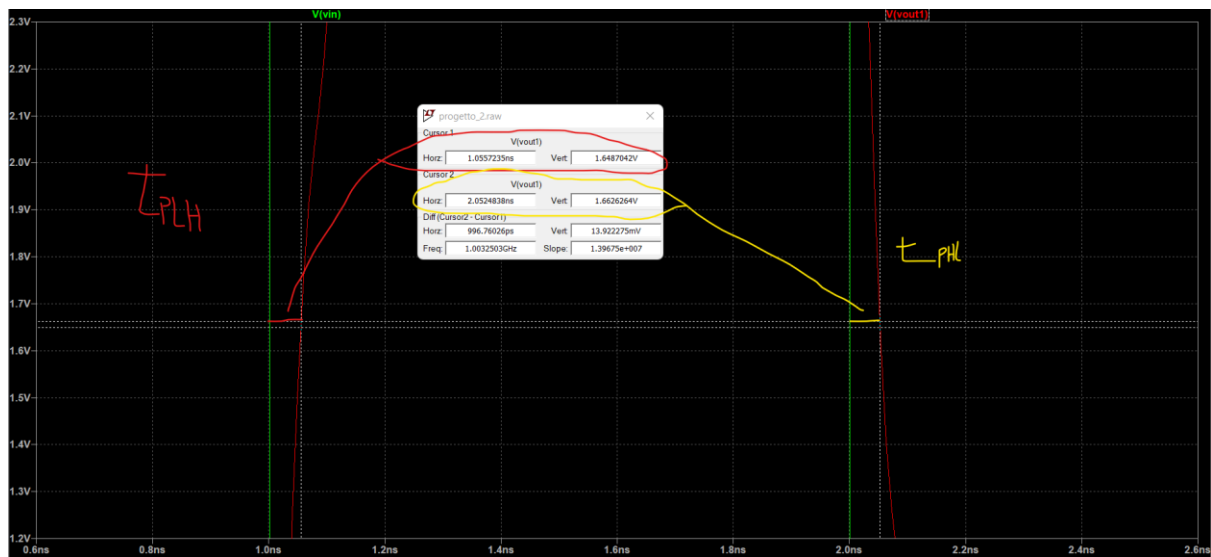


Ora vado a determinare il ritardo dell'inverter a FAN_OUT_4 rispetto all'inverter progettato in precedenza:



Nome: Mahmoud Mohamed Zaghuol Saad. Cognome: Mohamed

Matricola: 209397



$$t_{pLH} \approx 0.056\text{ns}$$

$$t_{pHL} \approx 0.052\text{ns}$$

Rispetto a prima il ritardo è minore rispetto a quello di prima.