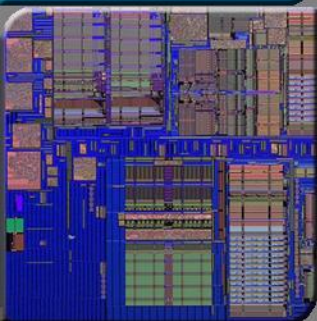
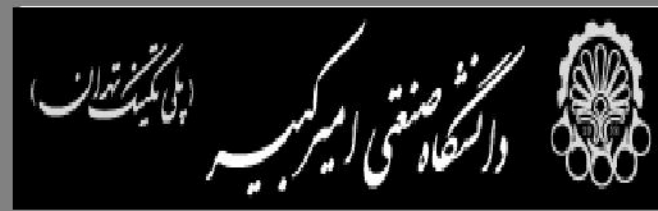


## اصول سیستمهای کامپیوتری

### فصل دوم کتاب هریس: طراحی مدارات ترکیبی (Chapter 2: Combinational Logic Design)



مدرس: دکتر محمد حسن شیرعلی شهرضا





# معرفی درس

## فصل دوم: طراحی مدارات ترکیبی (Combinational Logic Design)

Application  
Software

>"hello  
world!"

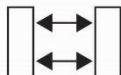
Operating  
Systems



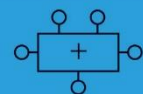
Architecture



Micro-  
architecture



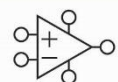
Logic



Digital  
Circuits



Analog  
Circuits



Devices



Physics



**Introduction**

**Boolean Equations**

**Boolean Algebra**

**From Logic to Gates**

**Multilevel Combinational Logic**

**X's and Z's**

**Karnaugh Maps**

**Combinational Building Blocks**

**Timing**

• فهرست مطالب:

- مقدمه
- عبارات بول
- جبر بول
- از منطق به دروازه های منطقی
- مدارات ترکیبی چند سطحی
- نمادهای X و Z
- جدول کارنو
- اجزای ساختاری مدارات ترکیبی
- زمانبندی

این جلسه مطابق با فصل دوم از کتاب هریس است



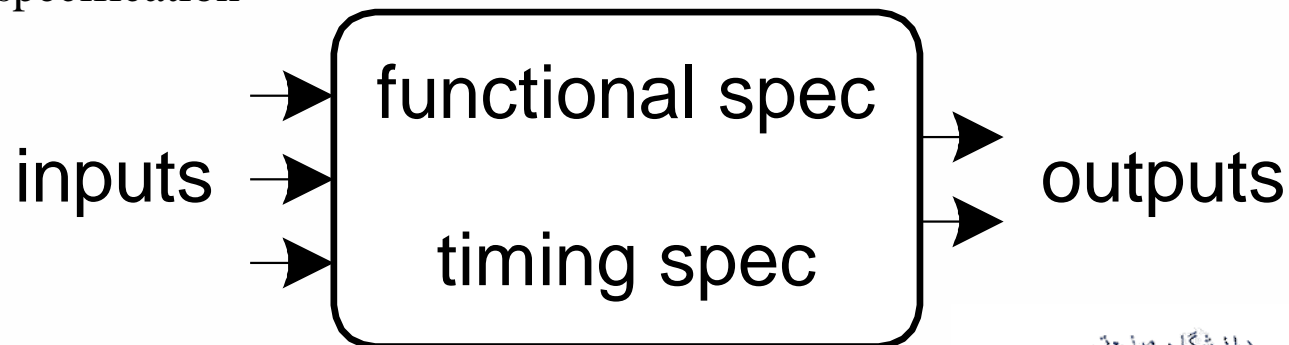
# مقدمه

یک مدار منطقی از اجزای زیر تشکیل می شود:

- ورودی ها
- خروجی ها
- مشخص کننده عملکرد
- مشخص کننده زمانبندی

A logic circuit is composed of:

- Inputs
- Outputs
- Functional specification
- Timing specification





# مدار منطقی

گره ها:

- Nodes

- Inputs:  $A, B, C$
- Outputs:  $Y, Z$
- Internal:  $n1$

- ورودی ها:  $A, B, C$

- خروجی ها:  $Y, Z$

- گره های داخلی:  $n1$

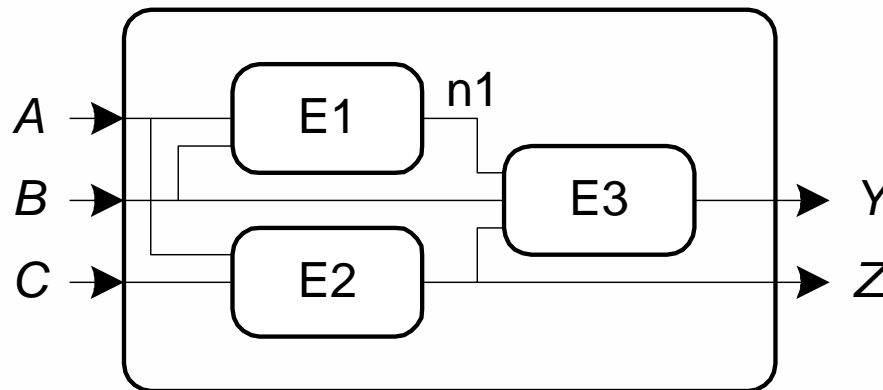
- Circuit elements

- $E1, E2, E3$
- Each a circuit

اجزای مدار:

- $E1, E2, E3$

- هر کدام یک مدار منطقی هستند





# انواع مدارهای منطقی

## مدارات ترکیبی:

- **Combinational Logic**

- Memoryless
- Outputs determined by current values of inputs

- بدون حافظه

- خروجی ها با توجه به ورودی ها در لحظه جاری مشخص می شوند

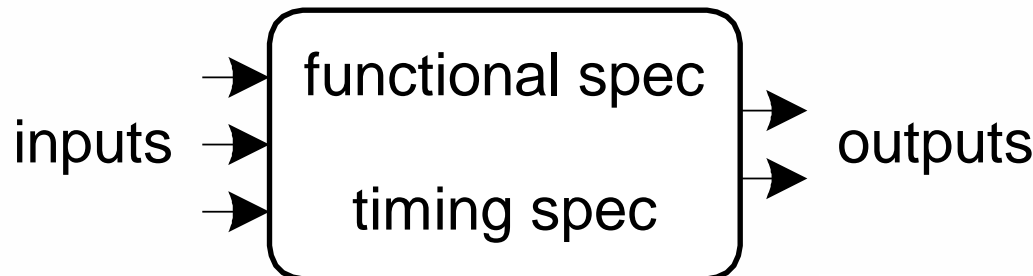
- **Sequential Logic**

- Has memory
- Outputs determined by previous and current values of inputs

## مدارات ترتیبی:

- دارای حافظه

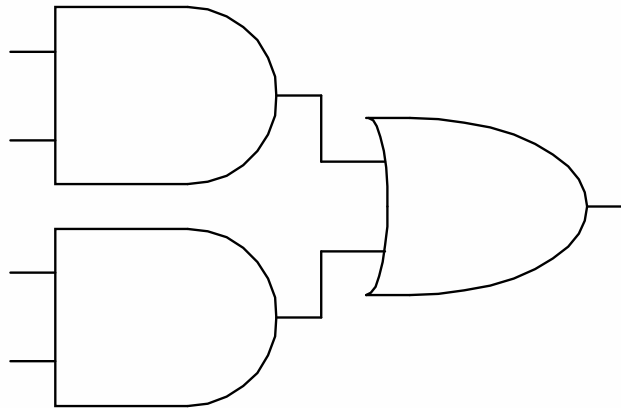
- خروجی ها با توجه به ورودی های قبلی و ورودی ها در لحظه جاری مشخص می شوند





# قواعد مدارهای منطقی ترکیبی

- Every element is combinational
  - Every node is either an input or connects to exactly one output
  - The circuit contains no cyclic paths
  - **Example:**
- هر جزء مدار یک مدار ترکیبی است
  - هر گره یا ورودی است یا فقط به یک خروجی متصل است
  - مدار شامل مسیر برگشتی نیست
- مثال:





# عبارت جبر بول

- **Functional specification of outputs in terms of inputs**

- **Example:**

$$S = F(A, B, C_{in})$$

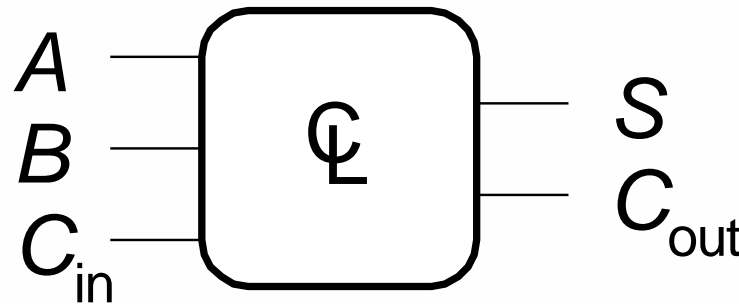
$$C_{out} = F(A, B, C_{in})$$

- تابعی که خروجی ها را بر حسب ورودی ها مشخص می کند

مثال:

$$S = F(A, B, C_{in})$$

$$C_{out} = F(A, B, C_{in})$$



$$S = A \oplus B \oplus C_{in}$$

$$C_{out} = AB + AC_{in} + BC_{in}$$



# چند تعریف در جبر بول

- مکمل: متغیری که بالای آن یک خط رسم شده است  
 $A', B', C'$
- اجزا: متغیرها یا مکمل آنها  
 $A, A', B, B', C, C'$
- ترکیب: حاصل ضرب چند متغیر یا مکمل متغیر  
 $ABC, A'C, BC$
- مینترم: حاصل ضربی که شامل همه متغیرها است  
 $ABC', AB'C', ABC$
- ماکسترم: حاصل جمعی که شامل همه متغیرها است  
 $(A+B+C'), (A+B'+C'), (A+B+C)$
- **Complement:** variable with a bar over it  
 $A', B', C'$
- **Literal:** variable or its complement  
 $A, A', B, B', C, C'$
- **Implicant:** product of literals  
 $ABC, A'C, BC$
- **Minterm:** product that includes all input variables  
 $ABC', AB'C', ABC$
- **Maxterm:** sum that includes all input variables  
 $(A+B+C'), (A+B'+C'), (A+B+C)$





# فرم حاصل جمع حاصل ضرب ها (SOP)

- All equations can be written in SOP form
- Each row has a minterm
- A minterm is a product (AND) of literals
- Each minterm is TRUE for that row (and only that row)
- Form function by ORing minterms where the output is TRUE
- Thus, a sum (OR) of products (AND terms)

- هر عبارتی را می توان بصورت حاصل جمع حاصل ضرب ها (SOP) نوشت
- در جدول درستی هر سطر یک مینترم است
- مینترم حاصل ضرب متغیرها یا مکمل آنها است
- هر مینترم فقط و فقط برای آن سطر درست است
- تابع با ترکیب یای (OR) مینترم هایی که مقدار درست دارند ساخته می شود
- بنابراین مجموع (OR) حاصل ضرب ها (AND) است

A	B	Y	minterm	minterm name
0	0	0	$\overline{A} \overline{B}$	$m_0$
0	1	1	$\overline{A} B$	$m_1$
1	0	0	$A \overline{B}$	$m_2$
1	1	1	$A B$	$m_3$



# فرم حاصل جمع حاصل ضرب ها (SOP)

- All equations can be written in SOP form
- Each row has a minterm
- A minterm is a product (AND) of literals
- Each minterm is TRUE for that row (and only that row)
- Form function by ORing minterms where the output is TRUE
- Thus, a sum (OR) of products (AND terms)

- هر عبارتی را می توان بصورت حاصل جمع حاصل ضرب ها (SOP) نوشت
- در جدول درستی هر سطر یک مینترم است
- مینترم حاصل ضرب متغیرها یا مکمل آنها است
- هر مینترم فقط و فقط برای آن سطر درست است
- تابع با ترکیب یای (OR) مینترم هایی که مقدار درست دارند ساخته می شود
- بنابراین مجموع (OR) حاصل ضرب ها (AND) است

A	B	Y	minterm	minterm name
0	0	0	$\overline{A} \overline{B}$	$m_0$
0	1	1	$\overline{A} B$	$m_1$
1	0	0	$A \overline{B}$	$m_2$
1	1	1	$A B$	$m_3$



# فرم حاصل جمع حاصل ضرب ها (SOP)

- All equations can be written in SOP form
- Each row has a minterm
- A minterm is a product (AND) of literals
- Each minterm is TRUE for that row (and only that row)
- Form function by ORing minterms where the output is TRUE
- Thus, a sum (OR) of products (AND terms)

- هر عبارتی را می توان بصورت حاصل جمع حاصل ضرب ها (SOP) نوشت
- در جدول درستی هر سطر یک مینترم است
- مینترم حاصل ضرب متغیرها یا مکمل آنها است
- هر مینترم فقط و فقط برای آن سطر درست است
- تابع با ترکیب یای (OR) مینترم هایی که مقدار درست دارند ساخته می شود
- بنابراین مجموع (OR) حاصل ضرب ها (AND) است

A	B	Y	minterm	minterm name
0	0	0	$\bar{A} \bar{B}$	$m_0$
0	1	1	$\bar{A} B$	$m_1$
1	0	0	$A \bar{B}$	$m_2$
1	1	1	$A B$	$m_3$

$$Y = F(A, B) = AB + \bar{A}B = \Sigma(1, 3)$$



# فرم حاصل ضرب حاصل جمع ها (POS)

- All Boolean equations can be written in POS form
  - Each row has a maxterm
  - A maxterm is a sum (OR) of literals
  - Each maxterm is FALSE for that row (and only that row)
  - Form function by ANDing the maxterms for which the output is FALSE
  - Thus, a product (AND) of sums (OR terms)
- هر عبارتی را می توان بصورت حاصل ضرب حاصل جمع ها (POS) نوشت
  - در جدول درستی هر سطر یک ماکسترم است
  - ماکسترم حاصل جمع متغیرها یا مکمل آنها است
  - هر ماکسترم فقط و فقط برای آن سطر نادرست است
  - تابع با ترکیب واو (AND) ماکسترم هایی که مقدار نادرست دارند ساخته می شود
  - بنابراین حاصل ضرب (AND) حاصل جمع ها (OR) است

A	B	Y	maxterm	maxterm name
0	0	0	$A + B$	$M_0$
0	1	1	$A + \overline{B}$	$M_1$
1	0	0	$\overline{A} + B$	$M_2$
1	1	1	$\overline{A} + \overline{B}$	$M_3$

$$Y = F(A, B) = (A + B)(A + B) = \Pi(0, 2)$$



# مثال برای عبارت جبر بول

- You are going to the cafeteria for lunch
- You won't eat lunch (E)
- If it's not open (O) or
- If they only serve corndogs (C)
- Write a truth table for determining if you will eat lunch (E).

- شما برای خوردن نهار به سلف دانشگاه رفته اید
- شما نهار نمی خورید (E)
- اگر سلف باز (O) نباشد یا
- سلف فقط کورن داگ (C) داشته باشد
- یک جدول درستی رسم کنید
- که نشان دهد شما در چه حالتی نهار می خورید (E).



O	C	E
0	0	
0	1	
1	0	
1	1	



# مثال برای عبارت جبر بول

- You are going to the cafeteria for lunch
- You won't eat lunch (E)
- If it's not open (O) or
- If they only serve corndogs (C)
- Write a truth table for determining if you will eat lunch (E).

- شما برای خوردن نهار به سلف دانشگاه رفته اید
- شما نهار نمی خورید (E)
- اگر سلف باز (O) نباشد یا
- سلف فقط کورن داگ (C) داشته باشد
- یک جدول درستی رسم کنید
- که نشان دهد شما در چه حالتی نهار می خورید (E).



O	C	E
0	0	0
0	1	0
1	0	1
1	1	0



# عبارت در قالب های SOP و POS

- حاصل جمع حاصل ضرب ها  
SOP – sum-of-products

$O$	$C$	$E$	minterm
0	0		$\overline{O} \overline{C}$
0	1		$\overline{O} C$
1	0		$O \overline{C}$
1	1		$O C$

- حاصل ضرب حاصل جمع ها  
POS – product-of-sums

$O$	$C$	$Y$	maxterm
0	0		$O + C$
0	1		$O + \overline{C}$
1	0		$\overline{O} + C$
1	1		$\overline{O} + \overline{C}$



# عبارت در قالب های SOP و POS

- حاصل جمع حاصل ضرب ها  
SOP – sum-of-products

$O$	$C$	$E$	minterm
0	0	0	$\overline{O} \overline{C}$
0	1	0	$\overline{O} C$
1	0	1	$O \overline{C}$
1	1	0	$O C$

$$Y = OC'$$

$$= \Sigma(2)$$

$O$	$C$	$E$	maxterm
0	0	0	$O + C$
0	1	0	$O + \overline{C}$
1	0	1	$\overline{O} + C$
1	1	0	$\overline{O} + \overline{C}$

- حاصل ضرب حاصل جمع ها  
POS – product-of-sums

$$Y = (O' + C')(O' + C)(O + C)$$

$$= \Pi(0, 1, 3)$$

$$= \Sigma(2)$$

دانشگاه گلستان  
امیرکبیر  
پلی تکنیک تهران





# جبر بول

- اصول و قضایا برای ساده کردن عبارات
- مشابه جبر معمولی است، ولی ساده تر: متغیرها فقط دو مقدار دارند (0 و 1)
- دوگان اصول و قضایا:  
در دوگان AND و OR و 0 و 1 تغییر می کنند

- Axioms and theorems to simplify Boolean equations
- Like regular algebra, but simpler:  
variables have only two values (1 or 0)
- Duality in axioms and theorems:
  - ANDs and ORs, 0's and 1's interchanged



# جبر بول

• اصول و دوگان آنها

Axiom		Dual		Name
A1	$B = 0 \text{ if } B \neq 1$	A1'	$B = 1 \text{ if } B \neq 0$	Binary field
A2	$\overline{0} = 1$	A2'	$\overline{1} = 0$	NOT
A3	$0 \bullet 0 = 0$	A3'	$1 + 1 = 1$	AND/OR
A4	$1 \bullet 1 = 1$	A4'	$0 + 0 = 0$	AND/OR
A5	$0 \bullet 1 = 1 \bullet 0 = 0$	A5'	$1 + 0 = 0 + 1 = 1$	AND/OR

• قضایا و دوگان آنها

Theorem		Dual		Name
T1	$B \bullet 1 = B$	T1'	$B + 0 = B$	Identity
T2	$B \bullet 0 = 0$	T2'	$B + 1 = 1$	Null Element
T3	$B \bullet B = B$	T3'	$B + B = B$	Idempotency
T4		$\overline{\overline{B}} = B$		Involution
T5	$B \bullet \overline{B} = 0$	T5'	$B + \overline{B} = 1$	Complements



# قضیه همانی

• قضیه همانی

Identity Theorem

$$B \cdot 1 = B$$

$$B + 0 = B$$



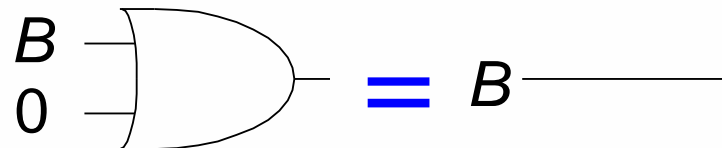
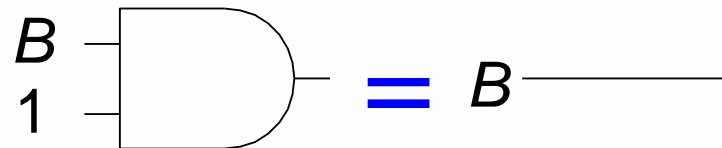
# قضیه همانی

• قضیه همانی

Identity Theorem

$$B \cdot 1 = B$$

$$B + 0 = B$$





# قضیه عضو تهی

• قضیه عضو تهی

Null Element Theorem

$$B \cdot 0 = 0$$

$$B + 1 = 1$$



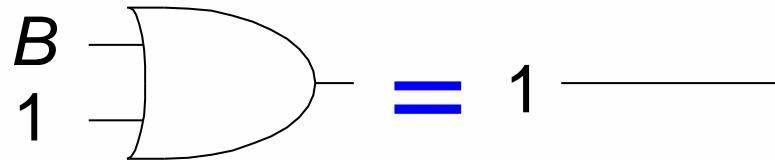
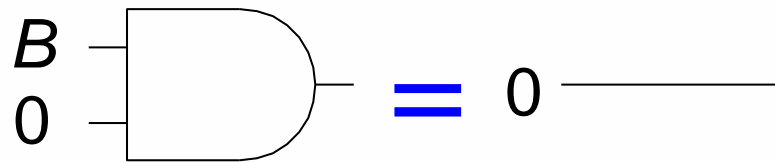
# قضیہ عضو تھی

- قضیہ عضو تھی

## Null Element Theorem

$$B \cdot 0 = 0$$

$$B + 1 = 1$$





# قضیه خود توانی

• قضیه خود توانی

Idempotency Theorem

$$\mathbf{B} \cdot \mathbf{B} = \mathbf{B}$$

$$\mathbf{B} + \mathbf{B} = \mathbf{B}$$



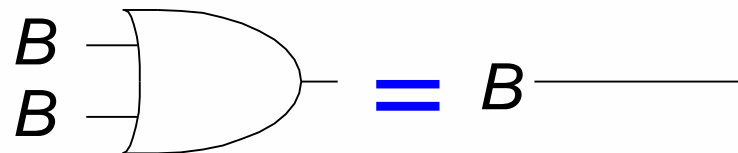
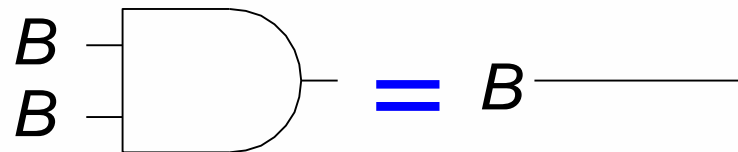
# قضیه خود توانی

• قضیه خود توانی

Idempotency Theorem

$$B \cdot B = B$$

$$B + B = B$$







# قضیه پیچشی

• قضیه پیچشی

Involotion Theorem

$$(B')' = B$$

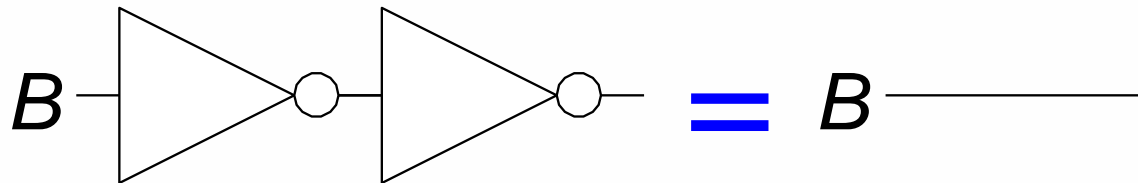


# قضیه پیچشی

• قضیه پیچشی

Involotion Theorem

$$(B')' = B$$





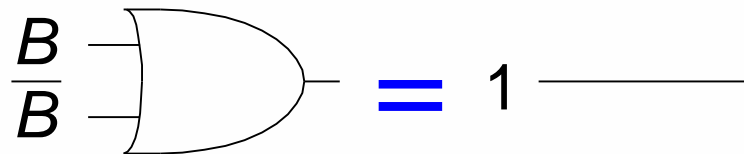
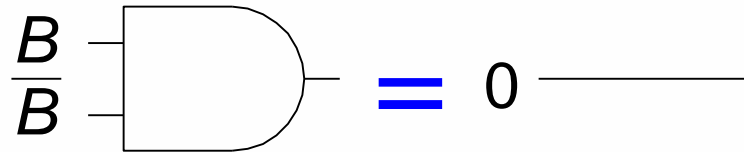
# قضیه مکمل

• قضیه مکمل

## Complement Theorem

$$B \cdot B' = 0$$

$$B + B' = 1$$





# خلاصه قضایای جبر بول

• قضایا و دوگان آنها

Theorem		Dual		Name
T1	$B \bullet 1 = B$	T1'	$B + 0 = B$	Identity
T2	$B \bullet 0 = 0$	T2'	$B + 1 = 1$	Null Element
T3	$B \bullet B = B$	T3'	$B + B = B$	Idempotency
T4		$\overline{\overline{B}} = B$		Involution
T5	$B \bullet \overline{B} = 0$	T5'	$B + \overline{B} = 1$	Complements



# تعداد دیگری از قضایای جبر بول

• قضایا و دوگان آنها

Theorem		Dual		Name
T6	$B \bullet C = C \bullet B$	T6'	$B + C = C + B$	Commutativity
T7	$(B \bullet C) \bullet D = B \bullet (C \bullet D)$	T7'	$(B + C) + D = B + (C + D)$	Associativity
T8	$(B \bullet C) + B \bullet D = B \bullet (C + D)$	T8'	$(B + C) \bullet (B + D) = B + (C \bullet D)$	Distributivity
T9	$B \bullet (B + C) = B$	T9'	$B + (B \bullet C) = B$	Covering
T10	$(B \bullet C) + (B \bullet \overline{C}) = B$	T10'	$(B + C) \bullet (B + \overline{C}) = B$	Combining
T11	$(B \bullet C) + (\overline{B} \bullet D) + (C \bullet D)$ $= B \bullet C + \overline{B} \bullet D$	T11'	$(B + C) \bullet (\overline{B} + D) \bullet (C + D)$ $= (B + C) \bullet (\overline{B} + D)$	Consensus
T12	$\overline{B_0 \bullet B_1 \bullet B_2 \dots}$ $= (\overline{B_0} + \overline{B_1} + \overline{B_2} \dots)$	T12'	$\overline{B_0 + B_1 + B_2 \dots}$ $= (\overline{B_0} \bullet \overline{B_1} \bullet \overline{B_2})$	De Morgan's Theorem



# ساده سازی یک عبارت جبر بول

• مثال ۱:

$$Y = AB + A'B$$



# ساده سازی یک عبارت جبر بول

• مثال ۱:

$$Y = AB + A'B$$

$$= B(A + A') \quad T8$$

$$= B(1) \quad T5'$$

$$= B \quad T1$$



# ساده سازی یک عبارت جبر بول

• مثال ۲:

$$Y = Y = A(AB + ABC)$$





# ساده سازی یک عبارت جبر بول

• مثال ۲:

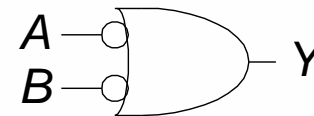
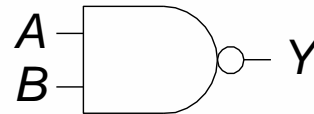
- $Y = A(AB + ABC)$
- $= A(AB(1 + C))$  T8
- $= A(AB(1))$  T2'
- $= A(AB)$  T1
- $= (AA)B$  T7
- $= AB$  T3



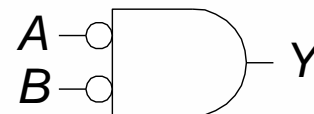
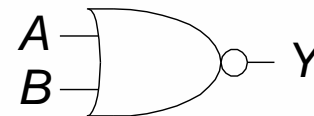
# قضیه دمورگان

## DeMorgan Theorem • قضیه دمورگان

- $Y = (AB)' = A' + B'$



- $Y = (A + B)' = A' \cdot B'$





# جابجایی مکمل ها

• جابجایی مکمل ها      **Bubble Pushing**

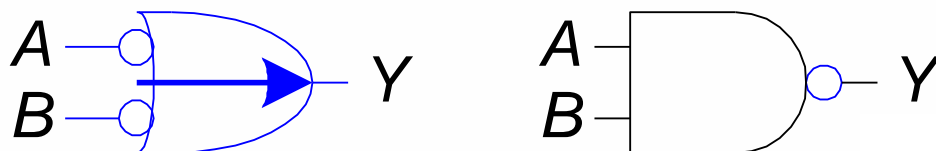
• عقب سو      **Backward**

بدنه تغییر می کند  
مکمل ها به ورودی اضافه می شوند



• جلو سو      **Forward**

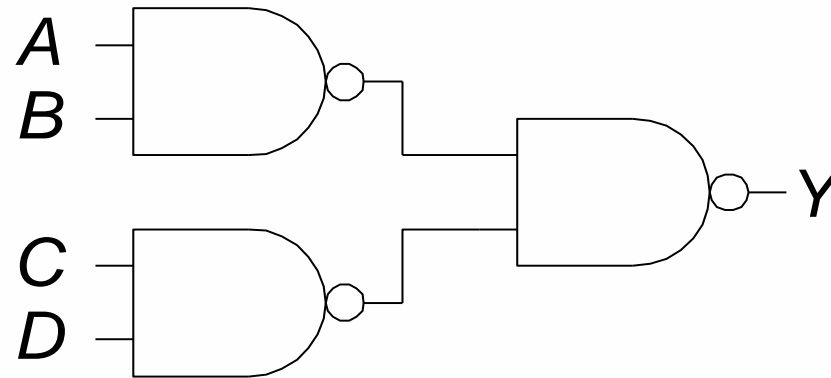
بدنه تغییر می کند  
مکمل ها به خروجی اضافه می شوند





# جایابی مکمل ها

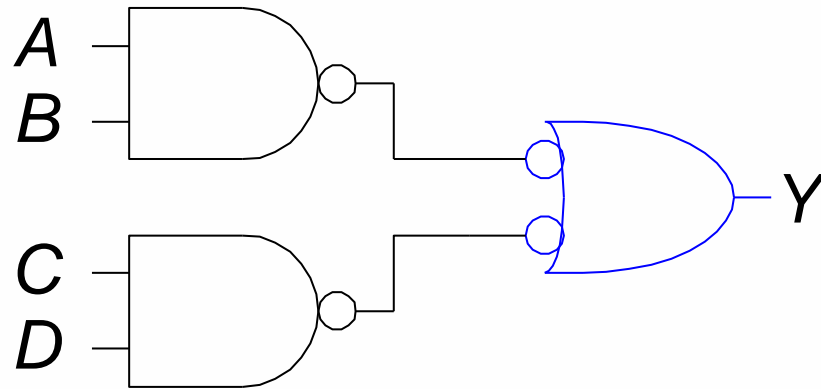
• عبارت جبر بول برای مدار زیر چیست؟





# جایابی مکمل ها

• عبارت جبر بول برای مدار زیر چیست؟

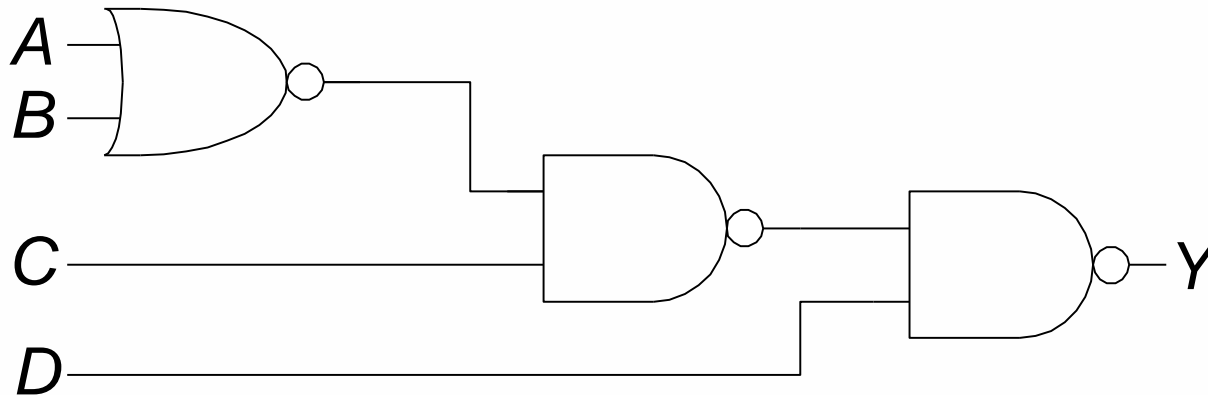


$$Y = AB + CD$$



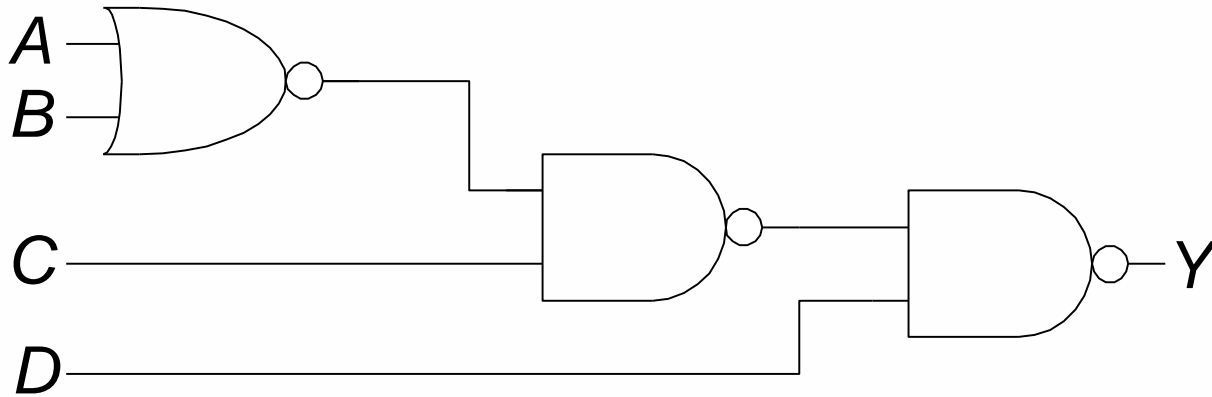
# قواعد جابجایی مکمل ها

- از خروجی شروع کرده و به سمت ورودی ها می رویم
- مکمل خروجی را به عقب می بریم
- گیت ها را به شکلی رسم می کنیم که مکمل ها حذف شوند



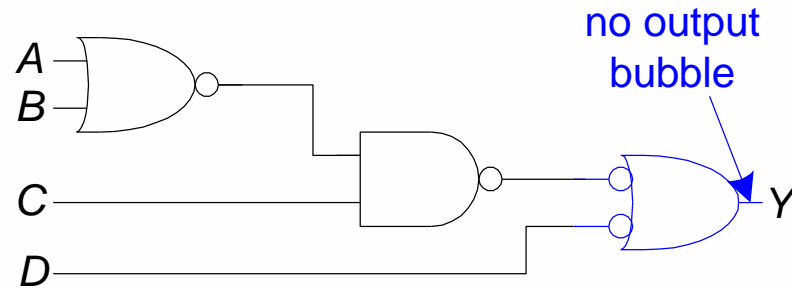


# قواعد جابجایی مکمل ها





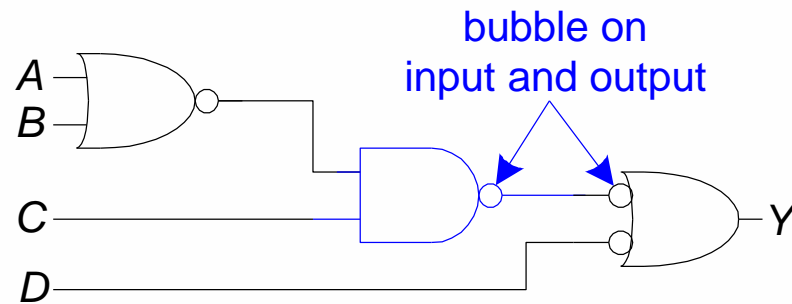
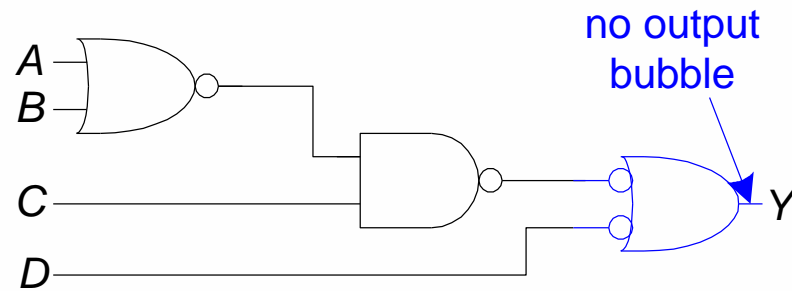
# قواعد جابجایی مکمل ها





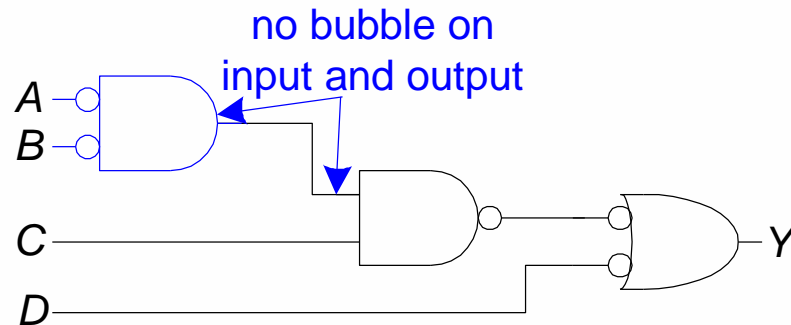
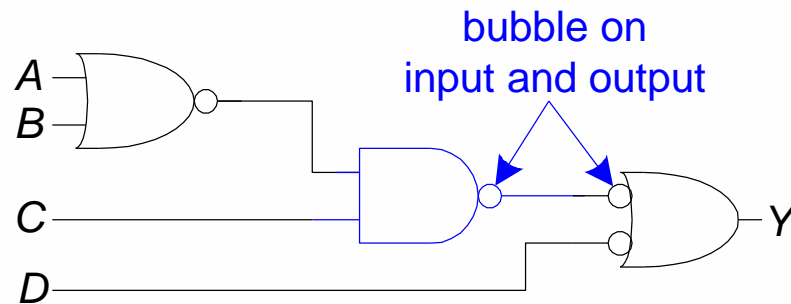
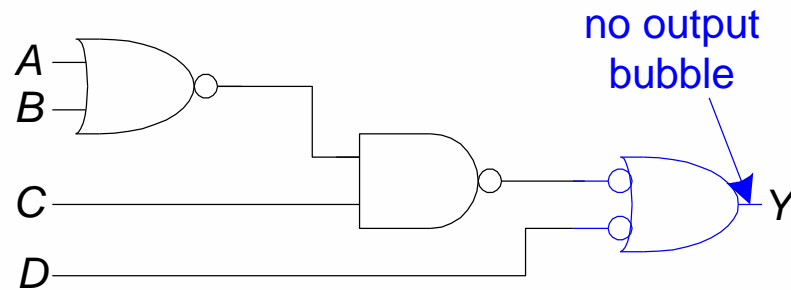


# قواعد جابجایی مکمل ها





# قواعد جابجایی مکمل ها



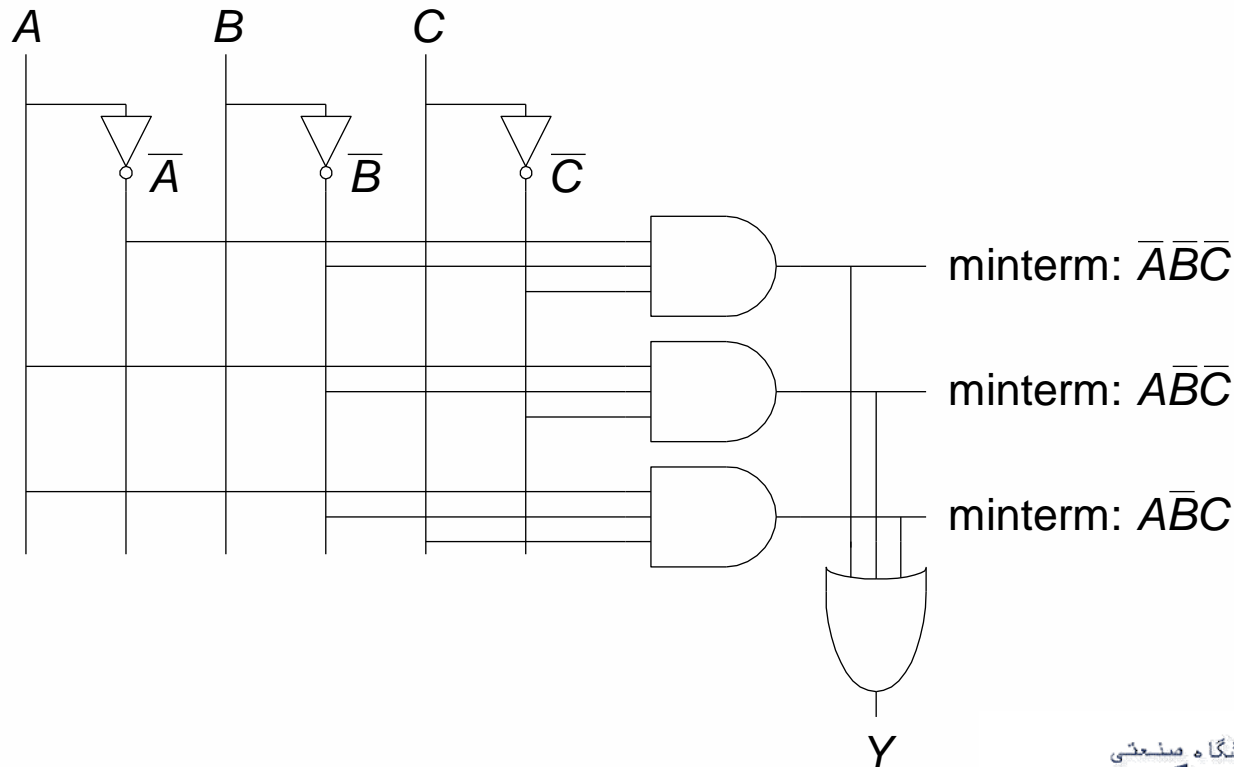
$$Y = \overline{A} \overline{B} C + \overline{D}$$



# تبدیل عبارات منطقی به دروازه های منطقی

- مدار دو سطحی: لایه اول AND و لایه دوم OR
- مثال

$$Y = A'B'C' + A'B'C + AB'C$$





# قواعد رسم مدار

- ورودی ها در سمت چپ (یا بالا)
- خروجی ها در سمت راست (یا پایین)
- جریان دروازه های منطقی از چپ به راست
- اتصالات مستقیم بهتر هستند

## Circuit Schematics Rules

- Inputs on the left (or top)
- Outputs on right (or bottom)
- Gates flow from left to right
- Straight wires are best



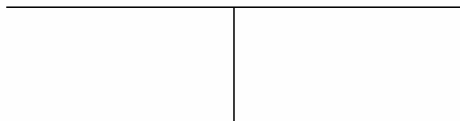
# قواعد رسم مدار (ادامه)

- یک تقاطع T شکل نشانه اتصال دو سیم است
- یک نقطه در محل تلاقی دو سیم نشانه اتصال بین آن دو سیم است
- سیم هایی که نقطه ندارند به یکدیگر متصل نیستند

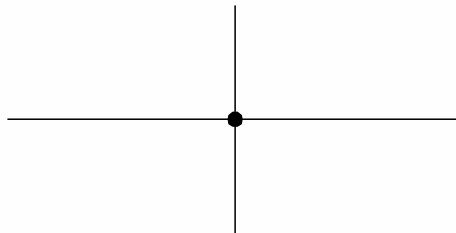
## Circuit Schematics Rules

- Wires always connect at a T junction
- A dot where wires cross indicates a connection between the wires
- Wires crossing without a dot make no connection

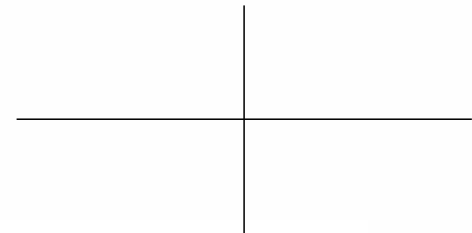
wires connect  
at a T junction



wires connect  
at a dot



wires crossing  
without a dot do  
not connect





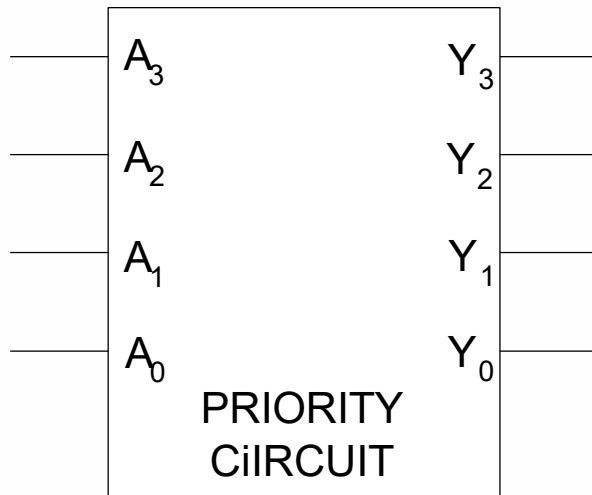
# مدار با چند خروجی

## • مثال: مدار اولویت

خروجی فعال متناسب با ورودی درست با اهمیت بیشتر است

### Example:

Output asserted corresponding to most significant TRUE input



$A_3$	$A_2$	$A_1$	$A_0$	$Y_3$	$Y_2$	$Y_1$	$Y_0$
0	0	0	0				
0	0	0	1				
0	0	1	0				
0	0	1	1				
0	1	0	0				
0	1	0	1				
0	1	1	0				
0	1	1	1				
1	0	0	0				
1	0	0	1				
1	0	1	0				
1	0	1	1				
1	1	0	0				
1	1	0	1				
1	1	1	0				
1	1	1	1				
1	1	1	1				



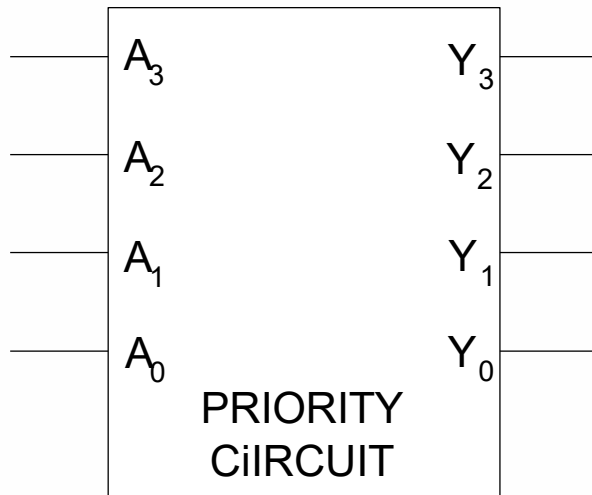
# مدار با چند خروجی

## • مثال: مدار اولویت

خروجی فعال متناسب با ورودی درست با اهمیت بیشتر است

### Example:

Output asserted corresponding to most significant TRUE input



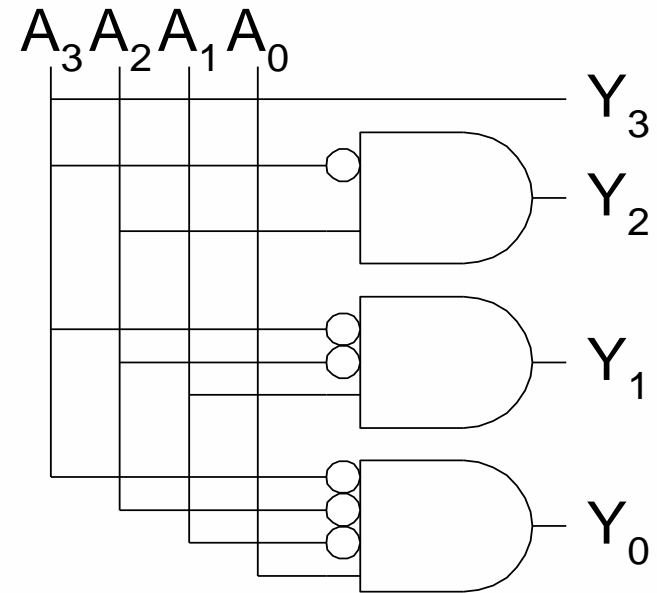
$A_3$	$A_2$	$A_1$	$A_0$	$Y_3$	$Y_2$	$Y_1$	$Y_0$
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	0
0	0	1	1	0	0	1	0
0	1	0	0	0	1	0	0
0	1	0	1	0	1	0	0
0	1	1	0	0	1	0	0
0	1	1	1	0	1	0	0
1	0	0	0	1	0	0	0
1	0	0	1	1	0	0	0
1	0	1	0	1	0	0	0
1	0	1	1	1	0	0	0
1	1	0	0	1	0	0	0
1	1	0	1	1	0	0	0
1	1	1	0	1	0	0	0
1	1	1	1	1	0	0	0



# سخت افزار مدار اولویت

## • سخت افزار مدار اولویت (Priority Circuit Hardware)

$A_3$	$A_2$	$A_1$	$A_0$	$Y_3$	$Y_2$	$Y_1$	$Y_0$
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	0
0	0	1	1	0	0	1	0
0	1	0	0	0	1	0	0
0	1	0	1	0	1	0	0
0	1	1	0	0	1	0	0
0	1	1	1	0	1	0	0
1	0	0	0	1	0	0	0
1	0	0	1	1	0	0	0
1	0	1	0	1	0	0	0
1	0	1	1	1	0	0	0
1	1	0	0	1	0	0	0
1	1	0	1	1	0	0	0
1	1	1	0	1	0	0	0
1	1	1	1	1	0	0	0







# حالات بدون اهمیت

- حالات بدون اهمیت (Don't Care)
- حالات بدون اهمیت را با X نشان می دهند

$A_3$	$A_2$	$A_1$	$A_0$	$Y_3$	$Y_2$	$Y_1$	$Y_0$
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	0
0	0	1	1	0	0	1	0
0	1	0	0	0	1	0	0
0	1	0	1	0	1	0	0
0	1	1	0	0	1	0	0
0	1	1	1	0	1	0	0
1	0	0	0	1	0	0	0
1	0	0	1	1	0	0	0
1	0	1	0	1	0	0	0
1	0	1	1	1	0	0	0
1	1	0	0	1	0	0	0
1	1	0	1	1	0	0	0
1	1	1	0	1	0	0	0
1	1	1	1	1	0	0	0

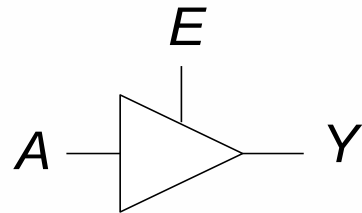
$A_3$	$A_2$	$A_1$	$A_0$	$Y_3$	$Y_2$	$Y_1$	$Y_0$
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	X	0	0	1	0
0	1	X	X	0	1	0	0
1	X	X	X	1	0	0	0



# بافر سه حالت

## • بافر سه حالت (Tristate Buffer)

- خروجی می تواند صفر یا یک یا باز باشد
- در حالتی که خروجی باز است مقدار خروجی نامشخص بوده و به آن امپدانس بالا (High Impedance) می گویند
- حالت امپدانس بالا را با  $Z$  نشان می دهند



$E$	$A$	$Y$
0	0	$Z$
0	1	$Z$
1	0	0
1	1	1



# جدول کارنو

## • جدول کارنو (Karnaugh Maps) (K-Maps)

- عبارات جبر بول را می توان با ترکیب ترم های آن ساده کرد
- جدول کارنو یک روش گرافیکی برای ساده کردن عبارات است
- مثال:  $PA + PA' = P$

- Boolean expressions can be minimized by combining terms
- K-maps minimize equations graphically

A	B	C	Y
0	0	0	1
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	0

Y C	AB			
	00	01	11	10
0	1	0	0	0
1	1	0	0	0

Y C	AB			
	00	01	11	10
0	$\bar{A}\bar{B}\bar{C}$	$\bar{A}B\bar{C}$	$AB\bar{C}$	$A\bar{B}\bar{C}$
1	$\bar{A}\bar{B}C$	$\bar{A}BC$	$ABC$	$A\bar{B}C$



# جدول کارنو

## • جدول کارنو (Karnaugh Maps) (K-Maps)

- اگر در یک مستطیل همه اعضا 1 باشند، دور آن دایره رسم می شود
- در عبارت جبر بول متناظر با آن دایره، متغیرهایی که در تمام سلول های آن دایره وجود دارند یا در هیچکدام وجود ندارند، آورده می شوند

- Circle 1's in adjacent squares
- In Boolean expression, include only literals whose true and complement form are not in the circle

A	B	C	Y
0	0	0	1
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	0

		AB			
		00	01	11	10
C	0	1	0	0	0
	1	1	0	0	0



# جدول کارنو ۳ متغیره

## • جدول کارنو ۳ متغیره (3-Input K-Map)

Y C	AB			
	00	01	11	10
0	$\bar{A}\bar{B}\bar{C}$	$\bar{A}B\bar{C}$	$A\bar{B}\bar{C}$	$AB\bar{C}$
1	$\bar{A}\bar{B}C$	$\bar{A}BC$	$ABC$	$A\bar{B}C$

Truth Table

A	B	C	Y
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

K-Map

Y C	AB			
	00	01	11	10
0				
1				



# جدول کارنو ۳ متغیره

## • جدول کارنو ۳ متغیره (3-Input K-Map)

Y C	AB	00	01	11	10
0		$\bar{A}BC$	$\bar{A}BC$	$ABC$	$ABC$
1		$\bar{A}\bar{B}C$	$\bar{A}BC$	$ABC$	$A\bar{B}C$

Truth Table

A	B	C	Y
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

K-Map

Y C	AB	00	01	11	10
0		0	1	1	0
1		0	1	0	0

•  $Y = A'B + BC'$



# تعاریف مربوط به جدول کارنو

- تعاریف مربوط به جدول کارنو (K-Maps Definitions)

- مکمل: متغیری که علامت معکوس دارد

$A', B', C'$

- جزء: متغیر یا مکمل آن

$A, A', B, B', C, C'$

- ترکیب: حاصل ضرب چند جزء

$AB'C, A'C, BC$

- ترکیب ضروری: ترکیب متناظر با بزرگترین دایره در جدول کارنو

- **Complement:** variable with a bar over it

$A', B', C'$

- **Literal:** variable or its complement

$A, A', B, B', C, C'$

- **Implicant:** product of literals

$AB'C, A'C, BC$

- **Prime implicant:** implicant corresponding to the largest circle in a K-map



# قواعد جدول کارنو

## • قواعد جدول کارنو (K-Maps Rules)

- هر 1 حداقل باید در یک دایره باشد
  - هر دایره باید یک مستطیل باشد
  - که طول و عرض آن توان ۲ (یعنی ۱ یا ۲ یا ۴ یا ...) باشند
  - هر دایره باید بزرگترین دایره ممکن باشد
  - یک دایره می تواند در لبه ها شکسته شود
  - حالات بدون تفاوت (X)
- فقط اگر به ساده کردن عبارت کمک می کنند در دایره هستند

- Every 1 must be circled at least once
- Each circle must span a power of 2 (i.e. 1, 2, 4) squares in each direction
- Each circle must be as large as possible
- A circle may wrap around the edges
- A “don't care” (X) is circled only if it helps minimize the equation





# جدول کارنو ۴ متغیره

## • جدول کارنو ۴ متغیره (4-Input K-Map)

A	B	C	D	Y
0	0	0	0	1
0	0	0	1	0
0	0	1	0	1
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

Y CD \ AB		00	01	11	10
		00	01	11	10
00					
01					
11					
10					



# جدول کارنو ۴ متغیره

## • جدول کارنو ۴ متغیره (4-Input K-Map)

A	B	C	D	Y
0	0	0	0	1
0	0	0	1	0
0	0	1	0	1
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

Y CD \ AB		AB			
		00	01	11	10
CD	00	1	0	0	1
	01	0	1	0	1
	11	1	1	0	0
	10	1	1	0	1



# جدول کارنو ۴ متغیره

## • جدول کارنو ۴ متغیره (4-Input K-Map)

A	B	C	D	Y
0	0	0	0	1
0	0	0	1	0
0	0	1	0	1
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

Y CD \ AB		00	01	11	10
		00	01	11	10
00		1	0	0	1
01		0	1	0	1
11		1	1	0	0
10		1	1	0	1

$$Y = \bar{A}C + \bar{A}BD + A\bar{B}\bar{C} + \bar{B}\bar{D}$$



# جدول کارنو ۴ متغیره

• جدول کارنو ۴ متغیره (4-Input K-Map)

A	B	C	D	Y
0	0	0	0	1
0	0	0	1	0
0	0	1	0	1
0	0	1	1	1
0	1	0	0	0
0	1	0	1	X
0	1	1	0	1
0	1	1	1	1
1	0	0	0	1
1	0	0	1	1
1	0	1	0	X
1	0	1	1	X
1	1	0	0	X
1	1	0	1	X
1	1	1	0	X
1	1	1	1	X

Y CD \ AB	AB			
	00	01	11	10
00				
01				
11				
10				



# جدول کارنو ۴ متغیره

## • جدول کارنو ۴ متغیره (4-Input K-Map)

A	B	C	D	Y
0	0	0	0	1
0	0	0	1	0
0	0	1	0	1
0	0	1	1	1
0	1	0	0	0
0	1	0	1	X
0	1	1	0	1
0	1	1	1	1
1	0	0	0	1
1	0	0	1	1
1	0	1	0	X
1	0	1	1	X
1	1	0	0	X
1	1	0	1	X
1	1	1	0	X
1	1	1	1	X

		Y			
CD	AB	00	01	11	10
00		1	0	X	1
01		0	X	X	1
11		1	1	X	X
10		1	1	X	X



# جدول کارنو ۴ متغیره

## • جدول کارنو ۴ متغیره (4-Input K-Map)

A	B	C	D	Y
0	0	0	0	1
0	0	0	1	0
0	0	1	0	1
0	0	1	1	1
0	1	0	0	0
0	1	0	1	X
0	1	1	0	1
0	1	1	1	1
1	0	0	0	1
1	0	0	1	1
1	0	1	0	X
1	0	1	1	X
1	1	0	0	X
1	1	0	1	X
1	1	1	0	X
1	1	1	1	X

Y CD \ AB	00	01	11	10
00	1	0	X	1
01	0	X	X	1
11	1	1	X	X
10	1	1	X	X

$$Y = A + \bar{B}\bar{D} + C$$



# ساختارهای پایه در مدارات ترکیبی

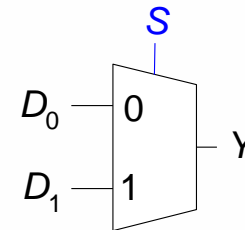
- ساختارهای پایه در مدارات ترکیبی (Combinational Building Blocks)
- مالتی پلکسر (Multiplexers)
- کدگشا یا دیکدر (Decoders)



# مالتی پلکسر

- مالتی پلکسر (Multiplexer) یا MUX
- یکی از  $N$  ورودی ها را به خروجی متصل می کند
- تعداد  $\log_2 N$  بیت برای انتخاب یا کنترل ورودی دارد
- مثال: یک مالتی پلکسر ۲ به ۱

- Selects between one of  $N$  inputs to connect to output
- $\log_2 N$ -bit select input – control input
- **Example: 2:1 Mux**



S	$D_1$	$D_0$	Y	S	Y
0	0	0	0	0	$D_0$
0	0	1	1	1	$D_1$
0	1	0	0		
0	1	1	1		
1	0	0	0		
1	0	1	0		
1	1	0	1		
1	1	1	1		



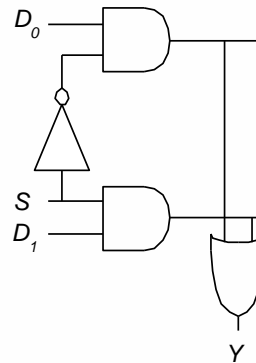


# پیاده سازی مالتی پلکسر

- پیاده سازی با دروازه های منطقی (Logic gates)
- در قالب حاصل جمع حاصل ضرب ها (Sum-of-products form)

		$D_0 D_1$			
$S$	$Y$	00	01	11	10
	0	0	0	1	1
1	1	0	1	1	0

$$Y = D_0 \bar{S} + D_1 S$$

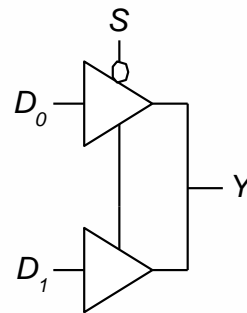




# پیاده سازی مالتی پلکسر

- پیاده سازی با بافر سه حالت (Tristates)
- برای مالتی پلکسر با  $N$  ورودی از  $N$  بافر سه حالت استفاده می شود
- هر بار فقط یکی از این بافرها فعال می شود تا ورودی مورد نظر انتخاب شود

- For an  $N$ -input mux, use  $N$  tristates
- Turn on exactly one to select the appropriate input



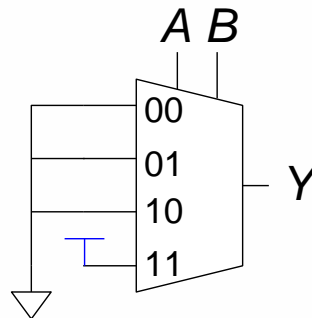


# پیاده سازی یک مدار ترکیبی با مالتی پلکسر

- پیاده سازی یک مدار ترکیبی با مالتی پلکسر
- می توان از مالتی پلکسر معادل جدول درستی استفاده کرد
- Using the mux as a lookup table

A	B	Y
0	0	0
0	1	0
1	0	0
1	1	1

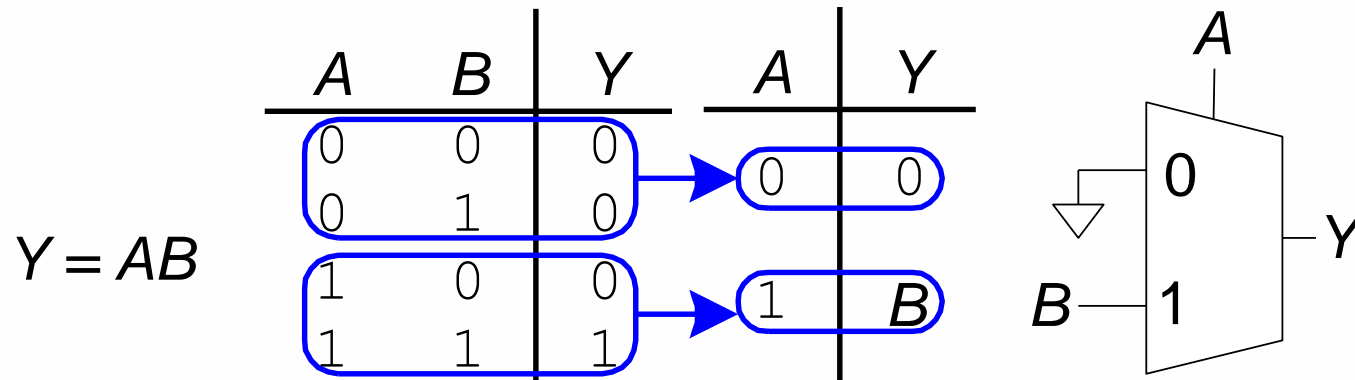
$$Y = AB$$





# پیاده سازی یک مدار ترکیبی با مالتی پلکسر

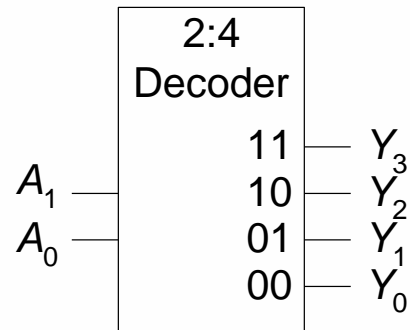
- پیاده سازی یک مدار ترکیبی با مالتی پلکسر
- استفاده از مالتی پلکسر کوچکتر
- Reducing the size of the mux





- کدگشا یا دیکدر (Decoders)
- کدگشا  $N$  ورودی و  $2^N$  خروجی دارد
- هر لحظه فقط یک خروجی فعال است

- $N$  inputs,  $2^N$  outputs
- One-hot outputs: only one output HIGH at once

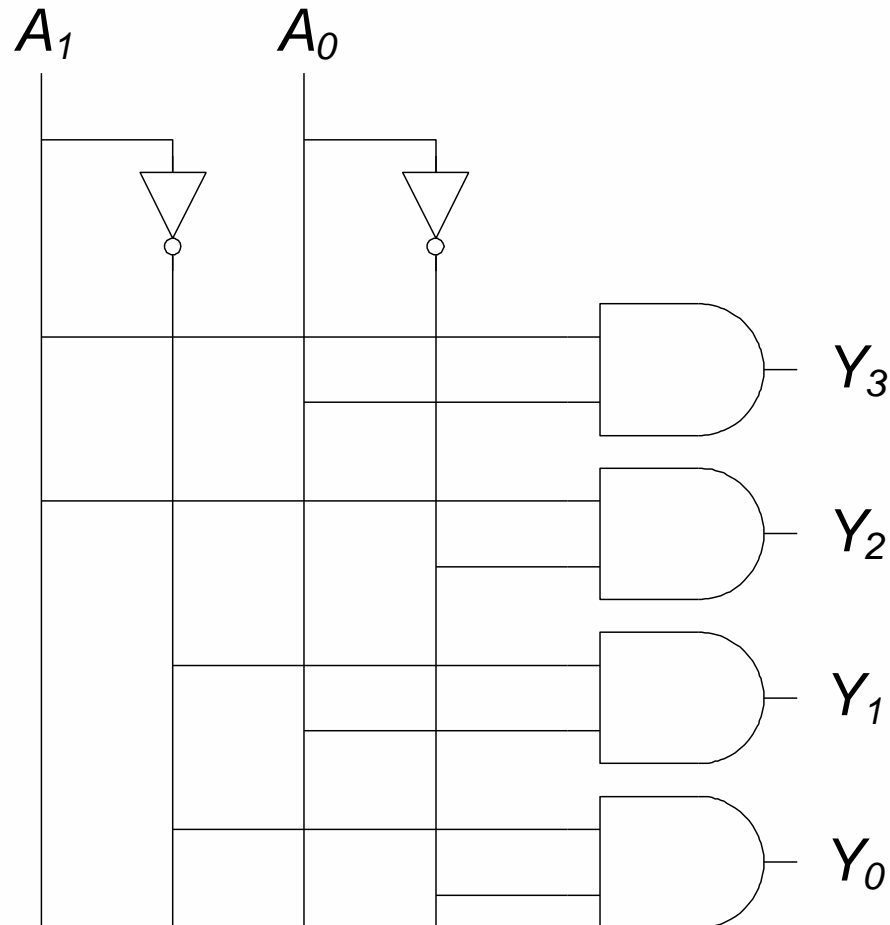


$A_1$	$A_0$	$Y_3$	$Y_2$	$Y_1$	$Y_0$
0	0	0	0	0	1
0	1	0	0	1	0
1	0	0	1	0	0
1	1	1	0	0	0



# پیاده سازی کدگشا

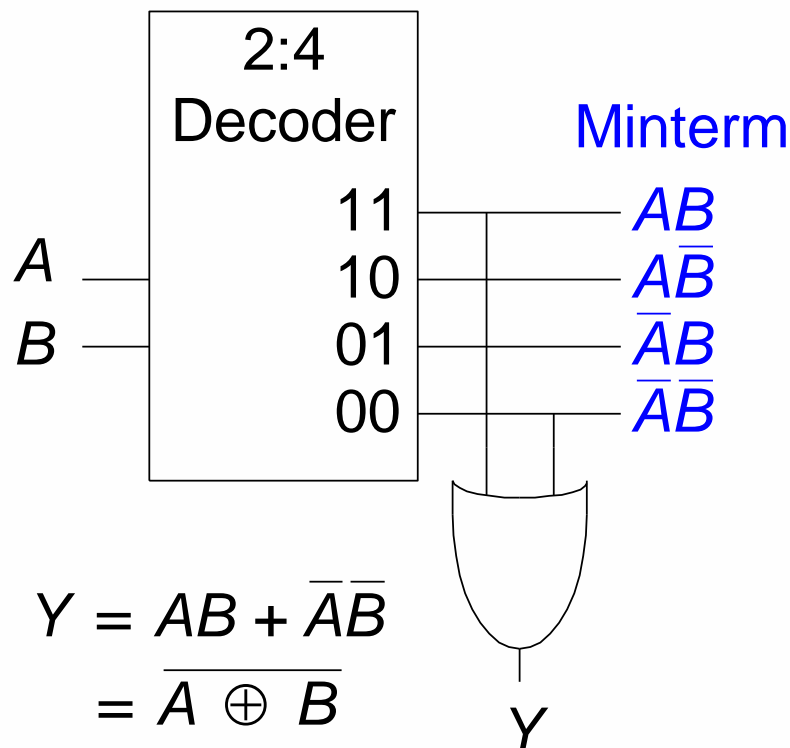
• پیاده سازی کدگشا یا دیکدر (Decoder Implementation)





# پیاده سازی یک مدار ترکیبی با کدگشا

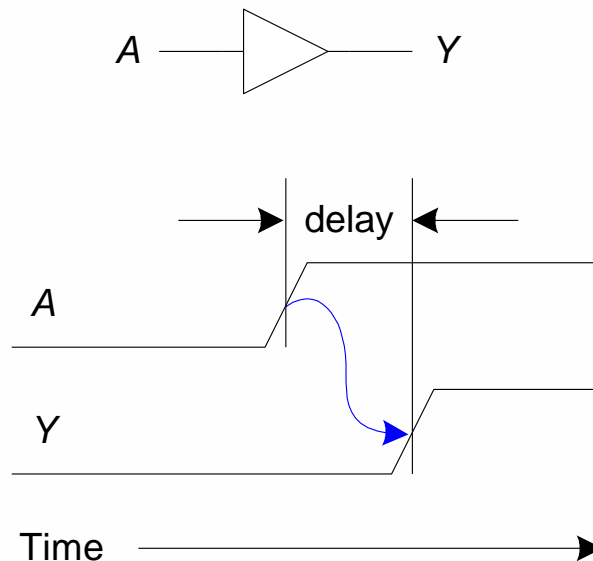
- پیاده سازی یک مدار ترکیبی با کدگشا (Logic Using Decoders)
- مینترم ها با یکدیگر OR می شوند (OR minterms)
- مثال: پیاده سازی نقیض یای انحصاری یا XNOR





# زمانبندی

- زمانبندی (Timing)
- به مدت زمان بین تغییر کردن ورودی تا تغییر کردن خروجی، تاخیر مدار گفته می شود
- چگونه می توان مدارات سریع تری ساخت؟
- Delay between input change and output changing
- How to build fast circuits?







# زمانبندی

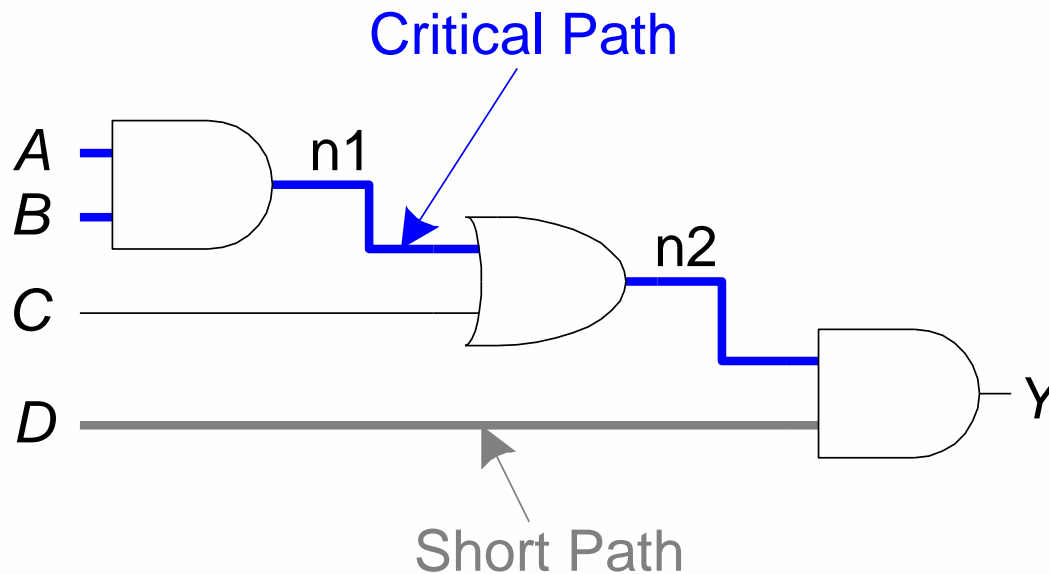
- دلایل ایجاد تاخیر
- خازن ها و مقاومت های موجود در مدار باعث تاخیر می شوند
- محدودیت سرعت نور نیز وجود دارد
- زمان تغییر وقتی مدار از یک به صفر می رود
- با زمانی که از صفر به یک می رود متفاوت است
- در مدارای که چند ورودی و چند خروجی دارد، بعضی از آنها سریع تر هستند
- مدار زمانی که گرم باشد کندتر بوده و زمانی که سرد باشد سریعتر است

- Delay is caused by
- Capacitance and resistance in a circuit
- Speed of light limitation
- Different rising and falling delays
- Multiple inputs and outputs, some of which are faster than others
- Circuits slow down when hot and speed up when cold



# زمانبندی

- کوتاهترین مسیر و مسیر بحرانی (طولانی)  
(Critical (Long) & Short Paths)





# منابع

در تهیه این پاورپوینت از پاورپوینت فصل دوم کتاب زیر استفاده شده است:

**Sarah L. Harris and David Harris, Digital Design and Computer Architecture, RISC-V Edition, 1<sup>st</sup> Edition, 2022**

