

本科试题（一）

一、选择题（每小题 2 分，共 20 分。）

1. $F = A \oplus B \oplus C$ ，A、B、C 取何值时， $F=1$ （ ）。
A. 011 B. 100 C. 101 D. 000
2. 下列三个数对应的十进制数最大的是（ ）。
A. $(30)_8$ B. $(10110)_2$ C. $(00101000)_{8421}$ D. 27
3. 图 1 所示电路中描述错误的是（ ）。
A. 状态变化发生在 CP 脉冲下降沿 B. $Q^{n+1} = Q^n$
C. $Q^{n+1} = \bar{Q}^n$ D. CP 脉冲下降沿输出状态翻转

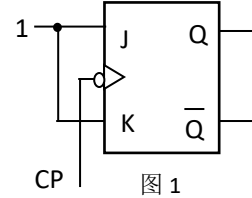


图 1

4. 二进制加法器自身（ ）。
A. 只能做二进制数加运算 B. 只能做 8421BCD 码加运算
C. A 和 B 均可 D. 只能做补码加法运算
5. 用方程式表示时序电路的逻辑功能，需（ ）。
A. 一个方程 B. 二个方程 C. 三个方程 D. 四个方程
6. 五个 D 触发器构成的扭环计数器，计数器的模是（ ）。
A. 10 B. 2^5 C. 5 D. 25
7. 八路数据选择器如图 2 所示，该电路所实现的逻辑函数是（ ）。
A. $F = \sum_m(6,8,13,14)$ B. $F = \sum_m(6,8,9,13)$
C. $F = \sum_m(6,7,8,9,13,14)$ D. $F = \sum_m(0,1,2,5)$

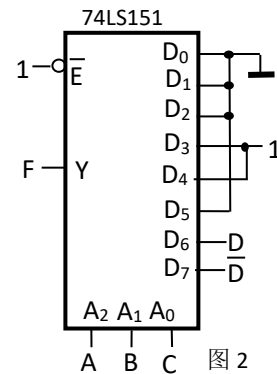


图 2

8. 判断以下三组 VHDL 语言描述中（ ）意义相同。
A. $z \leq \text{not } X \text{ and not } Y$; 和 $z \leq \text{not } (X \text{ or } Y)$;
B. $z \leq \text{not } (X \text{ or } Y)$; 和 $z \leq \text{not } X \text{ or not } Y$;
C. $z \leq \text{not } X \text{ and } Y$; 和 $z \leq \text{not } (X \text{ and } Y)$;
D. $z \leq \text{not } X \text{ and not } Y$; 和 $z \leq \text{not } (X \text{ and } Y)$;
9. 多路选择器构成的数据总线是（ ）。
A. 双向的 B. 单向的 C. A 和 B 都对 D. 多路的
10. 断电之后，能够将存储内容保存下来的存储器是（ ）。
A. 只读存储器 ROM; B. 随机存取存储器 RAM; C. 动态存取存储器 DRAM D. SDRAM

二、简答题（每小题 5 分，共 15 分）

1、化简 $F = \overline{AC} + \overline{ABC} + \overline{BC} + \overline{ABC}$ （5 分）

2、分析如图 3 所示的逻辑电路图，写出输出逻辑函数表达式。（5 分）

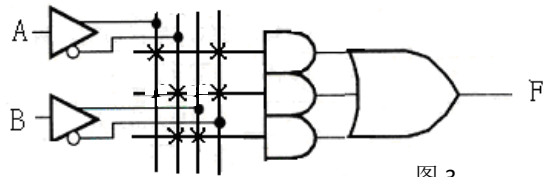


图 3

3、画出 01011 序列检测器的状态转移图，X 为序列输入，Z 为检测输出。（序列不重叠）（5 分）

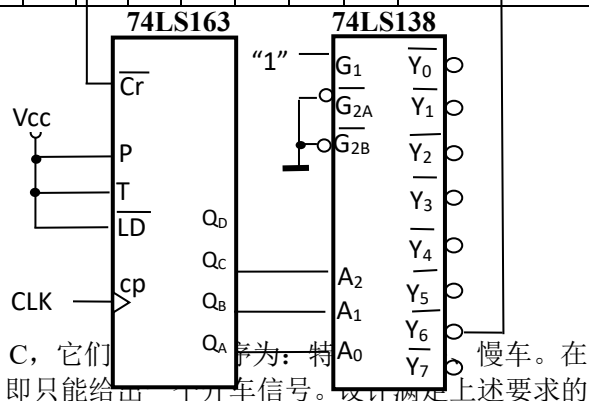
三、综合分析题（15 分）

四位二进制同步计数器
74LS163 与 3:8 译码器 74LS138
的连接电路如图 4。

回答如下问题：

1. 描述 74LS138 工作过程；
2. 描述 74LS163 的清零功能；
3. 图 4 构成模几计数器？
4. 画出图 4 计数器状态变化图；
5. 图 4 采用了中规模集成计数器构成任意进制计数器的什么方法？（复位法、预置法）

74LS163 功能表												
输入									输出			
Cr	LD	P	T	cp	D ₃	D ₂	D ₁	D ₀	Q _b	Q _c	Q _B	Q _A
L	×	×	×	↑	×	×	×	×	L	L	L	L
H	L	×	×	↑	d ₃	d ₂	d ₁	d ₀	d ₃	d ₂	d ₁	d ₀
H	H	H	H	↑	×	×	×	×	计 数			



四、组合电路设计（10 分）

旅客列车分为特快 A，直快 B 和慢车 C，它们在同一时间内，只能有一趟列车从车站开出，即只能给出一个开车信号。设计满足上述要求的开车信号控制电路。

1. 定义输入和输出逻辑变量；
2. 列出真值表；
3. 根据卡诺图写出输出最简“与或”表达式；
4. 用适当门电路设计该电路。

五、时序电路设计（15 分）

设计一个计数器，在 CLK 脉冲作用下 Q₃Q₂Q₁ 及输出 Z 的波形如图 5 所示。

1. 确定边沿触发的形式；
2. 画状态转移图；
3. 写状态转移表；
4. 写状态方程、激励方程（D 触发器）、输出方程；
5. 画出电路图。

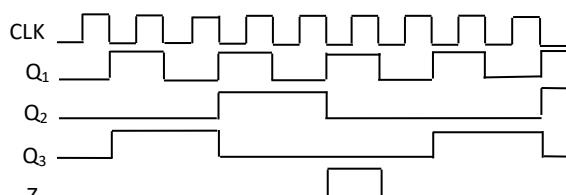


图 5

六、硬件描述语言设计（15 分）

用 VHDL 语言设计一个如图 6 所示六段显示的驱动译码器。它是为了显示图 6 所示的六个符号中的一个，实线表示亮，虚线表示不亮（图中 e 是垂直线，f 是水平线）。设计的器件有三个输入 A、B、C 及六个输出 a、b、c、d、e、f。图中表示的三位数是输入码，即译码器接收三位码，使适当的段亮。每一段的驱动电位是高电平。

写出完整的设计源程序。

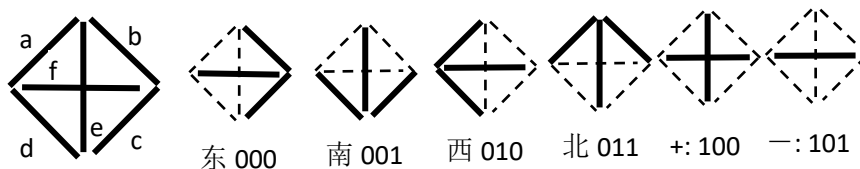


图 6

七、分析题（10 分）

某数字系统的结构如图 7 所示。

1. 列出全部控制信号；
2. A、B、C 为何种器件？
3. 门 1、2、3、4 为何种门

$X \rightarrow \Sigma$ $A \rightarrow \Sigma$ $B \rightarrow \Sigma$ $C \rightarrow \Sigma$
CLR. LDC LDA LDB LDC

4.描述 $A+B \rightarrow C$ 的工作过程及控制信号的顺序;

5.画出 $A+B \rightarrow C$ 的 ASM 图。

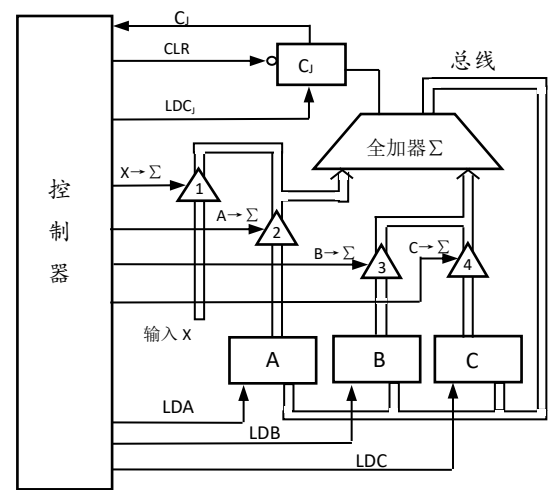


图 7

本科试题（二）

一、选择题（每小题 2 分，共 20 分。）

1. $F = A(\bar{A} + B) + B(B + C + D) =$ ()
A. B B. A+B C. 1 D. AB
2. 同步时序电路和异步时序电路比较，其差异在于后者 ()
A. 没有稳定状态 B. 没有统一的时钟脉冲控制
C. 输入数据是异步的 D. 输出数据是异步的
3. $(10000011)_{8421BCD}$ 的二进制码为 ()。
A. $(10000011)_2$ B. $(10100100)_2$ C. $(1010011)_2$ D. $(11001011)_2$
4. 74LS85 为四位二进制数据比较器。如果只进行 4 位数据比较，那么三个级联输入端 $a < b$ 、 $a > b$ 、 $a = b$ 应为 ()。
A. $a < b$ 接地， $a > b$ 接地， $a = b$ 接地
B. $a < b$ 接高电平， $a > b$ 接高电平， $a = b$ 接高电平
C. $a < b$ 接高电平， $a > b$ 接高电平， $a = b$ 接地
D. $a < b$ 接地， $a > b$ 接地， $a = b$ 接高电平
5. N 个触发器可以构成能寄存 () 位二进制数码的寄存器。
A. N B. 2N C. 2^N D. N^2
6. 时序电路中对于自启动能力的描述是 ()。
A. 无效状态自动进入有效循环，称为具有自启动能力。
B. 无效状态在时钟脉冲作用下进入有效循环，称为具有自启动能力。
C. 有效状态在时钟脉冲作用下进入有效循环，称为具有自启动能力。
D. 有效状态自动进入有效循环，称为具有自启动能力。
7. 数字系统的设计需要用到 ASM 图，它是设计 () 的重要工具。
A. 运算器 B. 寄存器 C. 控制器 D. 存储器
8. 四位超前进位加法器 74LS283 提高了工作速度，原因在于 ()。
A. 各位的进位是快速传递的 B. 它是四位串行进位加法器
C. 内部具有四个全加器 D. 各位的进位是同时形成的
9. ispLSI 系列器件是 () 的高密度 PLD 产品。
A. 基于与或阵列结构 B. 基于或阵列结构
C. 基于全译码结构 D. 基于可编程数字开关
10. 设计一个存储器，其地址线有 14 条 ($A_0 \sim A_{13}$)、数据线有 $D_0 \sim D_7$ 。现有芯片 $32K \times 8$ 、 $8K \times 2$ 、 $14K \times 4$ 、 $16K \times 4$ 。确定正确方案为 ()。
A. $14K \times 4$ 二片 B. $8K \times 2$ 八片 C. $32K \times 8$ 一片 D. $16K \times 4$ 四片

二、组合逻辑分析（10 分）

可控函数发生器如图 1 所示，其中 C_1 、 C_2 为控制端，A 和 B 为输入变量，F 为输出变量。

1. 写出输出函数 $F(A, B, C_1, C_2)$ 的逻辑表达式；
2. 当 C_1 、 C_2 的取值如表 4，写出 F 与 A、B 的逻辑关系填入表 4 中。

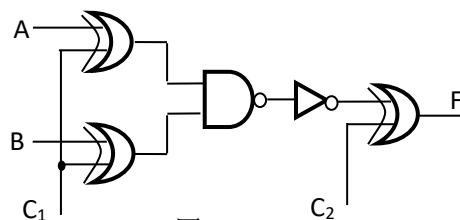


图 1

表 4

C1	C2	$F=f(A,B)$
0	0	
0	1	
1	0	
1	1	

三、时序电路分析（10 分）

十进制同步计数器
74LS162 改变模值的连接电路如图 2。CO 是进位输出信号，当 $Q_D Q_C Q_B Q_A = 1001$ 时，CO=1。

回答如下问题：

1. 图 3 构成模几计数器？
2. 状态变化过程是什么？
3. 图 3 采用了中规模集成计数器构成任意进制计数器的什么方法？（复位法、预置法）

输入									输出			
\overline{Cr}	\overline{LD}	P	T	cp	D	C	B	A	Q_D	Q_C	Q_B	Q_A
L	×	×	×	↑	×	×	×	×	L	L	L	L
H	L	×	×	↑	d	c	b	a	d	c	b	a
H	H	H	H	↑	×	×	×	×	计 数			

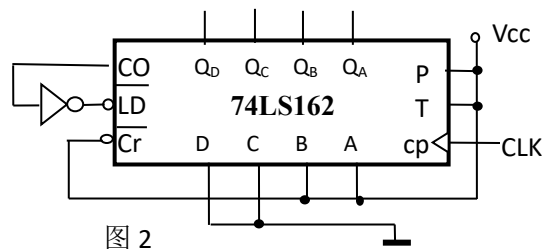


图 2

四、组合电路设计（10 分）

设计一个能判断某同学是否结业的逻辑电路，参加四门考试，规定如下：

- ☆政治 及格得 1 分 不及格得 0 分
 - ☆理化 及格得 2 分 不及格得 0 分
 - ☆英语 及格得 3 分 不及格得 0 分
 - ☆数学 及格得 4 分 不及格得 0 分
- 若总得分为 6 分以上（包括 6 分）就可结业。要求：

1. 定义输入和输出逻辑变量；
2. 列出真值表；
3. 根据卡诺图写出输出最简“与或”表达式；
4. 用适当门电路设计该电路。

五、时序电路设计（12 分）

设计一个 1011 序列检测器(序列不重叠)，X 为输入信号，Z 为输出信号。

1. 画状态转移图；
2. 确定最少用几个 D 触发器；
3. 写状态转移表；
4. 写状态方程、激励方程、输出方程。

六、硬件描述语言设计（14 分）

采用 VHDL 语言设计一个计数监视电路图 3 所示。
8421BCD 码十进制计数器处于计数状态，当其计数值能被 2 整除时，该监视电路输出 1，否则输出 0。

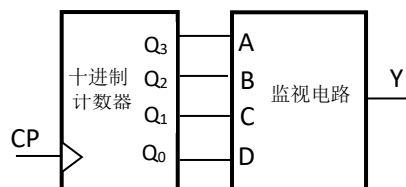


图 3

写出完整的设计源程序。

八、小型控制器设计（14 分）

某数字系统的 ASM 图如图 4 所示，设计多路选择器型控制器电路。

1. 列出状态转移真值表；
2. 写出多路选择器 MUX 的输入表达式；
3. 写出控制命令 Z1、Z2、Z3 的表达式；
4. 画出控制电路图。

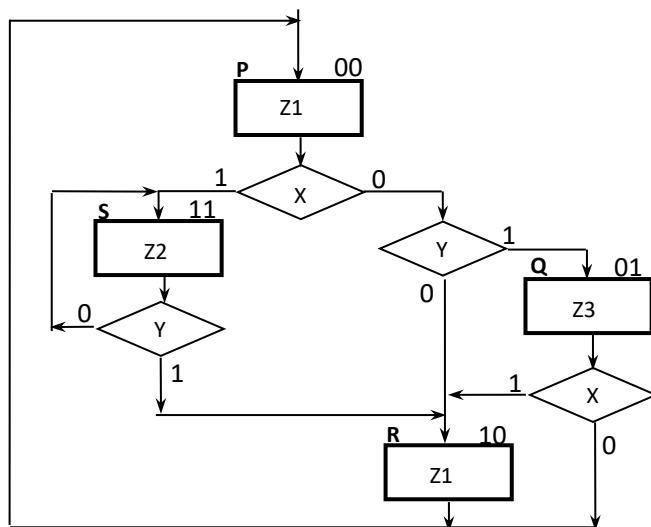


图 4