

北京邮电大学 2015—2016 学年第二学期

《数字电路与逻辑设计》考试试题（A 卷）

姓名：

班内序号：

学号：

班级：

线

订

装

考试 注意 事项	<p>一、学生参加考试须带学生证或学院证明，未带者不准进入考场。学生必须按照监考教师指定座位就坐。</p> <p>二、书本、参考资料、书包等与考试无关的东西一律放到考场指定位置。</p> <p>三、学生不得另行携带、使用稿纸，要遵守《北京邮电大学考场规则》，有考场违纪或作弊行为者，按相应规定严肃处理。</p> <p>四、学生必须将答题内容做在试卷上，草稿纸上一律无效。地方不够时做在背面，并在前面标明。</p>									
考试 课程	数字电路与逻辑 设计			考试时间				2016/ 5/ 28 8:00---10:00		
题号	一	二	三	四	五	六	七	八	九	总分
满分	30	8	10	10	10	6	6	10	10	100
得分										
阅卷 教师										

一、选择、填空、判断题（30 分，每空 1 分）

- 和 CMOS 相比，ECL 最突出的优势在于 D。
 - 可靠性高
 - 抗干扰能力强
 - 功耗低
 - 速度快
- 三极管的饱和深度主要影响其开关参数中的 C。
 - 延迟时间
 - 上升时间
 - 存储时间
 - 下降时间
- 用或非门组成的基本 RS 触发器的所谓“状态不确定”是发生在 R、S 上加入信号 D。
 - R=0, S=0
 - R=0, S=1
 - R=1, S=0
 - R=1, S=1
- 具有检测传输错误功能的编码是： C。

- A. 格雷码 B. 余 3 码 C. 奇偶校验码
5. 运用逻辑代数的反演规则，求函数的反函数： B。
- A. B.
- C.
6. 下列叙述中错误的有： C。
- A. 逻辑函数的标准积之和式具有唯一性。
- B. 逻辑函数的最简形式可能不唯一。
- C. 任意两不同的最小项之和恒等于 1。
7. 函数的最简或与式为： A。
- A.
- B.
- C.
8. 逻辑函数，判断当输入变量 ABCD 分别从(1) 0110→1100，
(2) 1111→1010 时是否存在功能冒险： B。
- A. 存在，存在 B. 不存在，存在
- C. 不存在，不存在
9. 对于 K=3 的 M 序列发生器，反馈函数为 $Q_2 \oplus Q_0$ ，则产生 M 序列： C。
- A. 1010100 B. 1110101 C. 1110100
10. 在进行异步时序电路的分析时，由于各个触发器的时钟信号不同，因此我们应该把时钟信号引入触发器的特征方程，对于 D 触发器，正确的是： A。
- A. $Q^{n+1} = D \cdot CP + Q^n \cdot \overline{CP}$ B. $Q^{n+1} = D \cdot CP$
- C. $Q^{n+1} = D + CP$
11. 集电极开路与非门(OC 门)的输出端可以直接相连实现线连接逻辑，这种线连接逻辑是： C。
- A. 线或 B. 与非 C. 线与
12. 各种 A/D 转换器电路类型中转换速度最快的是 A。
- A. 并联比较型 B. 逐次渐进型
- C. 双积分型 D. 计数型

13. 把串行输入的数据转换为并行输出的数据,可以使用 B。
- A. 寄存器 B. 移位寄存器
- C. 计数器 D. 存储器
14. 在进行状态编码时, 优先级最高的相邻编码规则是 A。
- A. 行相邻 B. 列相邻 C. 输出相邻
15. 在数字系统中 8 位二进制数称为一个字节, 若用一个字节对信息进行编码, 最多可表示 A 种信息?
- A. 256 种 B. 8 种 C. 128 种
16. 卡诺图有两个特殊的方格, 分别称为 0 重心(全 0 格)和 1 重心(全 1 格), 在卡诺图化简法中, 包含 1 重心的圈对应的乘积项 B
- A. 仅包含反变量.
- B. 仅包含原变量.
- C. 既有反变量, 又有原变量.
17. 模数转换要经过采样、保持、量化、编码四个过程, 说明保持电路的作用。 C
- A. 意义不大, 可以省略。
- B. 实现幅度数字化, 用数字量近似表示模拟量。
- C. 保证在量化编码期间, 输入信号幅度不变。
18. 连续异或 2016 个 1 的结果是 0。
19. 八路数据分配器, 其地址输入 (选择控制) 端有 3 个。
20. 三态门的三种输出状态为高电平、低电平和 高阻态。
21. 有 K 个 D 触发器构成的扭环计数器, 其有效的计数状态共 2k 个; 而由 k 个 D 触发器构成的环形计数器, 其不使用的状态为 $2^k - k$ 个。
22. 若用 $8K \times 8$ 位的 SRAM 芯片 MCM6264 组成 $64K \times 16$ 位的存储器系统, 共需 16 片芯片。
23. 有一个维持阻塞 D 触发器, 当时钟脉冲上升沿到来时, 为了保证可靠地接收数据 D, 要求 D 必须比上升沿提前一段时间出现, 这个时间称为 建立时间; 时钟上升沿到来后, 仍需 D 信号维持一段时间, 这个时间称为 保持时间。

24. 一个 8 位 D/A 转换器的最小输出电压 $V_{LSB}=0.01V$ ，当输入代码为 01001101 时，输出电压为 0.77V。
25. 具有 n 位地址输入和 m 位数据输出的 EPROM 可以产生一组有 m 个输出的 n 变量逻辑函数。(✓)
26. 仅由逻辑门构成的电路一定是组合逻辑电路。(X)
27. 异步计数器与同步计数器比较，异步计数器的主要优点之一是工作速度高。(X)
28. 主从 JK 触发器，当 $CP=1$ 期间 JK 发生多次变化，则主触发器的输出会随之发生多次变化 (X)

二. (8 分) ECL 门多输出函数设计

试用两个 ECL 门（或和或非输出端均为双输出）如图 2.1 所示，利用 ECL 门的线或功能，不加任何外置门电路，在图上通过连接实现四输出函数：,, ,

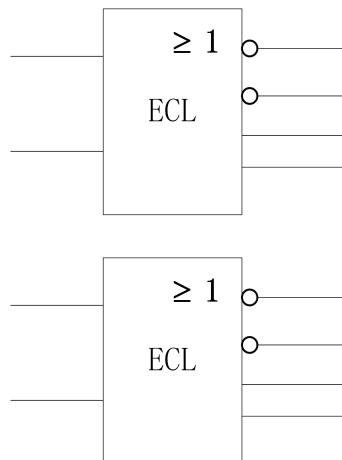
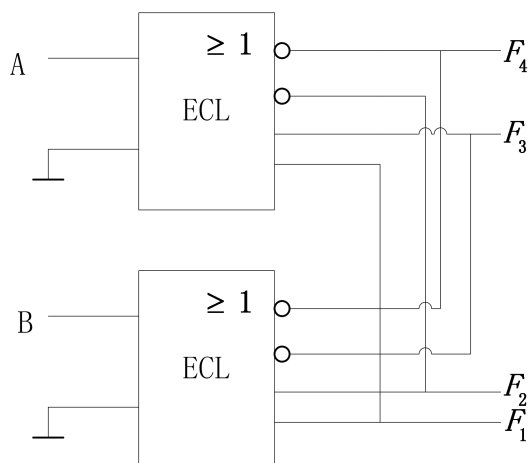


图 2.1

答案：



评分：某个输出正确给 2 分（其他方案酌情扣分）

三.（10 分）异步时序电路的分析

分析图 3.1 所示的异步计数器，按照图 3.1 的形式

- (1) 写出触发器的激励方程；
- (2) 写出触发器的状态方程；
- (3) 画出状态转移表和状态转移图；
- (4) 说明是几进制的计数器。

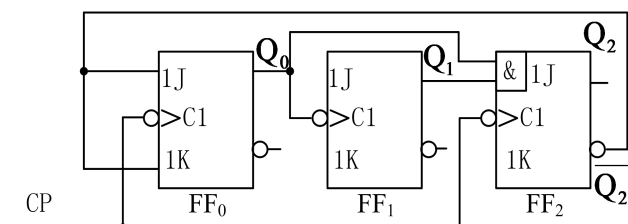
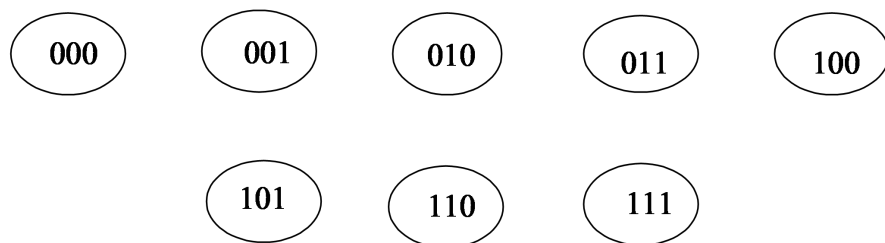


图 3.1

状态转移表

Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}
0	0	0			
0	0	1			
0	1	0			
0	1	1			
1	0	0			
1	0	1			
1	1	0			

1	1	1			
---	---	---	--	--	--



状态转移图

答案：

根据电路，触发器的激励方程为：（2 分）

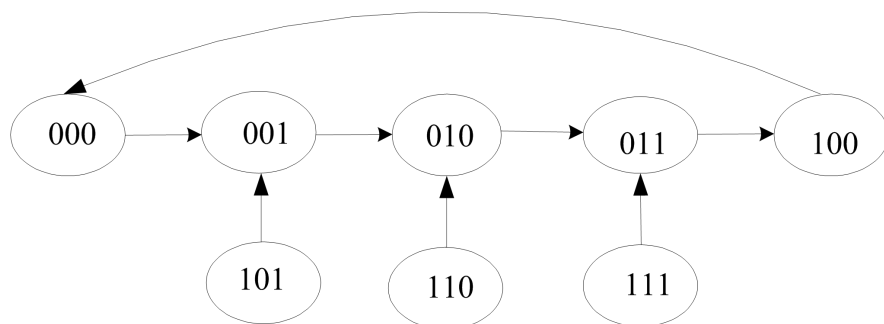
$$\begin{cases} J_0 = K_0 = \overline{Q_2^n} \\ J_1 = K_1 = 1 \\ J_2 = Q_0^n Q_1^n, K_2 = 1 \end{cases}$$

触发器的状态方程为：（2 分）

$$\begin{cases} Q_0^{n+1} = (\overline{Q_2^n} \cdot \overline{Q_0^n} + Q_2^n Q_0^n) \cdot (CP \downarrow) \\ Q_1^{n+1} = \overline{Q_1^n} (Q_0^n \downarrow) \\ Q_2^{n+1} = Q_0^n Q_1^n \overline{Q_2^n} (CP \downarrow) \end{cases}$$

状态转移表（2 分）

Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}
0	0	0	0	0	1
0	0	1	0	1	0
0	1	0	0	1	1
0	1	1	1	0	0
1	0	0	0	0	0
1	0	1	0	0	1
1	1	0	0	1	0
1	1	1	0	1	1



状态转移图（2分）

该电路为五进制计数器。（2分）

四.（10分）同步时序逻辑电路的设计

用 D 触发器和门电路设计一个三位循环码计数器，其编码表及转换顺序如表 4.1 所示。1. 根据状态转移表和进位输出 Y 填写卡诺图；

2. 写出触发器的下一状态方程；3. 写出激励方程；4. 写出输出方程。

（可不画电路图）

计数顺序	计数器状态			进位输出Y
	Q_2	Q_1	Q_0	
0	0	0	0	0
1	0	0	1	0
2	0	1	1	0
3	0	1	0	0
4	1	1	0	0
5	1	1	1	1
6	1	0	1	0
7	1	0	0	0

表 4.1

Q_0^n		$Q_2^n Q_1^n$			
		00	01	11	10
0					
1					
		Q_2^{n+1}			

Q_0^n		$Q_2^n Q_1^n$			
		00	01	11	10
0					
1					
		Q_1^{n+1}			

Q_0^n		$Q_2^n Q_1^n$			
		00	01	11	10
0					
1					
		Q_0^{n+1}			

Q_0^n		$Q_2^n Q_1^n$			
		00	01	11	10
0					
1					
		Y			

答案：根据表 4.1 可以画出电路下一状态和输出的卡诺图，如图解 4.1 (a)。(每图 1 分，共 4 分)

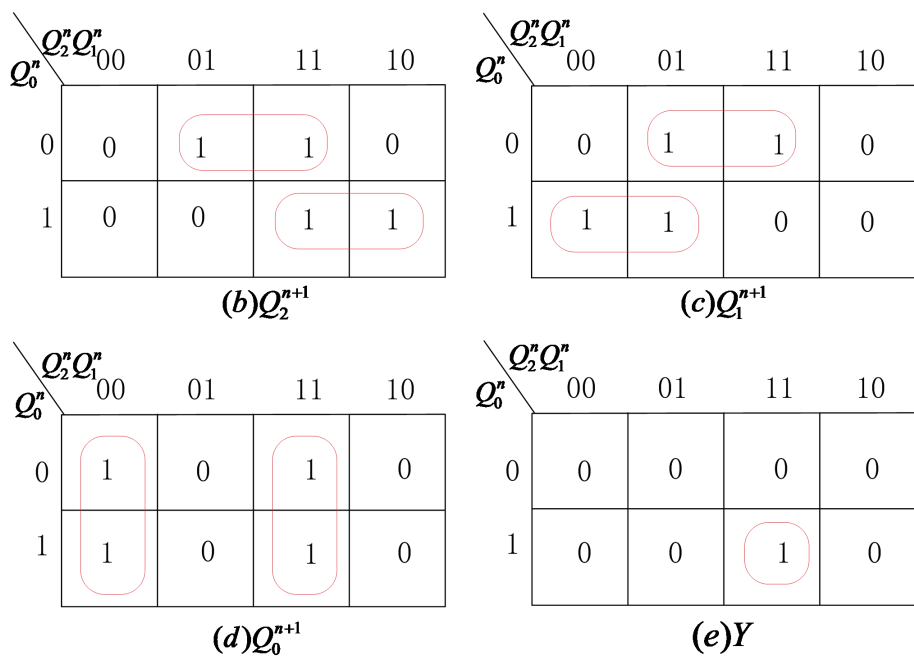
利用卡诺图化简，得到电路的状态方程和输出方程分别为

$$\begin{cases} Q_2^{n+1} = Q_2^n Q_0^n + Q_1^n \overline{Q_0^n} \\ Q_1^{n+1} = \overline{Q_2^n} Q_0^n + Q_1^n \overline{Q_0^n} \\ Q_0^{n+1} = \overline{Q_2^n} \overline{Q_1^n} + Q_2^n Q_1^n \end{cases} \quad (4.1)$$

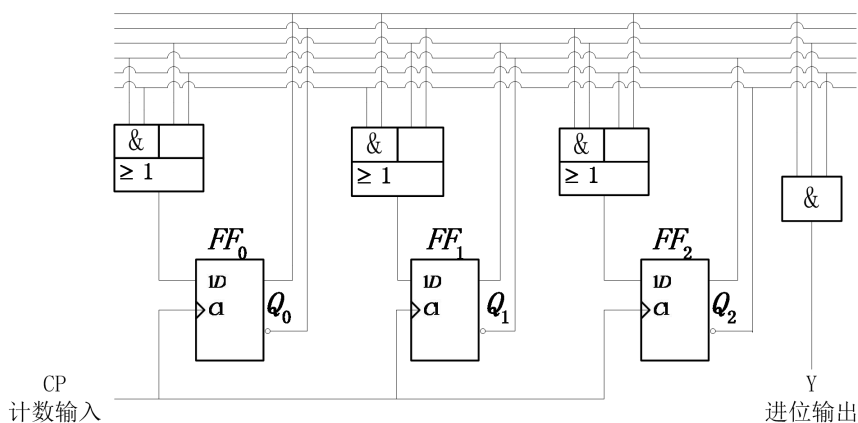
(4.2) (3 分)

$$\begin{cases} D_2 = Q_2^n Q_0^n + Q_1^n \overline{Q_0^n} \\ D_1 = \overline{Q_2^n} Q_0^n + Q_1^n \overline{Q_0^n} \\ D_0 = \overline{Q_2^n} \overline{Q_1^n} + Q_2^n Q_1^n \end{cases} \quad (4.3) \quad (3 \text{ 分})$$

根据式 (4.1) 和式 (4.3) 画出的三位循环码计数器电路如图解 4.2 所示。



解 4.1



解 4.2

五. (10 分) 图 5.1 是用一片同步计数器 74LS169 和一片八选一数据选择器 74LS151 组成的序列信号发生器，请分析：

- (1) 74LS169 组成的计数器的模值；
- (2) 列出输出函数 F 的真值表；
- (2) 写出输出 F 所产生的序列信号（从计数器的预置值开始）。

表 5.1 74LS169 的功能表

$\overline{ENP} + \overline{ENT}$	U/\overline{D}	\overline{LOAD}	CLK	$Q_D Q_C Q_B Q_A$
1		1		保持原状态
0		0	↑	预置
0	1	1	↑	加计数
0	0	1	↑	减计数

表 5.2 74LS151 的功能表

使能输入	选择地址输入			数据输入	输出
1					0 1
0	0	0	0		
0	0	0	1		
0	0	1	0		
0	0	1	1		
0	1	0	0		
0	1	0	1		
0	1	1	0		
0	1	1	1		

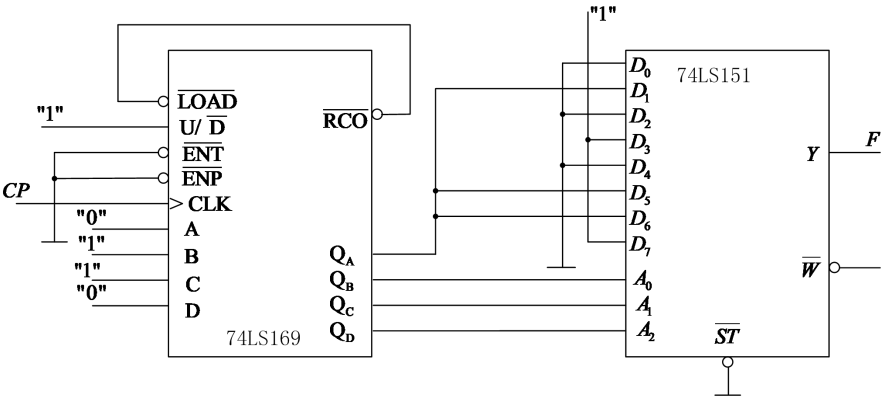


图 5.1 序列信号发生器逻辑图

$Q_D Q_C Q_B Q_A$	F
0 1 1 0	

解： 74LS169 连接为模 10 的计数器（3 分）。计数器采用加计数且使用进位输出端进行同步预置。

由于 74LS169 为同步预置，预置值为 0110，计数状态为 0110，0111，……，1110，1111。根据所使用计数状态列出表 5.2 所示的输出序列 F 的真值表。

表 5.2 输出函数的真值表（4 分）

$Q_D Q_C Q_B Q_A$	F
0110	1
0111	1
1000	0
1001	0
1010	0
1011	1
1100	0
1101	1
1110	1
1111	1

输出的序列信号为 1100010111。（3 分）

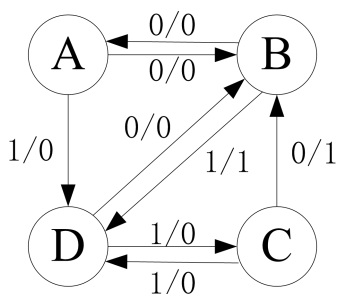
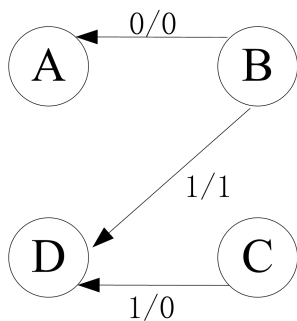
六.（6 分）一般时序逻辑电路的设计

在某种系统中，正常工作时要求连续 0 的数目为偶数，连续 1 的数目为奇数。用一个同步时序电路检测它的工作，工作不正常时输出为 1。示例如下：

输入 X: 00100011101100……

输出 Z: 00000010001010……

试用 4 个状态描述该系统的工作, 做出这个同步时序电路的原始状态图。（设：状态 A 为初始状态并表示收到偶数个 0；状态 B 为收到奇数个 0；状态 C 为收到偶数个 1；状态 D 为收到奇数个 1）



答案：

七. (6 分) 将下列表 7.1 的状态转移表用隐含表法进行化简 (填写隐含表, 并画出简化后的状态表)。

状态转移表		
S \ X	0	1
A	B/0	C/0
B	D/0	E/0
C	F/0	G/0
D	D/0	E/0
E	F/0	G/0
F	D/1	E/1
G	F/1	G/1

表 7.1

B	BD CE					
C						
D						
E						
F	X		X		X	
G		X		X		DF EG
	A	B	C	D	E	F

答案：隐含表 3 分，简化的状态表 3 分。

B	BD CE					
C	BF CG	DF EG				
D	BD CE	✓	FD GE			
E	BF CG	DF EG	✓	DF EG		
F	X	X	X	X	X	
G	X	X	X	X	X	DF EG
	A	B	C	D	E	F

状态转移表

		X	
		0	1
S			
(ABD)	a	a/0	b/0
(CE)	b	c/0	d/0
(F)	c	a/1	b/1
(G)	d	c/1	d/1

八. (10 分) 用中规模器件设计比较器

在图 8.1 所示三位二进制译码器(此三八译码器是高电平输出有效, 即输出 1 有效)和八选一数据选择器上, 不使用外围元件, 通过适当连接, 组成一个三位数码比较器, 要求数码时输出, 否则,, 标

明各引脚的输入、输出信号，并简述理由。

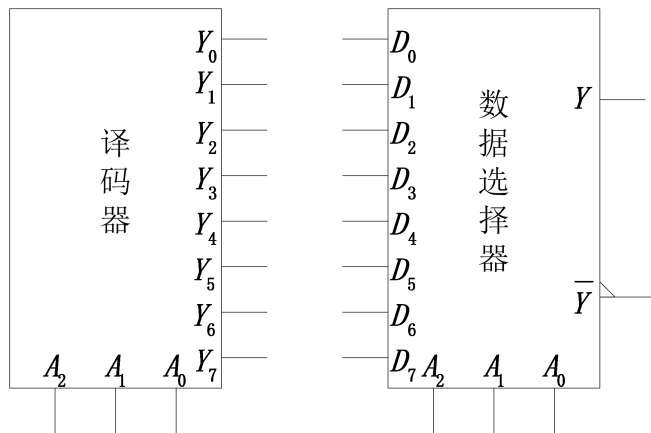


图 8.1

答案：设计思路是当三位二进制的输入等于八选一数据选择器的地址端输入（即）时，译码器输出的对应输入端将被选择器选通输出。如此图，三八译码器是高电平输出有效，即输出 1 有效，如时，输出为 1，而其他输出为 0，译码器按位与数据选择器连接，则数据选择器的输出为最终的比较器输出 Y。如下图。



评分：输入信号连接正确：4 分（两个信号可互换）

两器件间连接正确：4 分

输出端选用正确：2 分

九．中规模时序电路设计(10 分)

74LS169 是 4 位二进制可逆计数器，功能表见表 5.1 所示（第五题功能表）。74LS169 的进位和借位输出为 \overline{RCO} ，当加计数状态为 1111

时，或减计数达到 0000 状态， \overline{RCO} 端输出宽度为一个时钟周期的

负脉冲。图 9.1 为 74LS169 构成的计数器。要求：用两片 74LS169 构成一个分频比为 30 的分频器，并要求分频器输出占空比为 1:2 的方波（占空比定义为正脉冲的持续时间与脉冲周期的比值）。不可以附加逻辑门，计数器采用加计数方式，用分频器的最高位输出方波。

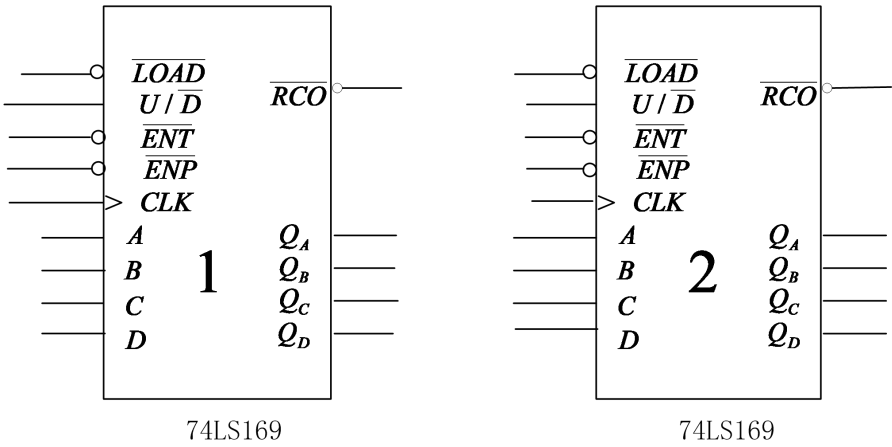


图 9.1

答案：

- (1) 要求分频输出是方波，需要将两个计数器分别设置为模 15 和模 2 计数。此时，高位计数的输出就是分频比为 30 的方波。
- (2) 片 1（DCBA）为 0001，片 2（DCBA）为 1110（两个预置值各 2 分，部分有错，酌情扣分）

