

2009

11. 冯·诺依曼计算机中指令和数据均以二进制形式存放在存储器中，CPU 区分它们的依据是_____。
- A. 指令操作码的译码结果 B. 指令和数据的寻址方式
C. 指令周期的不同阶段 D. 指令和数据所在的存储单元
12. 一个 C 语言程序在一台 32 位机器上运行。程序中定义了三个变量 x、y 和 z，其中 x 和 z 为 int 型，y 为 short 型。当 $x=127$ ， $y=-9$ 时，执行赋值语句 $z=x+y$ 后，x、y 和 z 的值分别是_____。
- A. $x=0000007FH$ ， $y=FFF9H$ ， $z=00000076H$
B. $x=0000007FH$ ， $y=FFF9H$ ， $z=FFF0076H$
C. $x=0000007FH$ ， $y=FFF7H$ ， $z=FFF0076H$
D. $x=0000007FH$ ， $y=FFF7H$ ， $z=00000076H$
13. 浮点数加、减运算过程一般包括对阶、尾数运算、规格化、舍入和判溢出等步骤。设浮点数的阶码和尾数均采用补码表示，且位数分别为 5 位和 7 位（均含 2 位符号位）。若有两个数 $X=2^7 \times 29/32$ ， $Y=2^5 \times 5/8$ ，则用浮点加法计算 $X+Y$ 的最终结果是_____。
- A. 00111 1100010 B. 00111 0100010
C. 01000 0010001 D. 发生溢出
14. 某计算机的 Cache 共有 16 块，采用 2 路组相联映射方式（即每组 2 块）。每个主存块大小为 32 字节，按字节编址。主存 129 号单元所在主存块应装入到的 Cache 组号是_____。
- A. 0 B. 1 C. 4 D. 6
15. 某计算机主存容量为 64KB，其中 ROM 区为 4KB，其余为 RAM 区，按字节编址。现要用 $2K \times 8$ 位的 ROM 芯片和 $4K \times 4$ 位的 RAM 芯片来设计该存储器，则需要上述规格的 ROM 芯片数和 RAM 芯片数分别是_____。
- A. 1、15 B. 2、15 C. 1、30 D. 2、30
16. 某机器字长 16 位，主存按字节编址，转移指令采用相对寻址，由两个字节组成，第一字节为操作码字段，第二字节为相对位移量字段。假定取指令时，每取一个字节 PC 自动加 1。若某转移指令所在主存地址为 2000H，相对位移量字段的内容为 06H，则该转移指令成功转移后的目标地址是_____。
- A. 2006H B. 2007H C. 2008H D. 2009H
17. 下列关于 RISC 的叙述中，错误的是_____。
- A. RISC 普遍采用微程序控制器
B. RISC 大多数指令在一个时钟周期内完成
C. RISC 的内部通用寄存器数量相对 CISC 多
18. 某计算机的指令流水线由四个功能段组成，指令流经各功能段的时间（忽略各功能段之间的缓存时间）分别为 90 ns、80 ns、70 ns、和 60 ns，则该计算机的 CPU 时钟周期至少是_____。
- A. 90 ns B. 80 ns C. 70 ns D. 60 ns
19. 相对于微程序控制器，硬布线控制器的特点是_____。
- A. 指令执行速度慢，指令功能的修改和扩展容易
B. 指令执行速度慢，指令功能的修改和扩展难
C. 指令执行速度快，指令功能的修改和扩展容易
D. 指令执行速度快，指令功能的修改和扩展难
20. 假设某系统总线在一个总线周期中并行传输 4 字节信息，一个总线周期占用 2 个时钟周期，总线时钟频率为 10MHz，则总线带宽是_____。
- A. 10MB/S B. 20MB/S C. 40MB/S D. 80MB/S
21. 假设某计算机的存储系统由 Cache 和主存组成，某程序执行过程中访存 1 000 次，其中访问 Cache 缺失（未命中）50 次，则 Cache 的命中率是_____。
- A. 5% B. 9.5% C. 50% D. 95%
22. 下列选项中，能引起外部中断的事件是_____。
- A. 键盘输入 B. 除数为 0
C. 浮点运算下溢 D. 访存缺页

43. (8分) 某计算机的 CPU 主频为 500MHz, CPI 为 5 (即执行每条指令平均需 5 个时钟周期)。假定某外设

的数据传输率为 0.5MB/s, 采用中断方式与主机进行数据传送, 以 32 位为传输单位, 对应的中断服务程序包含 18 条指令, 中断服务的其他开销相当于 2 条指令的执行时间。请回答下列问题, 要求给出计算过程。

1) 在中断方式下, CPU 用于该外设 I/O 的时间占整个 CPU 时间的百分比是多少?

2) 当该外设的数据传输率达到 5MB/s 时, 改用 DMA 方式传送数据。假定每次 DMA 传送块大小为 5000B, 且 DMA 预处理和后处理的总开销为 500 个时钟周期, 则 CPU 用于该外设 I/O 的时间占整个 CPU 时间的百分比是多少? (假设 DMA 与 CPU 之间没有访存冲突)

46. (8分) 请求分页管理系统中, 假设某进程的页表内容如下表所示:

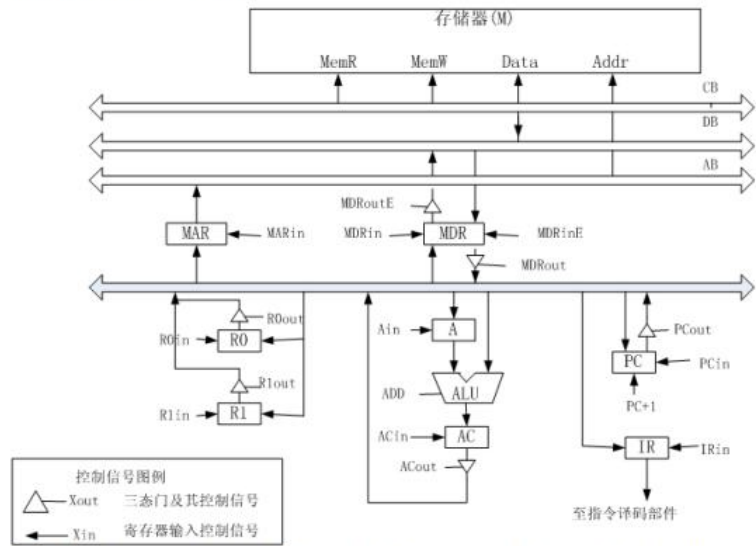
页号	页框(Page Frame)号	有效位(存在位)
0	101H	1
1	——	0
2	254H	1

页面大小为 4KB, 一次内存的访问时间是 100ns, 一次快表(TLB)的访问时间是 10ns, 处理一次缺页的平均时间 10^8 ns(已含更新 TLB 和页表的时间), 进程的驻留集大小固定为 2, 采用最近最少使用置换算法(LRU)和局部淘汰策略。假设①TLB 初始为空; ②地址转换时先访问 TLB, 若 TLB 未命中, 再访问页表(忽略访问页表之后的 TLB 更新时间); ③有效位为 0 表示页面不在内存, 产生缺页中断, 缺页中断处理后, 返回到产生缺页中断的指令处重新执行。设有虚地址访问序列 2362H、1565H、25A5H, 请问:

(1) 依次访问上述三个虚地址, 各需多少时间? 给出计算过程。

(2) 基于上述访问序列, 虚地址 1565H 的物理地址是多少? 请说明理由。

44. (13分) 某计算机字长16位, 采用16位定长指令字结构, 部分数据通路结构如下图所示, 图中所有控制信号为1时表示有效、为0时表示无效。例如控制信号MDRinE为1表示允许数据从DB打入MDR, MDRin为1表示允许数据从内总线打入MDR。假设MAR的输出一直处于使能状态。加法指令“ADD (R1), R0”的功能为 $(R0) + ((R1)) \rightarrow (R1)$, 即将R0中的数据与R1的内容所指主存单元的数据相加, 并将结果送入R1的内容所指主存单元中保存。



下表给出了上述指令取指和译码阶段每个节拍(时钟周期)的功能和有效控制信号, 请按表中描述方式用表格列出指令执行阶段每个节拍的功能和有效控制信号。

时钟	功能	有效控制信号
C1	$MAR \leftarrow (PC)$	PCout, MARin
C2	$MDR \leftarrow M(MDR)$ $PC \leftarrow (PC)+1$	MemR, MDRinE, PC+1
C3	$IR \leftarrow (MDR)$	MDRout, IRin
C4	指令译码	无

2010

12. 下列选项中,能缩短程序执行时间的措施是_____。
- I. 提高 CPU 时钟频率 II. 优化数据通路结构
- III. 对程序进行编译优化
- A. 仅 I 和 II B. 仅 I 和 III C. 仅 II 和 III D. I、II 和 III
13. 假定有 4 个整数用 8 位补码分别表示 $r1=FEH$, $r2=F2H$, $r3=90H$, $r4=F8H$, 若将运算结果存放在一个 8 位寄存器中,则下列运算中会发生溢出的是_____。
- A. $r1 \times r2$ B. $r2 \times r3$
- C. $r1 \times r4$ D. $r2 \times r4$
14. 假定变量 i、f 和 d 的数据类型分别为 int, float 和 double (int 用补码表示, float 和 double 分别用 IEEE754 单精度和双精度浮点数格式表示), 已知 $i=785$, $f=1.5678e3$, $d=1.5e100$ 。若在 32 位机器中执行下列关系表达式, 则结果为“真”的是_____。
- (I) $i == (int)(float)i$ (II) $f == (float)(int)f$
- (III) $f == (float)(double)f$ (IV) $(d+f)-d == f$
- A. 仅 I 和 II B. 仅 I 和 III C. 仅 II 和 III D. 仅 III 和 IV
15. 假定用若干个 $2k \times 4$ 位的芯片组成一个 $8k \times 8$ 位的存储器, 则地址 $0B1FH$ 所在芯片的最小地址是_____。
- A. $0000H$ B. $0600H$ C. $0700H$ D. $0800H$
16. 下列有关 RAM 和 ROM 的叙述中, 正确的是_____。
- I RAM 是易失性存储器, ROM 是非易失性存储器
- II RAM 和 ROM 都采用随机存取方式进行信息访问
- III RAM 和 ROM 都可用作 Cache
- IV RAM 和 ROM 都需要进行刷新
- A. 仅 I 和 II B. 仅 II 和 III C. 仅 I, II 和 IV D. 仅 II, III 和 IV
17. 下列命中组合情况中, 一次访存过程中不可能发生的是_____。
- A. TLB 未命中, Cache 未命中, Page 未命中
- B. TLB 未命中, Cache 命中, Page 命中
- C. TLB 命中, Cache 未命中, Page 命中
- D. TLB 命中, Cache 命中, Page 未命中
18. 下列寄存器中, 汇编语言程序员可见的是_____。
- A. 存储器地址寄存器(MAR) B. 程序计数器(PC)
- C. 存储器数据寄存器(MDR) D. 指令寄存器(IR)
19. 下列选项中, 不会引起指令流水线阻塞的是_____。
- A. 数据旁路(转发) B. 数据相关
- C. 条件转移 D. 资源冲突

20. 下列选项中的英文缩写均为总线标准的是_____。
- A. PCI、CRT、USB、EISA
B. ISA、CPI、VESA、EISA
C. ISA、SCSI、RAM、MIPS
D. ISA、EISA、PCI、PCI-Express
21. 单级中断系统中，中断服务程序内的执行顺序是_____。
- I 保护现场 II 开中断 III 关中断 IV 保存断点
V 中断事件处理 VI 恢复现场 VII 中断返回
- A. I->V->VI->II->VII B. III->I->V->VII
C. III->IV->V->VI->VII D. IV->I->V->VI->VII
22. 假定一台计算机的显示存储器用 DRAM 芯片实现，若要求显示分辨率为 1600*1200，颜色深度为 24 位，帧频为 85HZ，显存总带宽的 50%用来刷新屏幕，则需要的显存总带宽至少约为_____。
- A. 245Mbps B. 979Mbps
C. 1 958Mbps D. 7 834Mbps

43. (11 分) 某计算机字长为 16 位，主存地址空间大小为 128KB，按字编址。采用单字长指令格式，指令各字段定义如下：

15	12 11	6 5	0	
OP	Ms	Rs	Md	Rd
源操作数		目的操作数		

转移指令采用相对寻址方式，相对偏移量用补码表示，寻址方式定义如下：

Ms/Md	寻址方式	助记符	含义
000B	寄存器直接	Rn	操作数 = (Rn)

001B	寄存器间接	(Rn)	操作数 = ((Rn))
010B	寄存器间接、自增	(Rn) +	操作数 = ((Rn)), (Rn) + 1 → Rn
011B	相对	D (Rn)	转移目标地址 = (PC) + (Rn)

注：(X) 表示存储器地址 X 或寄存器 X 的内容。

请回答下列问题：

- (1) 该指令系统最多可有多少条指令？该计算机最多有多少个通用寄存器？存储器地址寄存器 (MAR) 和存储器数据寄存器 (MDR) 至少各需要多少位？
- (2) 转移指令的目标地址范围是多少？
- (3) 若操作码 0010B 表示加法操作 (助记符为 add)，寄存器 R4 和 R5 的编号分别为 100B 和 101B，R4 的内容为 1234H，R5 的内容为 5678H，地址 1234H 中的内容为 5678H，地址 5678H 中的内容为 1234H，则汇编语言为 “add (R4), (R5) +” (逗号前为源操作数，逗号后为目的操作数) 对应的机器码是什么 (用十六进制表示)？该指令执行后，哪些寄存器和存储单元中的内容会改变？改变后的内容是什么？

44. (12 分) 某计算机的主存地址空间大小为 256MB，按字节编址。指令 Cache 和数据 Cache 分离，均有 8 个 Cache 行，每个 Cache 行大小为 64B，数据 Cache 采用直接映射方式。现有两个功能相同的程序 A 和 B，其伪代码如下所示：

```

程序 A:
int a[256][256]
.....
int sum_array1()
{
    int i, j, sum=0;
    for(i=0; i<256; i++)
        for(j=0; j<256; j++)
            sum += a[i][j];
    return sum;
}

```

```

程序 B:
int a[256][256]
.....
int sum_array2()
{
    int i, j, sum=0;
    for(j=0; j<256; j++)
        for(i=0; i<256; i++)
            sum += a[i][j];
    return sum;
}

```

假定 int 类型数据用 32 位补码表示，程序编译时 i, j, sum 均分配在寄存器中，数组 a 按行优先方式存放，其首地址为 320（十进制数）。请回答下列问题，要求说明理由或给出计算过程。

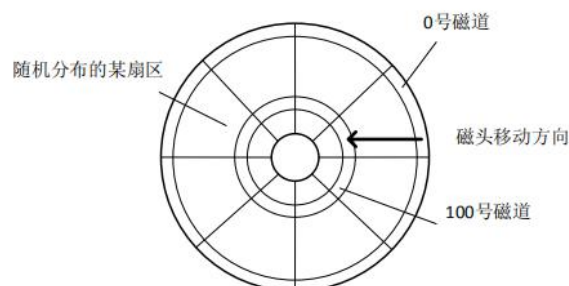
- (1) 若不考虑用于 cache 一致性维护和替换算法的控制位，则数据 Cache 的总容量为多少？
- (2) 数组元素 a[0][31] 和 a[1][1] 各自所在的主存块对应的 Cache 行号分别是多少（Cache 行号从 0 开始）？
- (3) 程序 A 和 B 的数据访问命中率各是多少？哪个程序的执行时间更短？

45. (7 分) 假设计算机系统采用 CSCAN（循环扫描）磁盘调度策略，使用 2KB 的内存空间记录 16 384 个磁盘块的空闲状态。

(1) 请说明在上述条件下如何进行磁盘块空闲状态的管理。

(2) 设某单面磁盘旋转速度为每分钟 6000 转，每个磁道有 100 个扇区，相邻磁道间的平均移动时间为 1ms。若在某时刻，磁头位于 100 号磁道处，并沿着磁道号增大的方向移动（如下图所示），磁道号请求队列为 50, 90, 30, 120，对请求队列中的每个磁道需读取 1 个随机分布的扇区，则读完这 4 个扇区点共需要多少时间？要求给出计算过程。

(3) 如果将磁盘替换为随机访问的 Flash 半导体存储器（如 U 盘、SSD 等），是否有比 CSCAN 更高效的磁盘调度策略？若有，给出磁盘调度策略的名称并说明理由；若无，说明理由。



46. (8分) 设某计算机的逻辑地址空间和物理地址空间均为 64KB，按字节编址。若某进程最多需要 6 页(Page) 数据存储空间，页的大小为 1KB，操作系统采用固定分配局部置换策略为此进程分配 4 个页框(Page Frame)。在时刻 260 前的该进程访问情况如下表所示（访问位即使用位）。

页号	页框号	装入时刻	访问位
0	7	130	1
1	4	230	1
2	2	200	1
3	9	160	1

当该进程执行到时刻 260 时，要访问逻辑地址为 17CAH 的数据。请回答下列问题：

- (1) 该逻辑地址对应的页号是多少？
- (2) 若采用先进先出 (FIFO) 置换算法，该逻辑地址对应的物理地址是多少？要求给出计算过程。
- (3) 若采用时钟 (CLOCK) 置换算法，该逻辑地址对应的物理地址是多少？要求给出计算过程（设搜索下一页的指针沿顺时针方向移动，且当前指向 2 号页框，示意图如下）。

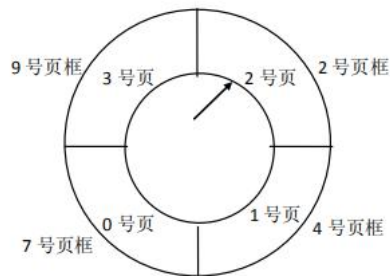


图 3.15 页框示意图

2011

12. 下列选项中, 描述浮点数操作速度指标的是

- A. MIPS B. CPI C. IPC D. MFLOPS

解答: D。送分题。

13. float型数据通常用IEEE 754单精度浮点数格式表示。若编译器将float型变量x分配在一个32位浮点寄存器FR1中, 且 $x = -8.25$, 则FR1的内容是

- A. C104 0000H B. C242 0000H C. C184 0000H D. C1C2 0000H

解答: A。x的二进制表示为 $-1000.01 = -1.000\ 01 \times 2^{11}$ 根据IEEE754标准隐藏最高位的“1”, 又 $E-127=3$, 所以 $E=130=1000\ 0010_{(2)}$ 数据存储为1位数符+8位阶码(含阶符)+23位尾数。

故FR1内容为1 10000 0010 0000 10000 0000 0000 0000 000

即1100 0001 0000 0100 0000 0000 0000 0000, 即C1040000H

14. 下列各类存储器中, 不采用随机存取方式的是

- A. EPROM B. CDROM C. DRAM D. SRAM

解答: B。光盘采用顺序存取方式。

15. 某计算机存储器按字节编址, 主存地址空间大小为64MB, 现用 $4M \times 8$ 位的RAM芯片组成32MB的主存储器, 则存储器地址寄存器MAR的位数至少是

- A. 22位 B. 23位 C. 25位 D. 26位

解答: D。64MB的主存地址空间, 故而MAR的寻址范围是64M, 故而是26位。而实际的主存的空间不能代表MAR的位数。

16. 偏移寻址通过将某个寄存器内容与一个形式地址相加而生成有效地址。下列寻址方式中, 不属于偏移寻址方式的是

- A. 间接寻址 B. 基址寻址 C. 相对寻址 D. 变址寻址

解答: A。间接寻址不需要寄存器, $EA=(A)$ 。基址寻址: $EA=A+$ 基址寄存器内容; 相对寻址: $EA=A+PC$ 内容; 变址寻址: $EA=A+$ 变址寄存器内容。

17. 某机器有一个标志寄存器, 其中有进位/借位标志CF、零标志ZF、符号标志SF和溢出标志OF, 条件转移指令bgt(无符号整数比较大小时转移)的转移条件是

- A. $CF + OF = 1$ B. $\overline{SF} + ZF = 1$ C. $\overline{CF} + ZF = 1$ D. $\overline{CF} + \overline{SF} = 1$

解答: C。无符号整数比较, 如 $A > B$, 则 $A-B$ 无进位/借位, 也不为0。故而CF和ZF均为0。

18. 下列给出的指令系统特点中, 有利于实现指令流水线的是

- I. 指令格式规整且长度一致 II. 指令和数据按边界对齐存放

III. 只有Load/Store指令能对操作数进行存储访问

- A. 仅 I、II B. 仅 II、III C. 仅 I、III D. I、II、III

解答: D。指令定长、对齐、仅Load/Store指令访存, 以上三个都是RISC的特征。均能够有效的简化流水线的复杂度。

19. 假定不采用Cache和指令预取技术, 且机器处于“开中断”状态, 则在下列有关指令执行的叙述中, 错误的是

- A. 每个指令周期中CPU都至少访问内存一次
B. 每个指令周期一定大于或等于一个CPU时钟周期
C. 空操作指令的指令周期中任何寄存器的内容都不会被改变
D. 当前程序在每条指令执行结束时都可能被外部中断打断

解答: C。会自动加1, A取指令要访存、B时钟周期对指令不可分割。

19. 假定个米用Cache和指令预取技术, 且机器处于“开中断”状态, 则在下列有关指令执行的叙述中, 错误的是

- A. 每个指令周期中CPU都至少访问内存一次
- B. 每个指令周期一定大于或等于一个CPU时钟周期
- C. 空操作指令的指令周期中任何寄存器的内容都不会被改变
- D. 当前程序在每条指令执行结束时都可能被外部中断打断

解答: C. 会自动加1, A取指令要访存、B时钟周期对指令不可分割。

20. 在系统总线的数据线上, 不可能传输的是

- A. 指令
- B. 操作数
- C. 握手(应答)信号
- D. 中断类型号

解答: C. 握手(应答)信号在通信总线上传输。

21. 某计算机有五级中断 $L_4 \sim L_0$, 中断屏蔽字为 $M_4M_3M_2M_1M_0$, $M_i=1$ ($0 \leq i \leq 4$) 表示对 L_i 级中断进行屏蔽。若中断响应优先级从高到低的顺序是 $L_4 \rightarrow L_0 \rightarrow L_2 \rightarrow L_1 \rightarrow L_3$, 则 L_1 的中断处理程序中设置的中断屏蔽字是

- A. 11110
- B. 01101
- C. 00011
- D. 01010

解答: D. 高等级置0表示可被中断, 比该等级低的置1表示不可被中断。

22. 某计算机处理器主频为50MHz, 采用定时查询方式控制设备A的I/O, 查询程序运行一次所用的时钟周期数至少为500。在设备A工作期间, 为保证数据不丢失, 每秒需对其查询至少200次, 则CPU用于设备A的I/O的时间占整个CPU时间的百分比至少是

- A. 0.02%
- B. 0.05%
- C. 0.20%
- D. 0.50%

解答: C. 每秒200次查询, 每次500个周期, 则每秒最少 $200 \times 500 = 100000$ 个周期, $100000 \div 50M = 0.20\%$ 。

43. (11分) 假定在一个8位字长的计算机中运行如下类C程序段:

```
unsigned int  x = 134;
unsigned int  y = 246;
int  m = x;
int  n = y;
unsigned int  z1 = x-y;
unsigned int  z2 = x+y;
int  k1 = m-n;
int  k2 = m+n;
```

若编译器编译时将 8 个 8 位寄存器 R1~R8 分别分配给变量 x、y、m、n、z1、z2、k1 和 k2。请回答下列问题。（提示：带符号整数用补码表示）

- (1) 执行上述程序段后，寄存器 R1、R5 和 R6 的内容分别是什么？（用十六进制表示）
- (2) 执行上述程序段后，变量 m 和 k1 的值分别是多少？（用十进制表示）
- (3) 上述程序段涉及带符号整数加/减、无符号整数加/减运算，这四种运算能否利用同一个加法器辅助电路实现？简述理由。
- (4) 计算机内部如何判断带符号整数加/减运算的结果是否发生溢出？上述程序段中，哪些带符号整数运算语句的执行结果会发生溢出？

解答：

- (1) **R1=134=86H, R5=90H, R6=7CH;**

134=1000 0110B=86H; $x-y=1000\ 0110B-1111\ 0110B=1001\ 0000B=90H$; $x+y=1000\ 0110B+1111\ 0110B=0111\ 1100B$ (溢出)

- (2) **m=-122,k1=-112**

$m=1000\ 0110B$ ，做高位为符号位，则 m 的原码为 1111 1010B=-122; $n=1111\ 0110B$
n 的原码为 1000 1001=-10; $k1=m-n=-112$ 。

(3) **无符号数和有符号数都是以补码的形式存储，加减运算没有区别(不考虑溢出情况时)，只是输出的时候若有符号数的最高位是符号位。**

减法运算求 $[-x]$ 的时候，是连同符号位一起按位取反末位加 1，但是如果有溢出情况，这两者是有区别的，所以可以利用同一个加法器实现，但是溢出判断电路不同。

- (4) **判断方法是如果最高位进位和符号位的进位不同，则为溢出；“int k2=m+n;”会溢出；**

三种方法可以判断溢出，双符号位、最高位进位、符号相同操作数的运算后与原操作数的符号不同则溢出

44. (12 分) 某计算机存储器按字节编址, 虚拟 (逻辑) 地址空间大小为 16MB, 主存 (物理) 地址空间大小为 1MB, 页面大小为 4KB; Cache 采用直接映射方式, 共 8 行; 主存与 Cache 之间交换的块大小为 32B。系统运行到某一时刻时, 页表的部分内容和 Cache 的部分内容分别如题 44-a 图、题 44-b 图所示, 图中页框号及标记字段的内容为十六进制形式。

虚页号	有效位	页框号	...
0	1	06	...
1	1	04	...
2	1	15	...
3	1	02	...
4	0	-	...
5	1	2B	...
6	0	-	...
7	1	32	...

题 44-a 图 页表的部分内容

行号	有效位	标记	...
0	1	020	...
1	0	-	...
2	1	01D	...
3	1	105	...
4	1	064	...
5	1	14D	...
6	0	-	...
7	1	27A	...

题 44-b 图 Cache 的部分内容

请回答下列问题。

- (1) 虚拟地址共有几位, 哪几位表示虚页号? 物理地址共有几位, 哪几位表示页框号 (物理页号)?
- (2) 使用物理地址访问 Cache 时, 物理地址应划分成哪几个字段? 要求说明每个字段的位数及在物理地址中的位置。
- (3) 虚拟地址 001C60H 所在的页面是否在主存中? 若在主存中, 则该虚拟地址对应的物理地址是什么? 访问该地址时是否 Cache 命中? 要求说明理由。

-
- (4) 假定为该机配置一个 4 路组相联的 TLB 共可存放 8 个页表项, 若其当前内容 (十六进制) 如题 44-c 图所示, 则此时虚拟地址 024BACH 所在的页面是否存在主存中? 要求说明理由。

组号	有效位	标记	页框号	有效位	标记	页框号	有效位	标记	页框号	有效位	标记	页框号
0	0	-	-	1	001	15	0	-	-	1	012	1F
1	1	013	2D	0	-	-	1	008	7E	0	-	-

题 44-c 图 TLB 的部分内容

解答:

- (1) **24 位、前 12 位; 20 位、前 8 位。**

16M=224 故虚拟地址 24 位, 4K=212, 故页内地址 12 位, 所以虚页号为前 12 位; 1M=220 故物理地址 20 位, 20-12=8, 故前 8 位为页框号。

- (2)

主存字块标记 (12bit)、cache 字块标记 (3bit)、字块内地址 (5bit)

物理地址 20 位, 其中, 块大小为 32B=25B 故块内地址 5 位; cache 共 8 行, 8=23, 故字块标记为 3 位; 20-5-2=12, 故主存字块标记为 12 位。

- (3) **在主存中, 04C60H, 不命中, 没有 04C 的标记字段**

001C60H 中虚页号为 001H=1, 查页表知其有效位为 1, 在主存中; 该物理地址对应的也表项中, 页框号为 04H 故物理地址为 04C60H; 物理地址 04C60H 在直接映射方式下, 对应的行号为 4, 有效位为 1 但是标记位为 064H≠04CH 故不命中。

- (4) **在, 012 的那个标记是对的。**

思路: 标记 11 位组地址 1 位页内地址 12 位, 前 12 位为 0000 0010 0100, 组地址位为 0, 第 0 组中存在标记为 012 的页, 其页框号为 1F, 故 024BACH 所在的页面存在主存中。

2012

12. 假定基准程序 A 在某计算机上的运行时间为 100 秒, 其中 90 秒为 CPU 时间, 其余为 I/O 时间。若 CPU 速度提高 50%, I/O 速度不变, 则运行基准程序 A 所耗费的时间是_____。

- A. 55 秒 B. 60 秒 C. 65 秒 D. 70 秒

13. 假定编译器规定 int 和 short 型长度分别为 32 位和 16 位, 执行下列 C 语言语句:

```
unsigned short x=65530;
```

```
unsigned int y=x;
```

得到 y 的机器数为_____。

- A. 0000 7FFAH B. 0000 FFFAH C. FFFF 7FFAH D. FFFF FFFAH

14. float 类型 (即 IEEE754 单精度浮点数据格式) 能表示的最大正整数是_____。

- A. $2^{126}-2^{103}$ B. $2^{127}-2^{104}$ C. $2^{127}-2^{103}$ D. $2^{128}-2^{104}$

15. 某计算机存储器按字节编址, 采用小端方式存放数据。假定编译器规定 int 型和 short 型长度分别为 32 位和 16 位, 并且数据按边界对齐存储。某 C 语言程序段如下:

```
struct{
    int    a;
    char   b;
    short  c;
} record;
record.a=273;
```

若 record 变量的首地址为 0xC008, 则地址 0xC008 中内容及 record.c 的地址分别为_____。

- A. 0x00、0xC00D B. 0x00、0xC00E
C. 0x11、0xC00D D. 0x11、0xC00E

16. 下列关于闪存 (Flash Memory) 的叙述中, 错误的是_____。

- A. 信息可读可写, 并且读、写速度一样快
B. 存储元由 MOS 管组成, 是一种半导体存储器
C. 掉电后信息不丢失, 是一种非易失性存储器
D. 采用随机访问方式, 可替代计算机外部存储器

17. 假设某计算机按字编址, Cache 有 4 个行, Cache 和主存之间交换的块大小为 1 个字。若 Cache 的内容初始为空, 采用 2 路组相联映射方式和 LRU 替换策略。访问的主存地址依次为 0,4,8,2,0,6,8,6,4,8 时, 命中 Cache 的次数是_____。

- A. 1 B. 2 C. 3 D. 4

18. 某计算机的控制器采用微程序控制方式, 微指令中的操作控制字段采用字段直接编码法, 共有 33 个微命令, 构成 5 个互斥类, 分别包含 7、3、12、5 和 6 个微命令, 则操作控制字段至少有_____。

- A. 5 位 B. 6 位 C. 15 位 D. 33 位

19. 某同步总线的时钟频率为 100MHz, 宽度为 32 位, 地址/数据线复用, 每传输一个地址或数据占用一个时钟周期。若该总线支持突发 (猝发) 传输方式, 则一次“主存写”总线事务传输 128 位数据所需要的时间至少是_____。

- A. 20ns B. 40ns C. 50ns D. 80ns

20. 下列关于 USB 总线特性的描述中, 错误的是_____。

- A. 可实现外设的即插即用和热拔插
B. 可通过级联方式连接多台外设
C. 是一种通信总线, 连接不同外设
D. 同时可传输 2 位数据, 数据传输率高

21. 下列选项中, 在 I/O 总线的数据线上传输的信息包括_____。

- I. I/O 接口中的命令字 II. I/O 接口中的状态字 III. 中断类型号
A. 仅 I、II B. 仅 I、III C. 仅 II、III D. I、II、III

22. 响应外部中断的过程中，中断隐指令完成的操作，除保护断点外，还包括_____。
I. 关中断 II. 保存通用寄存器的内容 III. 形成中断服务程序入口地址并送 PC
A. 仅 I、II B. 仅 I、III C. 仅 II、III D. I、II、III
23. 下列选项中，不可能在用户态发生的事件是_____。
A. 系统调用 B. 外部中断 C. 进程切换 D. 缺页
24. 中断处理和子程序调用都需要压栈以保护现场，中断处理一定会保存而子程序调用不需要保存其内容的是_____。
A. 程序计数器 B. 程序状态字寄存器
C. 通用数据寄存器 D. 通用地址寄存器
25. 下列关于虚拟存储器的叙述中，正确的是_____。
A. 虚拟存储只能基于连续分配技术 B. 虚拟存储只能基于非连续分配技术
C. 虚拟存储容量只受外存容量的限制 D. 虚拟存储容量只受内存容量的限制
26. 操作系统的 I/O 子系统通常由四个层次组成，每一层明确定义了与邻近层次的接口。其合理的层次组织排列顺序是_____。
A. 用户级 I/O 软件、设备无关软件、设备驱动程序、中断处理程序
B. 用户级 I/O 软件、设备无关软件、中断处理程序、设备驱动程序
C. 用户级 I/O 软件、设备驱动程序、设备无关软件、中断处理程序
D. 用户级 I/O 软件、中断处理程序、设备无关软件、设备驱动程序

43. 假定某计算机的 CPU 主频为 80MHz，CPI 为 4，平均每条指令访存 1.5 次，主存与 Cache 之间交换的块大小为 16B，Cache 的命中率为 99%，存储器总线宽带为 32 位。请回答下列问题。

- 1) 该计算机的 MIPS 数是多少？平均每秒 Cache 缺失的次数是多少？在不考虑 DMA 传送的情况下，主存带宽至少达到多少才能满足 CPU 的访存要求？
- 2) 假定在 Cache 缺失的情况下访问主存时，存在 0.0005% 的缺页率，则 CPU 平均每秒产生多少次缺页异常？若页面大小为 4KB，每次缺页都需要访问磁盘，访问磁盘时 DMA 传送采用周期挪用方式，磁盘 I/O 接口的数据缓冲寄存器为 32 位，则磁盘 I/O 接口平均每秒发出的 DMA 请求次数至少是多少？
- 3) CPU 和 DMA 控制器同时要求使用存储器总线时，哪个优先级更高？为什么？
- 4) 为了提高性能，主存采用 4 体低位交叉存储模式，工作时每 1/4 个存储周期启动一个体。若每个体的存储周期为 50ns，则该主存能提供的最大带宽是多少？

44. 某 16 位计算机中，带符号整数用补码表示，数据 Cache 和指令 Cache 分离。题 44 表给出了指令系统中部分指令格式，其中 Rs 和 Rd 表示寄存器，mem 表示存储单元地址，(x) 表示寄存器 x 或存储单元 x 的内容。

表 指令系统中部分指令格式

名称	指令的汇编格式	指令功能
加法指令	ADD Rs, Rd	(Rs)+(Rd)->Rd
算术/逻辑左移	SHL Rd	2*(Rd)->Rd
算术右移	SHR Rd	(Rd)/2->Rd
取数指令	LOAD Rd, mem	(mem)->Rd
存数指令	STORE Rs, mem	(Rs)->mem

该计算机采用 5 段流水方式执行指令，各流水段分别是取指 (IF)、译码/读寄存器 (ID)、执行/计算有效地址 (EX)、访问存储器 (M) 和结果写回寄存器 (WB)，流水线采用“按序发射，按序完成”方式，没有采用转发技术处理数据相关，并且同一个寄存器的读和写操作不能在同一个时钟周期内进行。请回答下列问题：

- 1) 若 int 型变量 x 的值为 -513，存放在寄存器 R1 中，则执行指令“SHL R1”后，R1 的内容是多少？(用十六进制表示)
- 2) 若某个时间段中，有连续的 4 条指令进入流水线，在其执行过程中没有发生任何阻塞，则执行这 4 条指令所需的时钟周期数为多少？
- 3) 若高级语言程序中某赋值语句为 $x=a+b$ ，x、a 和 b 均为 int 型变量，它们的存储单元地址分别表示为 [x]、[a] 和 [b]。该语句对应的指令序列及其在指令流水线中的执行过程如下图所示。

I1 LOAD R1, [a]
 I2 LOAD R2, [b]
 I3 ADD R1, R2
 I4 STORE R2, [x]

	时间单元													
指令	1	2	3	4	5	6	7	8	9	10	11	12	13	14
I ₁	IF	ID	EX	M	WB									
I ₂		IF	ID	EX	M	WB								
I ₃			IF				ID	EX	M	WB				
I ₄							IF				ID	EX	M	WB

图 指令序列及其执行过程示意图

则这 4 条指令执行过程中，I₃ 的 ID 段和 I₄ 的 IF 段被阻塞的原因各是什么？

- 4) 若高级语言程序中某赋值语句为 $x=x*2+a$ ，x 和 a 均为 unsigned int 类型变量，它们的存储单元

地址分别表示为 [x]、[a]，则执行这条语句至少需要多少个时钟周期？要求模仿题 44 图画出这条语句对应的指令序列及其在流水线中的执行过程示意图。

19. 下列选项中，用于设备和设备控制器（I/O 接口）之间互连的接口标准是
A. PCI B. USB C. AGP D. PCI-Express
20. 下列选项中，用于提高 RAID 可靠性的措施有
I. 磁盘镜像 II. 条带化 III. 奇偶校验 IV. 增加 Cache 机制
A. 仅 I、II B. 仅 I、III C. 仅 I、III 和 IV D. 仅 II、III 和 IV
21. 某磁盘的转速为 10 000 转/分，平均寻道时间是 6 ms，磁盘传输速率是 20 MB/s，磁盘控制器延迟为 0.2 ms，读取一个 4 KB 的扇区所需的平均时间约为
A. 9 ms B. 9.4 ms C. 12 ms D. 12.4 ms
22. 下列关于中断 I/O 方式和 DMA 方式比较的叙述中，错误的是
A. 中断 I/O 方式请求的是 CPU 处理时间，DMA 方式请求的是总线使用权
B. 中断响应发生在一条指令执行结束后，DMA 响应发生在一个总线事务完成后
C. 中断 I/O 方式下数据传送通过软件完成，DMA 方式下数据传送由硬件完成
D. 中断 I/O 方式适用于所有外部设备，DMA 方式仅适用于快速外部设备

43. (9 分) 某 32 位计算机，CPU 主频为 800MHz，Cache 命中时的 CPI 为 4，Cache 块大小为 32 字节；主存采用 8 体交叉存储方式，每个体的存储字长为 32 位、存储周期为 40 ns；存储器总线宽度为 32 位，总线时钟频率为 200 MHz，支持突发传送总线事务。每次读突发传送总线事务的过程包括：送首地址和命令、存储器准备数据、传送数据。每次突发传送 32 字节，传送地址或 32 位数据均需要一个总线时钟周期。请回答下列问题，要求给出理由或计算过程。

- (1) CPU 和总线的时钟周期各为多少？总线的带宽（即最大数据传输率）为多少？
(2) Cache 缺失时，需要用几个读突发传送总线事务来完成一个主存块的读取？
(3) 存储器总线完成一次读突发传送总线事务所需的时间是多少？
(4) 若程序 BP 执行过程中，共执行了 100 条指令，平均每条指令需进行 1.2 次访存，Cache 缺失率为 5%，不考虑替换等开销，则 BP 的 CPU 执行时间是多少？

44. (14 分) 某计算机采用 16 位定长指令字格式，其 CPU 中有一个标志寄存器，其中包含进位/借位标志 CF、零标志 ZF 和符号标志 NF。假定为该机设计了条件转移指令，其格式如下：

下：

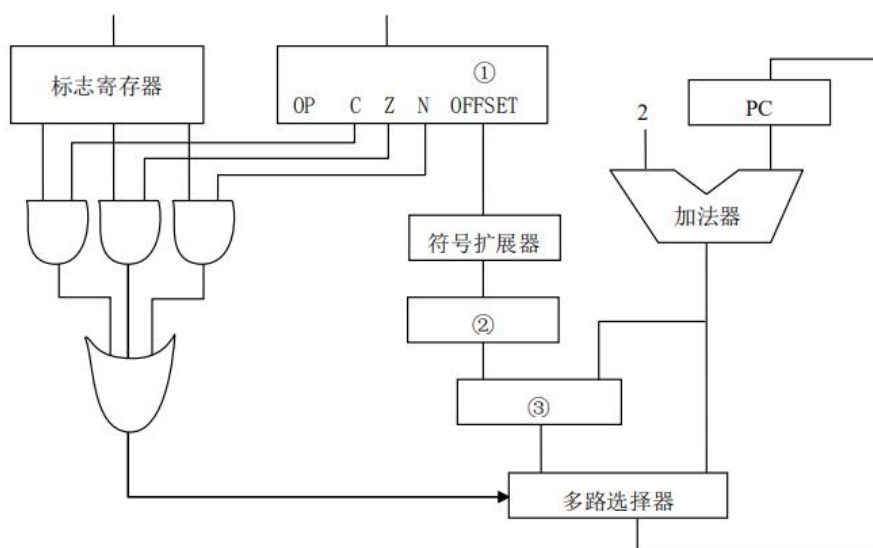
15	11	10	9	8	7	0
00000	C	Z	N	OFFSET		

其中，00000 为操作码 OP；C、Z 和 N 分别为 CF、ZF 和 NF 的对应检测位，某检测位为 1 时表示需检测对应标志，需检测的标志位中只要有一个为 1 就转移，否则不转移，例如，若 C=1，Z=0，N=1，则需检测 CF 和 NF 的值，当 CF=1 或 NF=1 时发生转移；OFFSET 是相对偏移量，用补码表示。转移执行时，转移目标地址为 $(PC) + 2 + 2 \times \text{OFFSET}$ ；顺序执行时，下条指令地址为 $(PC) + 2$ 。请回答下列问题。

- (1) 该计算机存储器按字节编址还是按字编址？该条件转移指令向后（反向）最多可跳转多少条指令？
- (2) 某条件转移指令的地址为 200CH，指令内容如下图所示，若该指令执行时 CF=0，ZF=0，NF=1，则该指令执行后 PC 的值是多少？若该指令执行时 CF=1，ZF=0，NF=0，则该指令执行后 PC 的值又是多少？请给出计算过程。

15	11	10	9	8	7	0
00000	0	1	1	11100011		

- (3) 实现“无符号数比较小于等于时转移”功能的指令中，C、Z 和 N 应各是什么？
- (4) 以下是该指令对应的数据通路示意图，要求给出图中部件①~③的名称或功能说明。



44. (12 分) 某程序中有如下循环代码段 `p: for(int i = 0; i < N; i++) sum += A[i];`。假设编译时变量 `sum` 和 `i` 分别分配在寄存器 `R1` 和 `R2` 中。常量 `N` 在寄存器 `R6` 中，数组 `A` 的首地址在寄存器 `R3` 中。程序段 `P` 起始地址为 `0804 8100H`，对应的汇编代码和机器代码如下表所示。

编号	地址	机器代码	汇编代码	注释
1	08048100H	00022080H	loop: sll R4,R2,2	$(R2) \ll 2 \rightarrow R4$
2	08048104H	00083020H	add R4,R4,R3	$(R4) + (R3) \rightarrow R4$
3	08048108H	8C850000H	load R5,0(R4)	$((R4) + 0) \rightarrow R5$
4	0804810CH	00250820H	add R1,R1,R5	$(R1) + (R5) \rightarrow R1$
5	08048110H	20420001H	add R2,R2,1	$(R2) + 1 \rightarrow R2$
6	08048114H	1446FFFAH	bne R2,R6,loop	$\text{if}(R2) \neq (R6) \text{ goto loop}$

执行上述代码的计算机 `M` 采用 32 位定长指令字，其中分支指令 `bne` 采用如下格式：

31	26	25	21	20	16	15	0
OP		Rs		Rd		OFFSET	

`OP` 为操作码；`Rs` 和 `Rd` 为寄存器编号；`OFFSET` 为偏移量，用补码表示。请回答下列问题，并说明理由。

- 1) `M` 的存储器编址单位是什么？
- 2) 已知 `sll` 指令实现左移功能，数组 `A` 中每个元素占多少位？
- 3) 题 44 表中 `bne` 指令的 `OFFSET` 字段的值是多少？已知 `bne` 指令采用相对寻址方式，当前 `PC` 内容为 `bne` 指令地址，通过分析题 44 表中指令地址和 `bne` 指令内容，推断出 `bne` 指令的转移目标地址计算公式。
- 4) 若 `M` 采用如下“按序发射、按序完成”的 5 级指令流水线：`IF`（取值）、`ID`（译码及取数）、`EXE`（执行）、`MEM`（访存）、`WB`（写回寄存器），且硬件不采取任何转发措施，分支指令的执行均引起 3 个时钟周期的阻塞，则 `P` 中哪些指令的执行会由于数据相关而发生流水线阻塞？哪条指令的执行会发生控制冒险？为什么指令 1 的执行不会因为与指令 5 的数据相关而发生阻塞？

45. 假设对于 44 题中的计算机 M 和程序 P 的机器代码, M 采用页式虚拟存储管理; P 开始执行时, $(R1)=(R2)=0$, $(R6)=1000$, 其机器代码已调入主存但不在 Cache 中; 数组 A 未调入主存, 且所有数组元素在同一页, 并存储在磁盘同一个扇区。请回答下列问题并说明理由。

1) P 执行结束时, R2 的内容是多少?

2) M 的指令 Cache 和数据 Cache 分离。若指令 Cache 共有 16 行, Cache 和主存交换的块大小为 32 字节, 则其数据区的容量是多少? 若仅考虑程序段 P 的执行, 则指令 Cache 的命中率为多少?

3) P 在执行过程中, 哪条指令的执行可能发生溢出异常? 哪条指令的执行可能产生缺页异常? 对于数组 A 的访问, 需要读磁盘和 TLB 至少各多少次?

46. 文件 F 由 200 条记录组成, 记录从 1 开始编号。用户打开文件后, 欲将内存中的一条记录插入到文件 F 中, 作为其第 30 条记录。请回答下列问题, 并说明理由。

1) 若文件系统采用连续分配方式, 每个磁盘块存放一条记录, 文件 F 存储区域前后均有足够的空闲磁盘空间, 则完成上述插入操作最少需要访问多少次磁盘块? F 的文件控制块内容会发生哪些改变?

2) 若文件系统采用链接分配方式, 每个磁盘块存放一条记录和一个链接指针, 则完成上述插入操作需要访问多少次磁盘块? 若每个存储块大小为 1KB, 其中 4 个字节存放链接指针, 则该文件系统支持的文件最大长度是多少?

2015

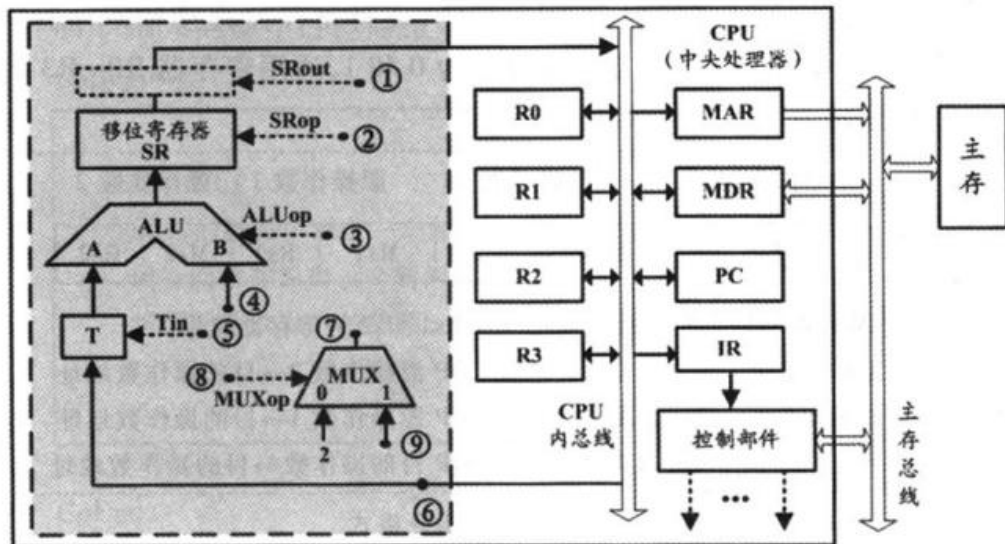
12. 计算机硬件能够直接执行的是
I. 机器语言程序 II. 汇编语言程序 III. 硬件描述语言程序
A. 仅 I B. 仅 I、II
C. 仅 I、III D. I、II、III
13. 由3个“1”和5个“0”组成的8位二进制补码, 能表示的最小整数是
A. -126 B. -125
C. -32 D. -3
14. 下列有关浮点数加减运算的叙述中, 正确的是
I. 对阶操作不会引起阶码上溢或下溢
II. 右规和尾数舍入都可能引起阶码上溢
III. 左规时可能引起阶码下溢
IV. 尾数溢出时结果不一定溢出
A. 仅 II、III B. 仅 I、II、IV
C. 仅 I、III、IV D. I、II、III、IV
15. 假定主存地址为32位, 按字节编址, 主存和Cache之间采用直接映射方式, 主存块大小为4个字, 每字32位, 采用回写(Write Back)方式, 则能存放4K字数据的Cache的总容量的位数至少是
A. 146K B. 147K
C. 148K D. 158K
16. 假定编译器将赋值语句“ $x=x+3$;”转换为指令“add xaddr, 3”, 其中, xaddr是x对应的存储单元地址。若执行该指令的计算机采用页式虚拟存储管理方式, 并配有相应的TLB, 且Cache使用直写(Write Through)方式, 则完成该指令功能需要访问主存的次数至少是
A. 0 B. 1
C. 2 D. 3
17. 下列存储器中, 在工作期间需要周期性刷新的是
A. SRAM B. SDRAM
C. ROM D. FLASH
18. 某计算机使用4体交叉编址存储器, 假定在存储器总线上出现的主存地址(十进制)序列为8005, 8006, 8007, 8008, 8001, 8002, 8003, 8004, 8000, 则可能发生访存冲突的地址对是
A. 8004和8008 B. 8002和8007
C. 8001和8008 D. 8000和8004
19. 下列有关总线定时的叙述中, 错误的是
A. 异步通信方式中, 全互锁协议的速度最慢
B. 异步通信方式中, 非互锁协议的可靠性最差
C. 同步通信方式中, 同步时钟信号可由各设备提供
D. 半同步通信方式中, 握手信号的采样由同步时钟控制
20. 若磁盘转速为7200转/分, 平均寻道时间为8 ms, 每个磁道包含1000个扇区, 则访问一个扇区的平均存取时间大约是
A. 8.1 ms B. 12.2 ms
C. 16.3 ms D. 20.5 ms
21. 在采用中断I/O方式控制打印输出的情况下, CPU和打印控制接口中的I/O端口之间交换的信息不可能
是
A. 打印字符 B. 主存地址
C. 设备状态 D. 控制命令
22. 内部异常(内中断)可分为故障(fault)、陷阱(trap)和终止(abort)三类。下列有关内部异常的叙述中, 错误的是
A. 内部异常的产生与当前执行指令相关
B. 内部异常的检测由CPU内部逻辑实现
C. 内部异常的响应发生在指令执行过程中
D. 内部异常处理后返回到发生异常的指令继续执行
23. 处理外部中断时, 应该由操作系统保存的是
A. 程序计数器(PC)的内容 B. 通用寄存器的内容
C. 快表(TLB)中的内容 D. Cache中的内容

43. (13分)某16位计算机的主存按字节编址，存取单位为16位；采用16位定长指令字格式；CPU采用单总线结构，主要部分如下图所示。图中R0~R3为通用寄存器；T为暂存器；SR为移位寄存器，可实现直送(mov)、左移一位(left)和右移一位(right)3种操作，控制信号为SRop，SR的输出由信号SRout控制；ALU可实现直送A(mov)、A加B(add)、A减B(sub)、A与B(and)、A或B(or)、非A(not)、A加1(inc)7种操作，控制信号为ALUop。

请回答下列问题。

(1)图中哪些寄存器是程序员可见的?为何要设置暂存器T?

(2)控制信号ALUop和SRop的位数至少各是多少?



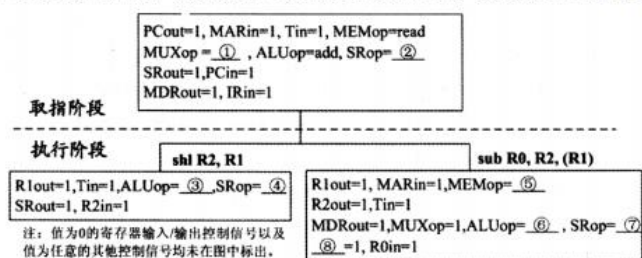
(3)控制信号SRout所控制部件的名称或作用是什么?

(4)端点①~⑨中，哪些端点须连接到控制部件的输出端?

(5)为完善单总线数据通路，需要在端点①~⑨中相应的端点之间添加必要的连线。写出连线的起点和终点，以正确表示数据的流动方向。

(6)为什么二路选择器MUX的一个输入端是2?

44. (10分)题43中描述的计算机，其部分指令执行过程的控制信号如题44图a所示。



题44图a部分指令的控制信号

该机指令格式如题44图b所示，支持寄存器直接和寄存器间接两种寻址方式，寻址方式位分别为0和1，通用寄存器R0~R3的编号分别为0、1、2和3。

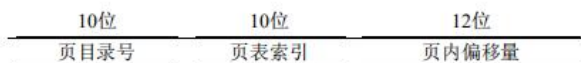


题44图b指令格式

请回答下列问题。

- (1)该机的指令系统最多可定义多少条指令?
- (2)假定inc、shl和sub指令的操作码分别为01H、02H和03H，则以下指令对应的机器代码各是什么?
 - ①inc R1 ; (R1)+1→R1
 - ②shl R2, R1 ; (R1)<<1→R2
 - ③sub R3, (R1), R2 ; ((R1))-(R2)→R3
- (3)假设寄存器x的输入和输出控制信号分别记为Xin和Xout，其值为1表示有效，为0表示无效(例如，PCout=1表示PC内容送总线)；存储器控制信号为MEMOp，用于控制存储器的读(read)和写(write)操作。写出题44图a中标号①~⑧处的控制信号或控制信号取值。
- (4)指令“sub R1, R3, (R2)”和“inc R1”的执行阶段至少各需要多少个时钟周期?

46. (6分)某计算机系统按字节编址，采用二级页表的分页存储管理方式，虚拟地址格式如下所示：



请回答下列问题。

- (1)页和页框的大小各为多少字节?进程的虚拟地址空间大小为多少页?
- (2)假定页目录项和页表项均占4个字节，则进程的页目录和页表共占多少页?要求写出计算过程。
- (3)若某指令周期内访问的虚拟地址为0100 0000H和0111 2048H，则进行地址转换时共访问多少个二级页表?要求说明理由。

2016

12. 将高级语言源程序转换为机器级目标代码文件的程序是

- A. 汇编程序 B. 链接程序
C. 编译程序 D. 解释程序

13. 有如下C语言程序段:

```
short si=-32767;
```

```
unsigned short usi=si;
```

执行上述两条语句后, usi的值为

- A. -32767 B. 32767 C. 32768 D. 32769

14. 某计算机字长为32位, 按字节编址, 采用小端(Little Endian)方式存放数据。假定有一个double型变量, 其机器数表示为1122 3344 5566 7788H, 存放在0000 8040H开始的连续存储单元中, 则存储单元0000 8046H中存放的是

- A. 22H B. 33H C. 66H D. 77H

15. 有如下C语言程序段:

```
for(k=0; k<1000; k++)
```

```
  a[k]=a[k]+32;
```

若数组a及变量k均为int型, int型数据占4 B, 数据Cache采用直接映射方式、数据区大小为1 KB、块大小为16 B, 该程序段执行前Cache为空, 则该程序段执行过程中访问数组a的Cache缺失率约为

- A. 1.25% B. 2.5% C. 12.5% D. 25%

16. 某存储器容量为64 KB, 按字节编址, 地址4000H~5FFFH为ROM区, 其余为RAM区。若采用8 K×4位的SRAM芯片进行设计, 则需要该芯片的数量是

- A. 7 B. 8 C. 14 D. 16

17. 某指令格式如下所示。

OP	M	I	D
----	---	---	---

其中M为寻址方式, I为变址寄存器编号, D为形式地址。若采用先变址后间址的寻址方式, 则操作数的有效地址是

- A. I+D B. (I)+D C. ((I)+D) D. ((I))+D

18. 某计算机主存空间为4 GB, 字长为32位, 按字节编址, 采用32位定长指令字格式。若指令按字边界对齐存放, 则程序计数器(PC)和指令寄存器(IR)的位数至少分别是

- A. 30、30 B. 30、32 C. 32、30 D. 32、32

19. 在无转发机制的五段基本流水线(取指、译码/读寄存器、运算、访存、写回寄存器)中, 下列指令序列存在数据冒险的指令对是

```
I1:add R1, R2, R3 ;(R2)+(R3)→R1
```

```
I2:add R5, R2, R4 ;(R2)+(R4)→R5
```

```
I3:add R4, R5, R3 ;(R5)+(R3)→R4
```

```
I4:add R5, R2, R6 ;(R2)+(R6)→R5
```

- A. I1和I2 B. I2和I3 C. I2和I4 D. I3和I4

20. 单周期处理器中所有指令的指令周期为一个时钟周期。下列关于单周期处理器的叙述中, 错误的是

- A. 可以采用单总线结构数据通路
B. 处理器时钟频率较低
C. 在指令执行过程中控制信号不变

D. 每条指令的CPI为1

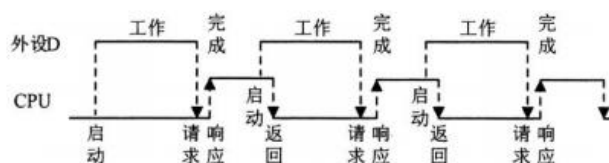
21. 下列关于总线设计的叙述中, 错误的是

- A. 并行总线传输比串行总线传输速度快
B. 采用信号线复用技术可减少信号线数量
C. 采用突发传输方式可提高总线数据传输率
D. 采用分离事务通信方式可提高总线利用率

44. (9分)假定CPU主频为50 MHz，CPI为4。设备D采用异步串行通信方式向主机传送7位ASCII字符，通信规程中有1位奇校验位和1位停止位，从D接收启动命令到字符送入I/O端口需要0.5 ms。请回答下列问题，要求说明理由。

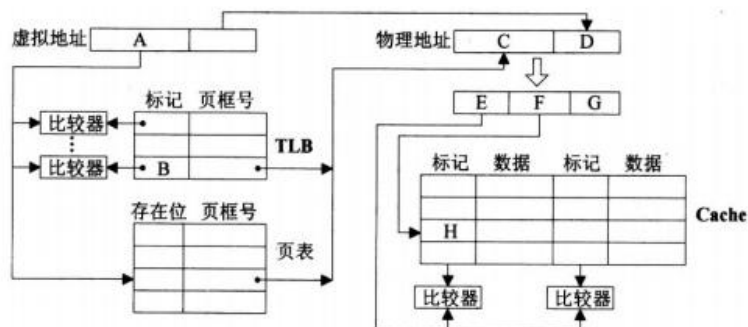
(1)每传送一个字符，在异步串行通信线上共需传输多少位?在设备D持续工作过程中，每秒钟最多可向I/O端口送入多少个字符?

(2)设备D采用中断方式进行输入/输出，示意图如下：



I/O端口每收到一个字符申请一次中断，中断响应需10个时钟周期，中断服务程序共有20条指令，其中第15条指令启动D工作。若CPU需从D读取1000个字符，则完成这一任务所需时间大约是多少个时钟周期?CPU用于完成这一任务的时间大约是多少个时钟周期?在中断响应阶段CPU进行了哪些操作?

45. (14分)某计算机采用页式虚拟存储管理方式，按字节编址，虚拟地址为32位，物理地址为24位，页大小为8 KB；TLB采用全相联映射；Cache数据区大小为64 KB，按2路组相联方式组织，主存块大小为64 B。存储访问过程的示意图如下。



请回答下列问题。

(1)图中字段A~G的位数各是多少?TLB标记字段B中存放的是什么信息?

(2)将块号为4099的主存块装入到Cache中时，所映射的Cache组号是多少?对应的H字段内容是什么?

(3)Cache缺失处理的时间开销大还是缺页处理的时间开销大?为什么?

(4)为什么Cache可以采用直写(Write Through)策略，而修改页面内容时总是采用回写(Write Back)策略?

2017

12. 假定计算机M1和M2具有相同的指令集体系结构(ISA), 主频分别为1.5 GHz和1.2 GHz。在M1和M2上运行某基准程序P, 平均CPI 分别为2和1, 则程序P在M1和M2上运行时间的比值是

- A. 0.4 B. 0.625 C. 1.6 D. 2.5

13. 某计算机主存按字节编址, 由4个64M×8位的DRAM芯片采用交叉编址方式构成, 并与宽度为32位的存储器总线相连, 主存每次最多读写32位数据。若double型变量x的主存地址为804001AH, 则读取x需要的存储周期数是

- A. 1 B. 2 C. 3 D. 4

14. 某C语言程序段如下:

```
for(i=0; i<=9; i++)
{
    temp=1;
    for(j=0; j<=i; j++)temp *=a[j];
    sum +=temp;
}
```

下列关于数组a的访问局部性的描述中, 正确的是

- A. 时间局部性和空间局部性皆有
B. 无时间局部性, 有空间局部性
C. 有时间局部性, 无空间局部性
D. 时间局部性和空间局部性皆无

15. 下列寻址方式中, 最适合按下标顺序访问一维数组元素的是

- A. 相对寻址 B. 寄存器寻址 C. 直接寻址 D. 变址寻址

16. 某计算机按字节编址, 指令字长固定且只有两种指令格式, 其中三地址指令29条, 二地址指令107条, 每个地址字段为6位, 则指令字长至少应该是

- A. 24位 B. 26位 C. 28位 D. 32位

17. 下列关于超标量流水线特性的叙述中, 正确的是

- I. 能缩短流水线功能段的处理时间
II. 能在一个时钟周期内同时发射多条指令
III. 能结合动态调度技术提高指令执行并行性

- A. 仅II B. 仅I、III C. 仅II、III D. I、II和III

18. 下列关于主存储器(MM)和控制存储器(CS)的叙述中, 错误的是

- A. MM在CPU外, CS在CPU内
- B. MM按地址访问, CS按内容访问
- C. MM存储指令和数据, CS存储微指令
- D. MM用RAM和ROM实现, CS用ROM实现

19. 下列关于指令流水线数据通路的叙述中, 错误的是

- A. 包含生成控制信号的控制部件
- B. 包含算术逻辑运算部件(ALU)
- C. 包含通用寄存器组和取指部件
- D. 由组合逻辑电路和时序逻辑电路组合而成

20. 下列关于多总线结构的叙述中, 错误的是

- A. 靠近CPU的总线速度较快
- B. 存储器总线可支持突发传送方式
- C. 总线之间须通过桥接器相连
- D. PCI-Express×16采用并行传输方式

21. I/O指令实现的数据传送通常发生在

- A. I/O设备和I/O端口之间
- B. 通用寄存器和I/O设备之间
- C. I/O端口和I/O端口之间
- D. 通用寄存器和I/O端口之间

22. 下列关于多重中断系统的叙述中, 错误的是

- A. 在一条指令执行结束时响应中断
- B. 中断处理期间CPU处于关中断状态
- C. 中断请求的产生与当前指令的执行无关
- D. CPU通过采样中断请求信号检测中断请求

44. (10分)在按字节编址的计算机M上, 题43中f1的部分源程序(阴影部分)与对应的机器级代码(包括指令的虚拟地址)如下:

```
int f1 ( unsigned n)
1   00401020    55      push ebp
    .....
    for(unsigned i=0; i<= n-1; i++)
    .....
20  0040105E    39 4D F4  cmp dword ptr [ ebp-0Ch ],ecx
    .....
    {      power *= 2;
    .....
    .....
```


45. (7分)假定题44给出的计算机M采用二级分页虚拟存储管理方式, 虚拟地址格式如下:

页目录号(10 位)	页表索引(10 位)	页内偏移量(12 位)
------------	------------	-------------

请针对题43的函数f1和题44中的机器指令代码, 回答下列问题。

(1)函数f1的机器指令代码占多少页?

(2)取第1条指令(push ebp)时, 若在进行地址变换的过程中需要访问内存中的页目录和页表, 则会分别访问它们各自的第几个表项(编号从0开始)?

(3)M的I/O采用中断控制方式。若进程P在调用f1之前通过scanf()获取n的值, 则在执行scanf()的过程中, 进程P的状态会如何变化?CPU是否会进入内核态?

```
23    00401066    D1 E2    shl  edx,1
      .....
      return sum;
      .....
35    0040107F    C3        ret
```

其中, 机器级代码行包括行号、虚拟地址、机器指令和汇编指令。

请回答下列问题。

(1)计算机M是RISC还是CISC?为什么?

(2)f1的机器指令代码共占多少字节?要求给出计算过程。

(3)第20条指令cmp通过i减n-1实现对i和n-1的比较。执行f1(0)过程中, 当i=0时, cmp指令执行后, 进/借位标志CF的内容是什么?要求给出计算过程。

(4)第23条指令shl通过左移操作实现了power * 2运算, 在f2中能否也用shl指令实现power * 2?为什么?

2018

12. 冯·诺依曼结构计算机中数据采用二进制编码表示,其主要原因是

- I.二进制的运算规则简单
- II.制造两个稳态的物理器件较容易
- III.便于用逻辑门电路实现算术运算

A. 仅 I、II B. 仅 I、III C. 仅 II、III D. I、II 和 III

13. 假定带符号整数采用补码表示,若 int 型变量 x 和 y 的机器数分别是 FFFF FFDFH 和 0000 0041H,则 x、y 的值以及 x-y 的机器数分别是

- A. $x = -65, y = 41, x - y$ 的机器数溢出
- B. $x = -33, y = 65, x - y$ 的机器数为 FFFF FF9DH
- C. $x = -33, y = 65, x - y$ 的机器数为 FFFF FF9EH
- D. $x = -65, y = 41, x - y$ 的机器数为 FFFF FF96H

14. IEEE 754 单精度浮点格式表示的数中,最小的规格化正数是

- A. 1.0×2^{-126} B. 1.0×2^{-127} C. 1.0×2^{-128} D. 1.0×2^{-149}

15. 某 32 位计算机按字节编址,采用小端(Little Endian)方式。若语句“int i = 0;”对应指令的机器代码为“C7 45 FC 00 00 00 00”,则语句“int i = -64;”对应指令的机器代码是

微信公众号:【计算机与软件考研】提供计算机/软件工程专业7个大学的考研资料/考研真题/考研信息 免费下载

- A. C7 45 FC 00 FF FF FF
- B. C7 45 FC 00 FF FF FF 0C
- C. C7 45 FC FF FF FF C0
- D. C7 45 FC FF FF FF 0C

16. 整数 x 的机器数为 1101 1000,分别对 x 进行逻辑右移 1 位和算术右移 1 位操作,得到的机器数各是

- A. 1110 1100、1110 1100
- B. 0110 1100、1110 1100
- C. 1110 1100、0110 1100
- D. 0110 1100、0110 1100

17. 假定 DRAM 芯片中存储阵列的行数为 r、列数为 c,对于一个 $2K \times 1$ 位的 DRAM 芯片,为保证其地址引脚数最少,并尽量减少刷新开销,则 r、c 的取值分别是

- A. 2048、1 B. 64、32 C. 32、64 D. 1、2048

18. 按字节编址的计算机中,某 double 型数组 A 的首地址为 2000H,使用变址寻址和循环结构访问数组 A,保存数组下标的变址寄存器初值为 0,每次循环取一个数组元素,其偏移地址为变址值乘以 sizeof(double),取完后变址寄存器内容自动加 1。若某次循环所取元素的地址为 2100H,则进入该次循环时变址寄存器的内容是

- A. 25 B. 32 C. 64 D. 100

19. 减法指令“sub R1, R2, R3”的功能为“(R1) - (R2) → R3”, 该指令执行后将生成进位/借位标志 CF 和溢出标志 OF。若 (R1) = FFFF FFFFH, (R2) = FFFF FFF0H, 则该减法指令执行后, CF 与 OF 分别为

A. CF=0, OF=0

B. CF=1, OF=0

C. CF=0, OF=1

D. CF=1, OF=1

20. 若某计算机最复杂指令的执行需要完成 5 个子功能, 分别由功能部件 A~E 实现, 各功能部件所需时间分别为 80 ps、50 ps、50 ps、70 ps 和 50 ps, 采用流水线方式执行指令, 流水段寄存器延时为 20 ps, 则 CPU 时钟周期至少为

A. 60 ps

B. 70 ps

C. 80 ps

D. 100 ps

21. 下列选项中, 可提高同步总线数据传输率的是

I. 增加总线宽度

II. 提高总线工作频率

III. 支持突发传输

IV. 采用地址/数据线复用

A. 仅 I、II

B. 仅 I、II、III

C. 仅 III、IV

D. I、II、III 和 IV

22. 下列关于外部 I/O 中断的叙述中, 正确的是

A. 中断控制器按所接收中断请求的先后次序进行中断优先级排队

B. CPU 响应中断时, 通过执行中断隐指令完成通用寄存器的保护

C. CPU 只有在处于中断允许状态时, 才能响应外部设备的中断请求

D. 有中断请求时, CPU 立即暂停当前指令执行, 转去执行中断服务程序

43. (8 分) 假定计算机的主频为 500 MHz, CPI 为 4。现有设备 A 和 B, 其数据传输率分别为 2 MB/s 和 40 MB/s, 对应 I/O 接口中各有一个 32 位数据缓冲寄存器。请回答下列问题, 要求给出计算过程。

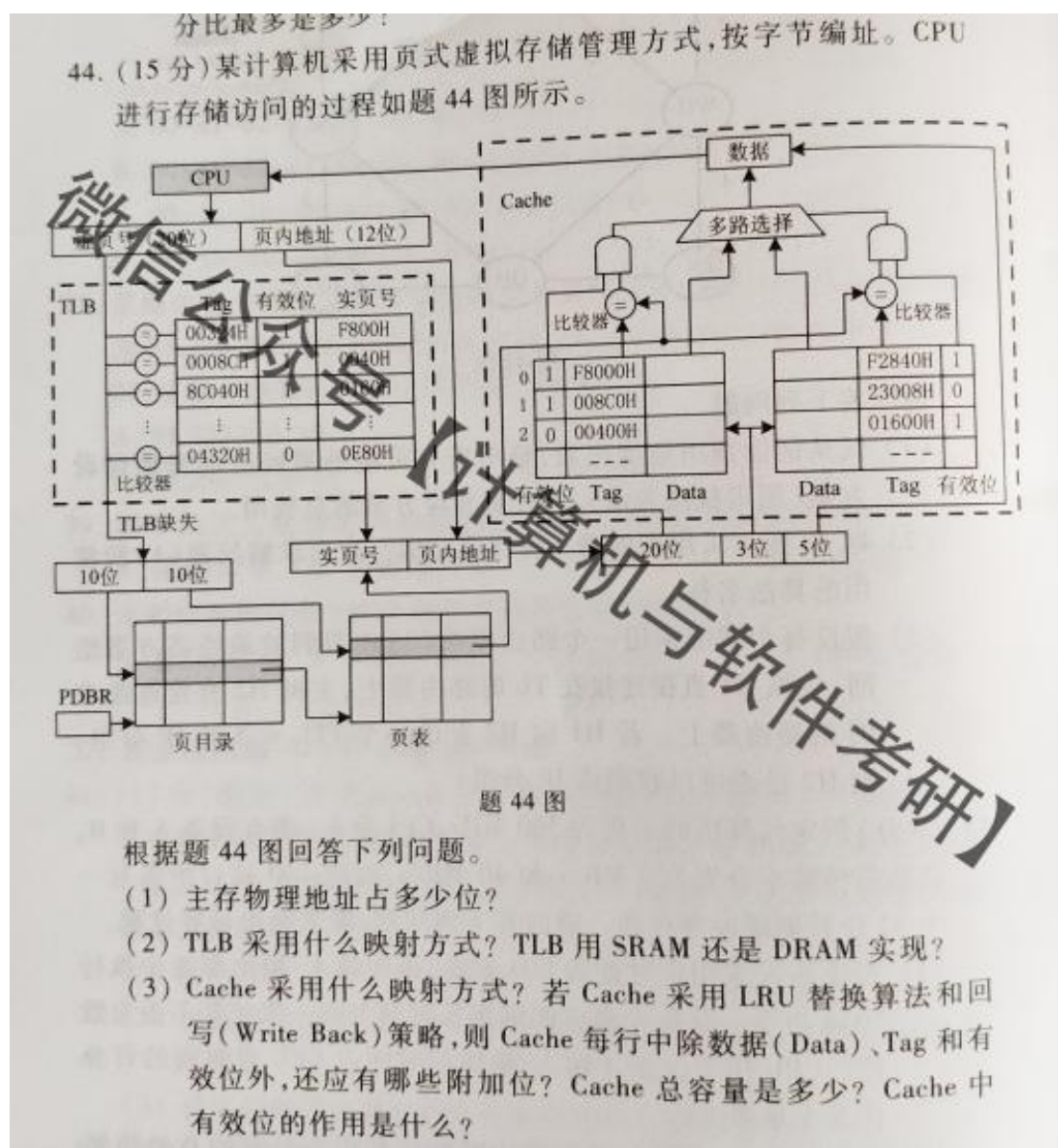
(1) 若设备 A 采用定时查询 I/O 方式, 每次输入/输出都至少执行 10 条指令。设备 A 最多间隔多长时间查询一次才能不丢失数据? CPU 用于设备 A 输入/输出的时间占 CPU 总时间的百分比至少是多少?

(2) 在中断 I/O 方式下, 若每次中断响应和中断处理的总时钟周

期数至少为 400, 则设备 B 能否采用中断 I/O 方式? 为什么?

- (3) 若设备 B 采用 DMA 方式, 每次 DMA 传送的数据块大小为 1000 B, CPU 用于 DMA 预处理和后处理的总时钟周期数为 500, 则 CPU 用于设备 B 输入/输出的时间占 CPU 总时间的百分比最多是多少?

设备 B 的寻址管理方式, 按字节编址。CPU



- (4) 若 CPU 给出的虚拟地址为 0008 C040H, 则对应的物理地址是多少？是否在 Cache 中命中？说明理由。若 CPU 给出的虚拟地址为 0007 C260H, 则该地址所在主存块映射到的 Cache 组号是多少？

2019

12. 下列关于冯·诺依曼结构计算机基本思想的叙述中,错误的是

- A. 程序的功能都通过中央处理器执行指令实现
- B. 指令和数据都用二进制表示,形式上无差别
- C. 指令按地址访问,数据都在指令中直接给出
- D. 程序执行前,指令和数据需预先存放在存储器中

13. 考虑以下 C 语言代码:

```
unsigned short usi = 65535;
```

```
short si = usi;
```

执行上述程序段后,si 的值是

- A. -1
- B. -32767
- C. -32768
- D. -65535

14. 下列关于缺页处理的叙述中,错误的是

- A. 缺页是在地址转换时 CPU 检测到的一种异常
- B. 缺页处理由操作系统提供的缺页处理程序来完成
- C. 缺页处理程序根据页故障地址从外存读入所缺失的页
- D. 缺页处理完成后回到发生缺页的指令的下一条指令执行

15. 某计算机采用大端方式,按字节编址。某指令中操作数的机器数为 1234 FF00H,该操作数采用基址寻址方式,形式地址(用补码表示)为 FF12H,基址寄存器内容为 F000 0000H,则该操作数的 LSB(最低有效字节)所在的地址是

- A. F000 FF12H
- B. F000 FF15H
- C. EFFF FF12H
- D. EFFF FF15H

16. 下列有关处理器时钟脉冲信号的叙述中,错误的是

- A. 时钟脉冲信号由机器脉冲源发出的脉冲信号经整形和分频后形成
- B. 时钟脉冲信号的宽度称为时钟周期,时钟周期的倒数为机器主频
- C. 时钟周期以相邻状态单元间组合逻辑电路的最大延迟为基准确定
- D. 处理器总是在每来一个时钟脉冲信号时就开始执行一条新的指令

17. 某指令功能为 $R[r2] \leftarrow R[r1] + M[R[r0]]$,其两个源操作数分别采用寄存器、寄存器间接寻址方式。对于下列给定部件,该指令在取数及执行过程中需要用到的是

- I. 通用寄存器组(GPRs)
 - II. 算术逻辑单元(ALU)
 - III. 存储器(Memory)
 - IV. 指令译码器(ID)
- A. 仅 I、II
 - B. 仅 II、III
 - C. 仅 II、III、IV
 - D. 仅 I、II、IV

18. 在采用“取指、译码/取数、执行、访存、写回”5段流水线的处理器中,执行如下指令序列,其中 s0、s1、s2、s3 和 t2 表示寄存器编号。

```
I1:  add s2, s1, s0           // R[s2] ← R[s1] + R[s0]
I2:  load s3, 0(t2)          // R[s3] ← M[R[t2] + 0]
I3:  add s2, s2, s3          // R[s2] ← R[s2] + R[s3]
I4:  store s2, 0(t2)         // M[R[t2] + 0] ← R[s2]
```

下列指令对中,不存在数据冒险的是

- A. I1 和 I3 B. I2 和 I3 C. I2 和 I4 D. I3 和 I4
19. 假定一台计算机采用 3 通道存储器总线,配套的内存条型号为 DDR3-1333,即内存条所接插的存储器总线的工作频率为 1333 MHz、总线宽度为 64 位,则存储器总线的总带宽大约是
- A. 10.66 GB/s B. 32 GB/s C. 64 GB/s D. 96 GB/s
20. 下列关于磁盘存储器的叙述中,错误的是
- A. 磁盘的格式化容量比非格式化容量小
- B. 扇区中包含数据、地址和校验等信息
- C. 磁盘存储器的最小读写单位为一个字节
- D. 磁盘存储器由磁盘控制器、磁盘驱动器和盘片组成
21. 某设备以中断方式与 CPU 进行数据交换,CPU 主频为 1 GHz,设备接口中的数据缓冲寄存器为 32 位,设备的数据传输率为 50 kB/s。若每次中断开销(包括中断响应和中断处理)为 1 000 个时钟周期,

则 CPU 用于该设备输入/输出的时间占整个 CPU 时间的百分比最多是

- A. 1.25% B. 2.5% C. 5% D. 12.5%

22. 下列关于 DMA 方式的叙述中,正确的是

- Ⅰ. DMA 传送前由设备驱动程序设置传送参数
- Ⅱ. 数据传送前由 DMA 控制器请求总线使用权
- Ⅲ. 数据传送由 DMA 控制器直接控制总线完成
- Ⅳ. DMA 传送结束后的处理由中断服务程序完成

- A. 仅Ⅰ、Ⅱ B. 仅Ⅰ、Ⅲ、Ⅳ
- C. 仅Ⅱ、Ⅲ、Ⅳ D. Ⅰ、Ⅱ、Ⅲ、Ⅳ

44. (7分) 某计算机系统中的磁盘有 300 个柱面, 每个柱面有 10 个磁道, 每个磁道有 200 个扇区, 扇区大小为 512 B。文件系统的每个簇包含 2 个扇区。请回答下列问题:

- (1) 磁盘的容量是多少?
- (2) 假设磁头在 85 号柱面上, 此时有 4 个磁盘访问请求, 簇号分别为: 100 260、60 005、101 660 和 110 560。若采用最短寻道时间优先 (SSTF) 调度算法, 则系统访问簇的先后次序是什么?
- (3) 第 100 530 簇在磁盘上的物理地址是什么? 将簇号转换成磁盘物理地址的过程是由 I/O 系统的什么程序完成的?