

# Trabalho 1

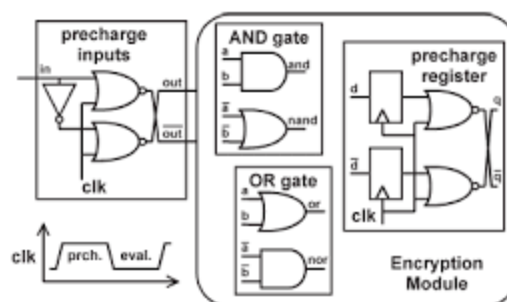
## Concepção de Circuitos Integrados

Integrantes: Mateus Brugnaroto e Vinícius Renato Rocha Geraldo

O trabalho realizado foi desenvolver um Somador Paralelo de 4 bits em Spice utilizando a ferramenta do Tanner T-Spice v16.0 64-bit como mostrada em aula. No programa foi implementada todas as portas lógicas em nível de transistores (PMOS e NMOS) para assim descrever o circuito desejado no spice e assim analisar os pulsos de 0's e 1's onde tem o intuito de apresentar os atrasos de chaveamento de cada portas desenvolvida e principalmente analisar o funcionamento de um somador em nível de simulação elétrica.

A topologia utilizada foi a WDDL (*Wave Dynamic Delay Logic*), no qual é uma topologia criada para fins de uso em circuitos integrados para segurança de dados, ou seja, deixar o circuito com menos vazamentos de informações (criptografia de hardware). Essa topologia é caracterizada por utilizar a biblioteca de células padrão do SPICE conhecida por Dual-Rail (Trilha Dupla) na qual utiliza as portas padrões para implementação de todas as descrições dos circuitos como NOR, NAND, XNOR e afins. Porém essa topologia possui um diferencial de apresentar a saída “invertida” para qualquer implementação das portas lógicas, ou seja, se utilizarmos uma NAND como exemplo vamos ter duas saídas para o mesmo que nas quais são a saída da porta-lógica normal e uma lógica complementar onde estaria a lógica inversa do resultado esperado.

Abaixo demonstra como é feito alguns desenvolvimentos de portas lógicas WDDL:



WDDL: Precharge wave generation.

Os testes foram feitos utilizando PULSE a fim de analisar todos os atrasos do somador em relação a SUM0 e SUM1 gerada dos circuitos. O período definido está em grandes intervalos pois é gerado todos os sinais onde é analisado se o somador completo está funcionando perfeitamente. Na Figura 1 a seguir mostrado a tabela verdade (a) de um somador completo de duas entradas e suas células para ser desenvolvida em SPICE(b):

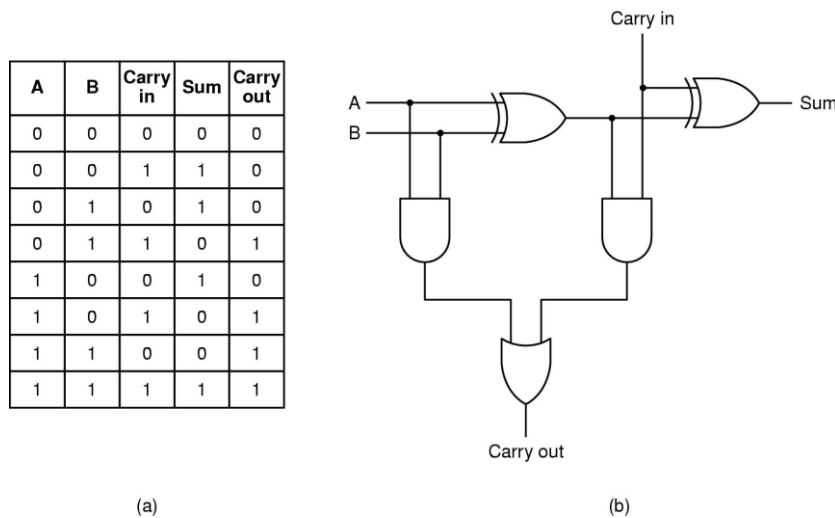
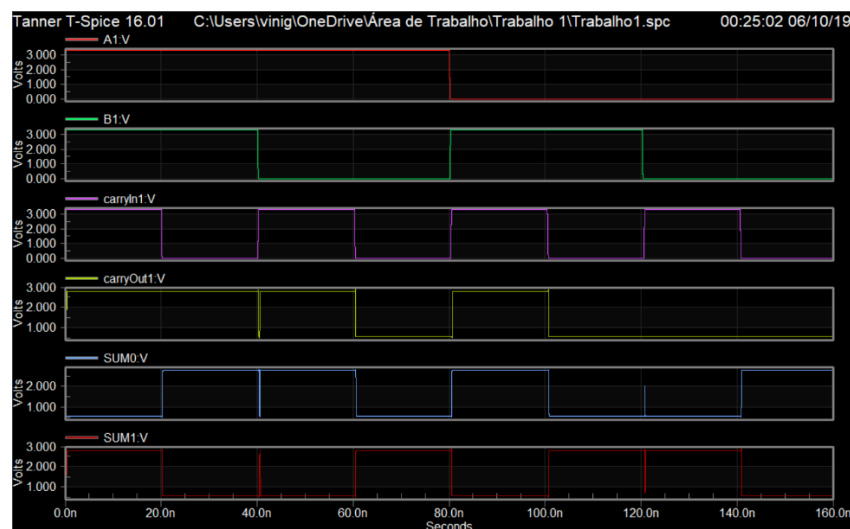


Figura 1 – Tabela Verdade (a) e Somador Completo (b)

Utilizando como base a tabela verdade do somador, realizamos todas as medições com o intuito de se obter todas as respostas possíveis para cada soma do projeto implementado.

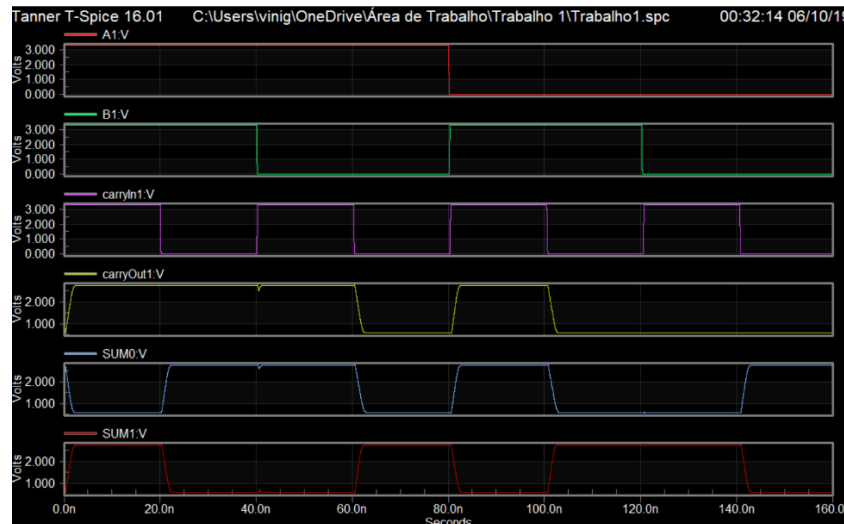
A simulação a seguir é de um somador completo e os sinais são gerados conforme abaixo onde foi feita uma simulação sem uso de capacitores para analisar o comportamento do circuito implementado:



Podemos analisar que todos os sinais serão calculados conforme as entradas desejadas. Existem dois resultados para soma pois para essa

topologia contém uma lógica complementar, ou seja, a lógica negada da própria saída.

Utilizando os capacitores de 0.5pF percebemos os atrasos em relação a chegada do sinal em 0 e 1. Com isso vemos as bordas sendo mais atenuadas em relação a entrada:



Foram utilizados para medições de vulnerabilidade as métricas NED (*Normalized Energy Deviation*) e NSD (*Normalized Standard Deviation*) onde estão representadas na Figura 2 as equações que utilizamos para métrica. Essas medidas são amplamente utilizadas na literatura para determinar o nível de vulnerabilidade do dispositivo. A equação NED representa a variação de energia normalizada entre os picos mínimo e máximo dos arcos de transição. Por outro lado, o NSD garante uma relação entre o desvio padrão de energia e a média dos consumos apresentada na fórmula.

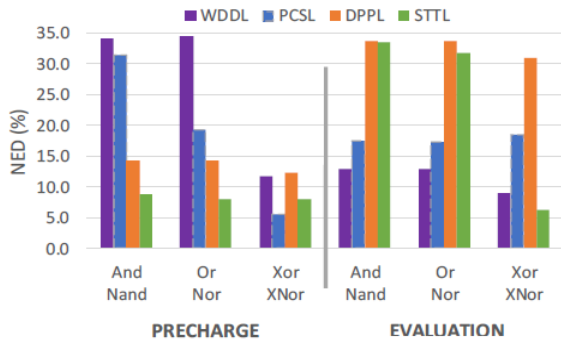
$$NED = \frac{\max(E) - \min(E)}{\max(E)}$$

$$NSD = \frac{\sigma(E)}{\bar{E}}$$

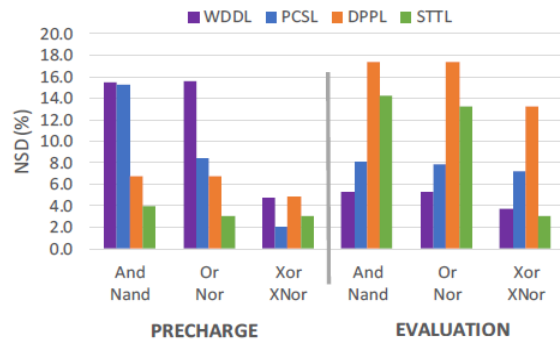
Figura 2 – Equação NED e NSD utilizada para medições

Na Figura 3 é apresentada todas as medições de consumo, atraso e as métricas utilizadas para esse trabalho com seus respectivos valores. Na tabela está sendo feito medições para outras topologias existentes para

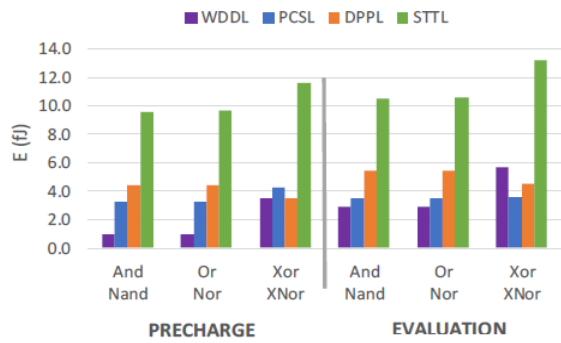
vulnerabilidade de dados em circuitos integrados, pois utilizamos as portas NAND, NOR, e XNOR para fazer um comparativo entre elas.



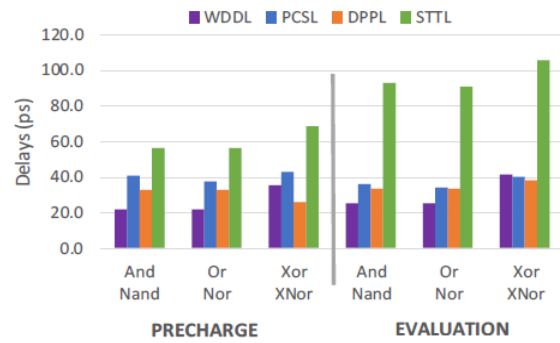
(a)



(b)



(c)



(d)

Figura 3 – Comparação das topologias WDDL, PCSL, DPPL, e STTL, considerando as portas básicas nas fases de pré-carga e validação. (a) NED metric. (b) NSD metric. (c) Consumo médio de energia. (d) Propagação de atrasos críticos