

# Trabalho Final de Concepção de Circuitos Integrados

Mateus Brugnaroto, Vinícius Renato Rocha Geraldo

*{mbrugnaroto, vrrgeraldo}@inf.ufpel.edu.br}*

**Resumo:** O trabalho a ser descrito é um somador de 1-bit desenvolvido em nível de síntese lógica e física. Foi projetado o circuito em layout e assim extraído o SPICE da célula para análise dos resultados. Na simulação lógica do circuito é analisado os resultados do somador completo.

## 1- Introdução

Esse trabalho envolve o desenvolvimento de um somador completo de 1 bit conforme a Figura 1. Cada equação foi implementada separadamente e assim instanciada e roteados em uma única célula. A tecnologia adotada para implementação é AMS 0.35µm.

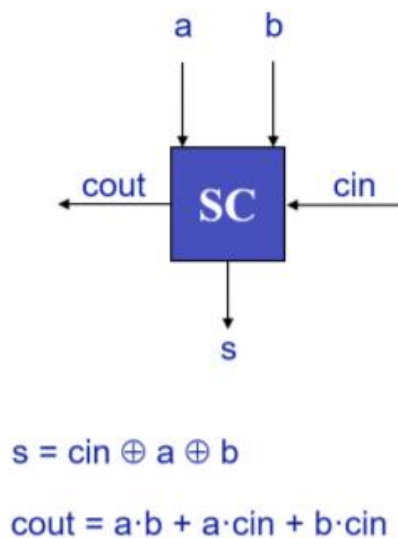


Figura 1 – Somador Completo de 1 bit

A ferramenta utilizada para fazer o desenho do *layout* é a L-Edit, onde foi implementada todas as portas básicas (NAND, NOR, AND, OR, XOR)

## 2- Metodologia

Utilizamos o primeiro trabalho como referência para o tamanho dos transistores e para o desenvolvimento do trabalho de extração de circuito em layout. Para os transistores o *length* (L) utilizado foi de 0,3μm. O tamanho (W) dos transistores foi estimado da seguinte maneira:

$$w = \begin{cases} w_{min} * n_{serie} * \lambda, & \text{se PMOS,} \\ w_{min} * n_{serie}, & \text{se NMOS} \end{cases}$$

Onde o  $n_{serie}$  equivale ao número de elementos em série no plano e  $W_{min}$ , largura mínima do canal, foi utilizado um tamanho de 1,2μm. Transistores PMOS devem ser maiores que os NMOS. Dessa forma, o parâmetro  $\lambda$  foi definido como 2, representando o dobro do tamanho de NMOS.

### 2.1- NAND e AND

As simulações das portas básicas podem ser vistas nas Figura 2 e Figura 3, onde foi desenvolvido o layout de cada porta e testado o valor lógico no T-Spice. O layout das portas segue na Figura 4 e Figura 5.

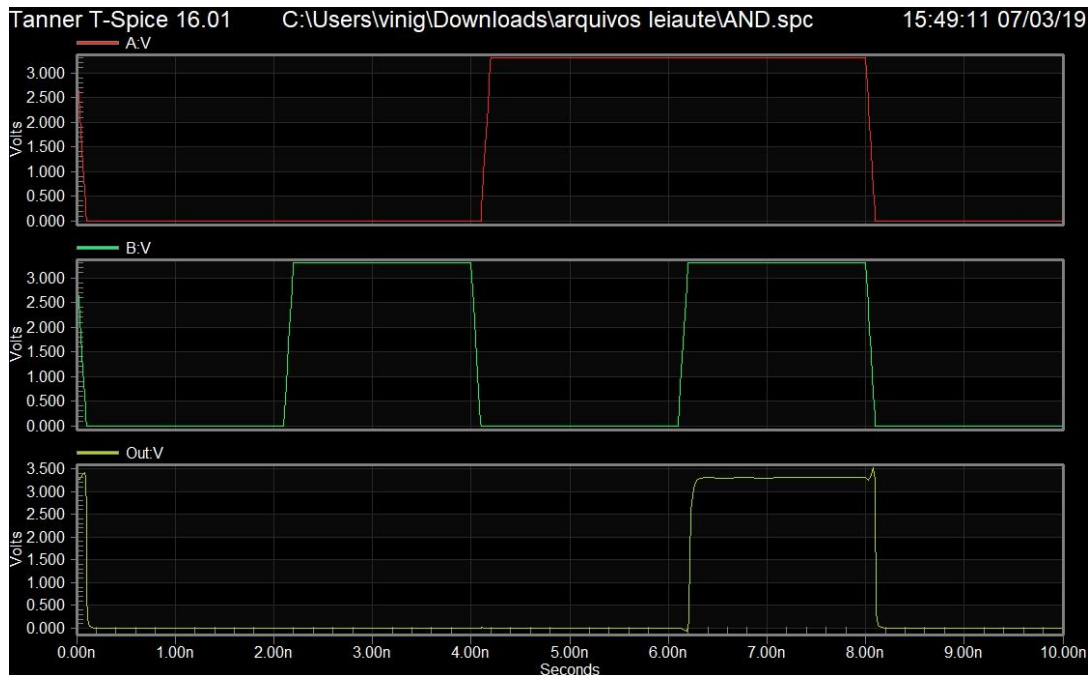


Figura 2 – Simulação AND

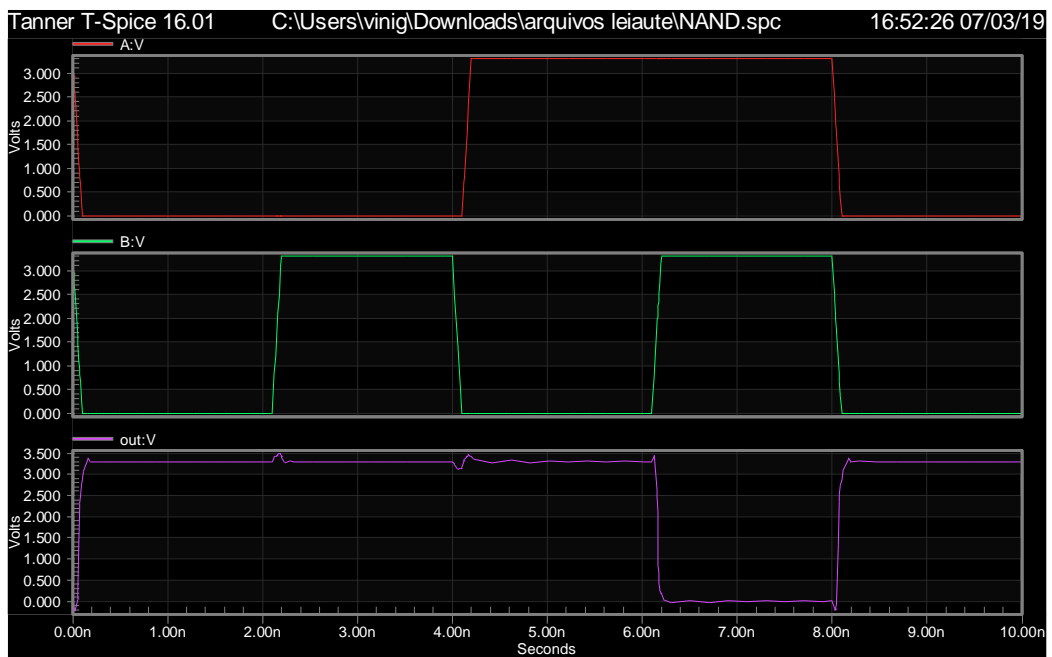


Figura 3 – Simulação NAND

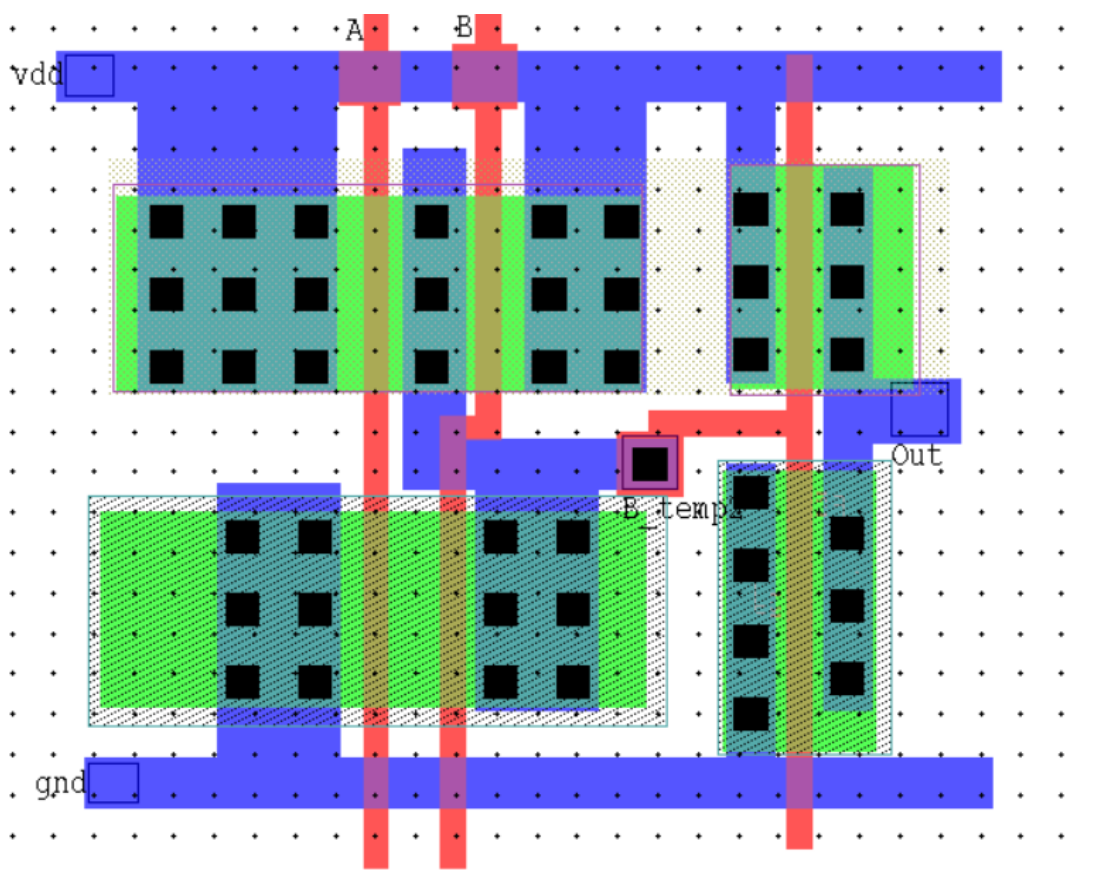


Figura 4 – Layout da porta AND

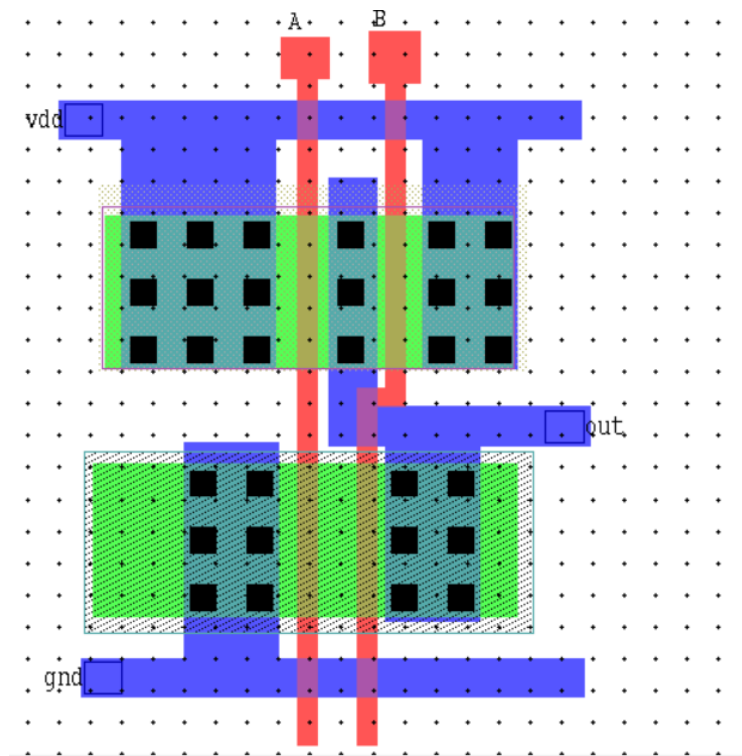


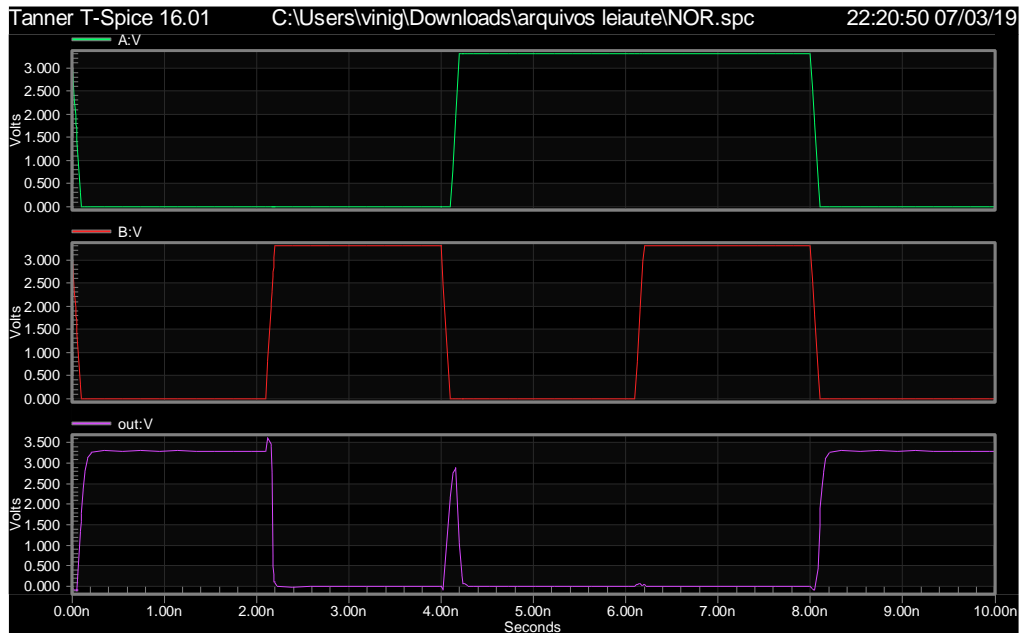
Figura 5 – Layout da porta NAND

Abaixo se encontra a tabela de atrasos das portas NAND e AND

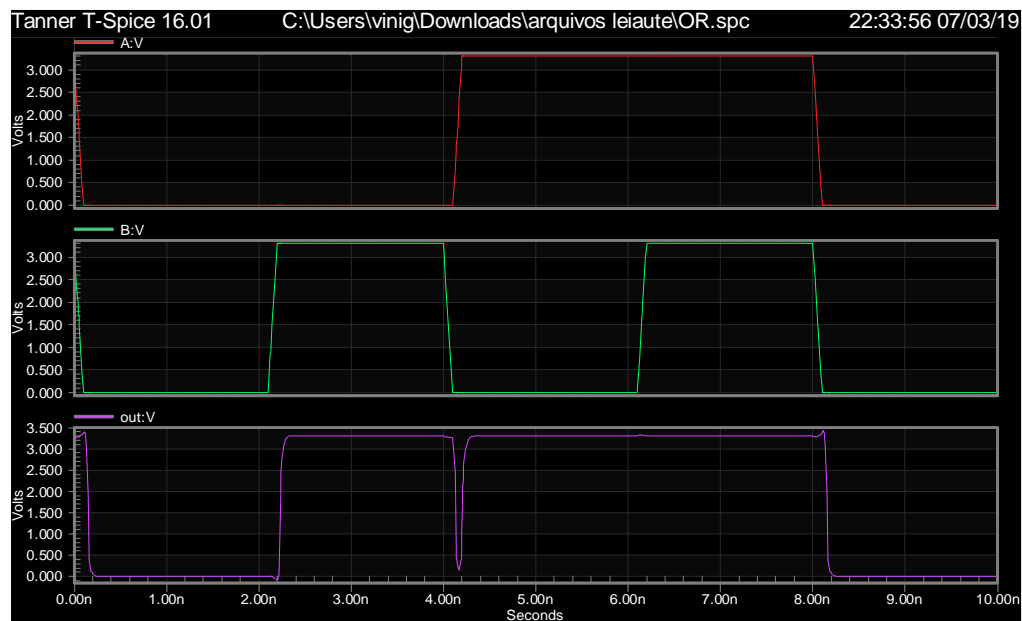
Medidas	NAND	AND
pHL	13.4438ps	54.4897ps
pLH	18.7625ps	68.7023ps
tR	25.4475ps	23.6744ps
tF	13.8580ps	6.5068ps

## 2.2 – NOR e OR

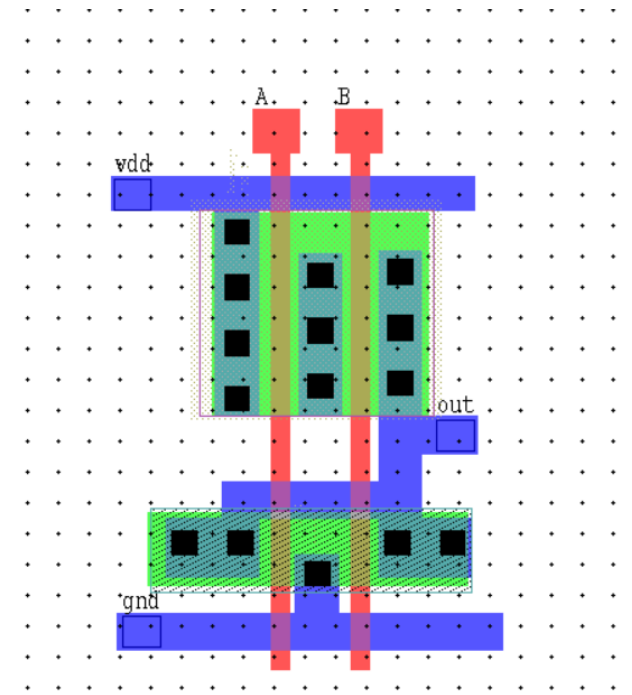
As simulações das portas básicas podem ser vistas nas Figura 6 e Figura 7, onde foi desenvolvido o layout de cada porta e testado o valor lógico no T-Spice. O layout das portas segue na Figura 8 e Figura 9.



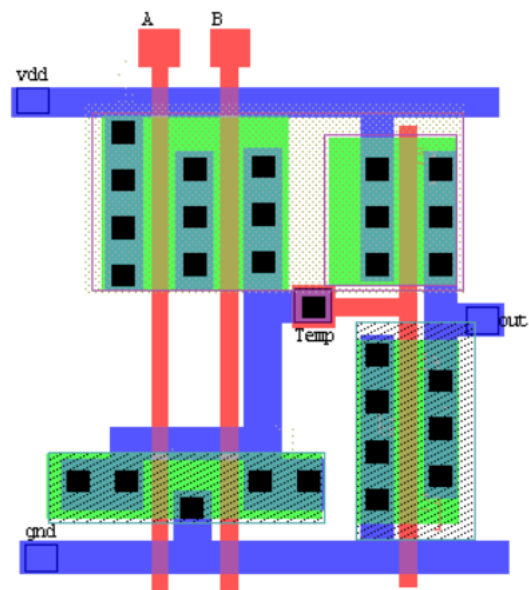
*Figura 6 – Simulação NOR*



*Figura 7 – Simulação OR*



*Figura 8 – Layout da porta NOR*



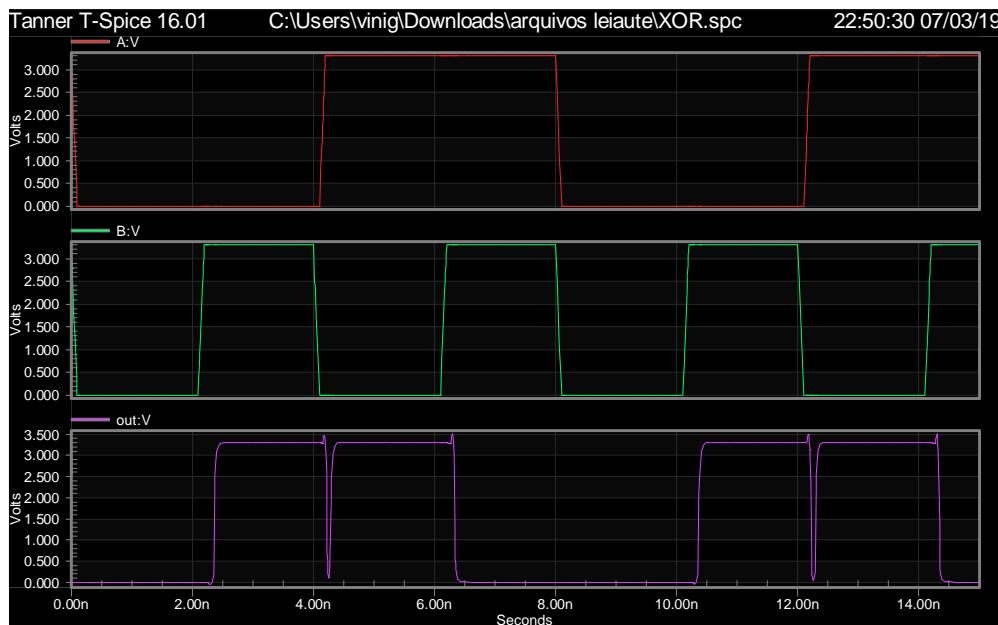
*Figura 9 – Layout da porta OR*

Abaixo se encontra a tabela de atrasos das portas NOR e OR

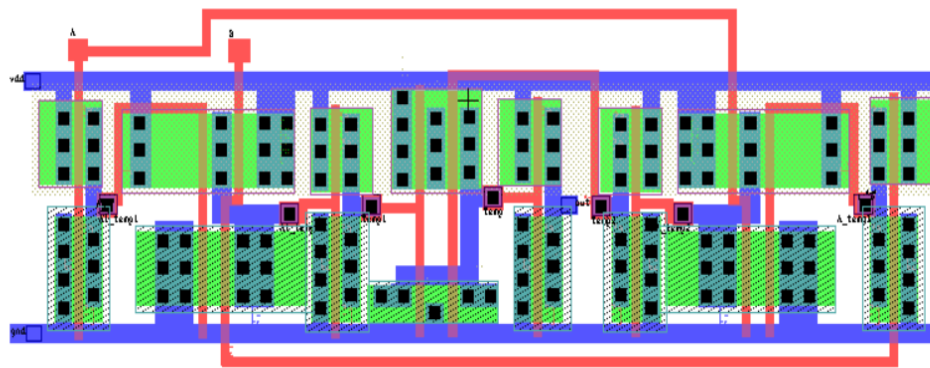
Medidas	NOR	OR
pHL	26.1622ps	153.9259ps
pLH	32.9714ps	68.7023ps
tR	56.2355ps	23.5921ps
tF	9.9868ps	18.1549ps

## 2.3 – XOR

As simulações das portas básicas podem ser vistas na Figura 10, onde foi desenvolvido o layout de cada porta e testado o valor lógico no T-Spice. O layout das portas segue na Figura 11.



*Figura 10 – Simulação XOR*



*Figura 11 – Layout da porta XOR*



Abaixo se encontra a tabela de atrasos da porta XOR

Medidas	NOR
pHL	238.1723ps
pLH	187.4058ps
tR	26.8463ps
tF	13.0757ps

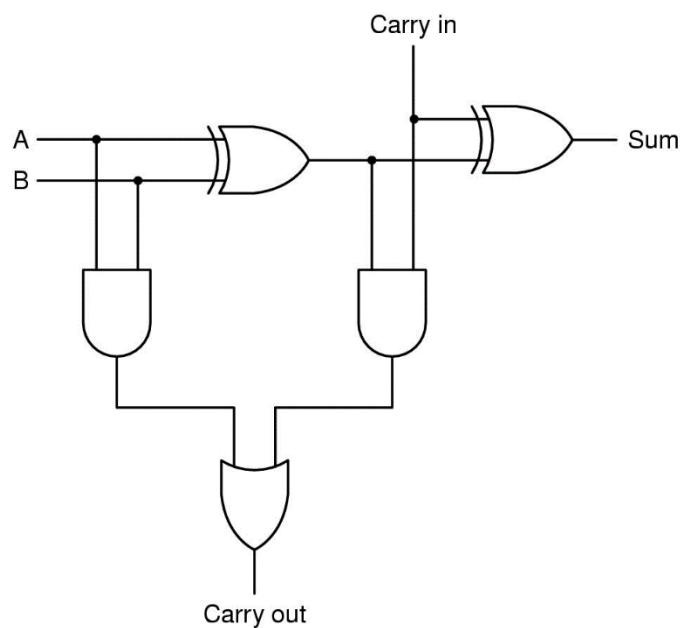
### 3 – Somador Completo

No desenvolvimento final do projeto realizado foi a implementação de um somador de 1 bit. Nisso utilizamos como base nosso primeiro trabalho desenvolvido em SPICE da disciplina para dimensionamento dos transistores e como base do circuito final.

As portas básicas foram utilizadas para o desenho final do circuito onde pegamos o esquemático abaixo para descrição do projeto.

A	B	Carry in	Sum	Carry out
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

(a)



(b)

O layout do circuito como fizemos no L-Edit e a validação da porta foi feita no T-Spice. Podemos ver as simulações e o desenho da porta final do somador de 1 bit nas Figura 12 e Figura 13.

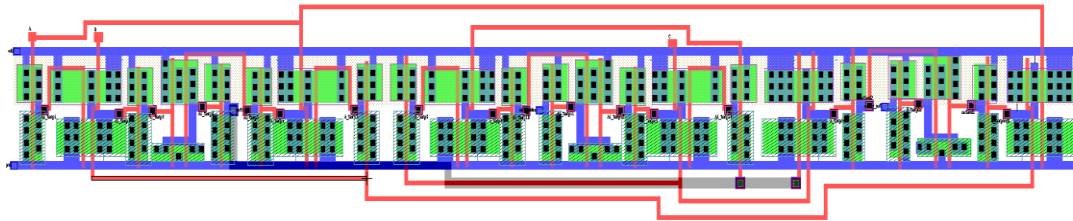


Figura 12 – Layout do Somador completo de 1 bit

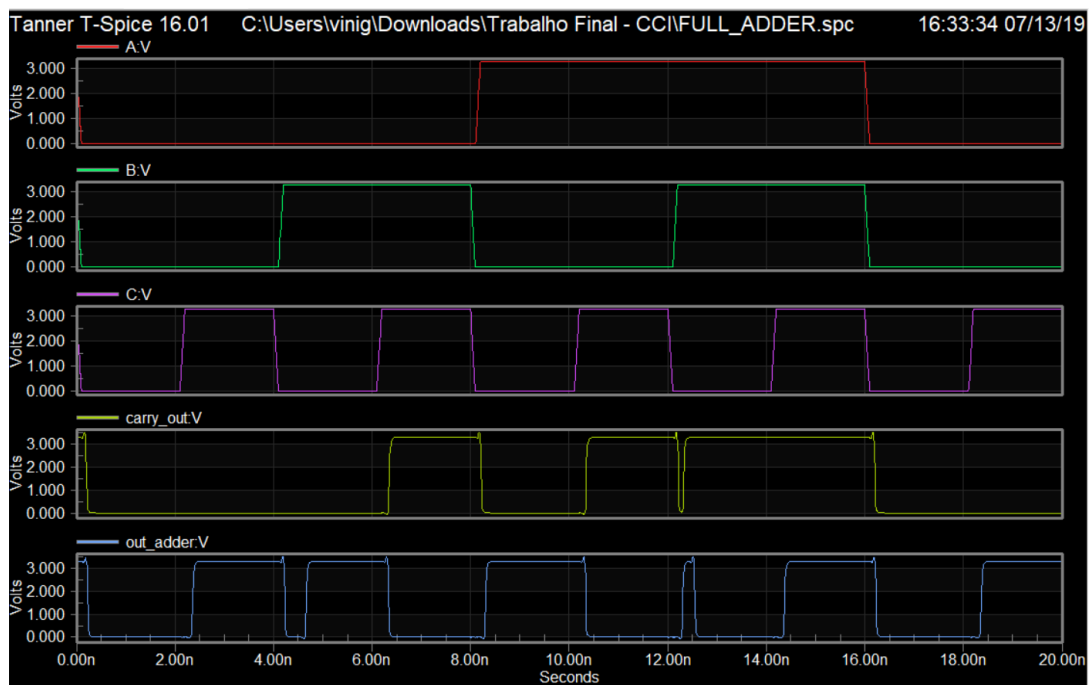


Figura 13 – Simulação Somador Completo de 1 bit

Foi feito os cálculos dos atrasos da soma e do carry de saída do somador e obtemos os seguintes valores:

	Soma (out_adder)	Carry (carry_out)
pHL	83.4690p	4.0667n
pTL	252.2883p	4.2750n
tR	28.6476p	22.4392p
tF	14.5643p	17.6787p