

Universidade Federal de Pelotas

Centro de Desenvolvimento Tecnológico Bacharelado em Engenharia de Computação

Circuitos Digitais

Aula T5

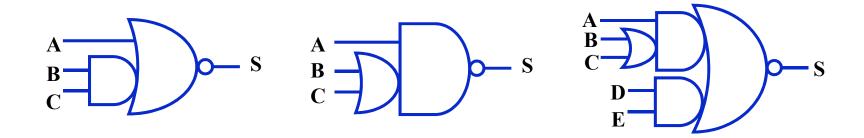
Implementação de Circuitos Lógicos: Mapeamento Tecnológico de Funções Booleanas.

Prof. Leomar S. Rosa Jr. leomarjr@inf.ufpel.edu.br

- A Tecnologia de Implementação
 - CMOS é a tecnologia de fabricação dominante, correspondendo a aproximadamente 98% de todos os circuitos integrados fabricados no mundo atualmente.
 - CMOS somente possibilita a construção de portas que implementam funções negadas. Exemplos:



- A Tecnologia de Implementação
- As portas NAND e NOR podem ter mais de 2 entradas.
 Porém, devido a restrições elétricas, utilizam-se portas de até 4 entradas
- Por outro lado, é possível construir portas complexas (SCCG-static CMOS complex gates). Exemplos:



- Adaptando-se à Tecnologia de Implementação
 - Os tipos de portas disponíveis dependem:
 - da forma de implementação física do circuito
 - das ferramentas de EDA (*Electronic Desing Automation*)
 disponíveis
 - Biblioteca é o nome dado ao conjunto de portas que podem ser usadas por uma ferramenta/forma de implementação
 - Mapeamento Tecnológico é o procedimento de transformar a descrição de um circuito que usa portas lógicas primitivas (E, OU, XOR) em uma descrição equivalente, porém contendo somente portas de uma dada biblioteca

Bibliotecas de Células

Exemplo 1:

Portas CMOS com até 2 entradas

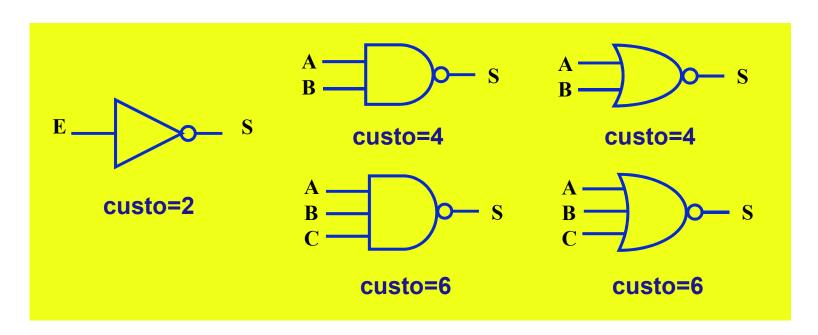
E S A S A S Custo=4 Custo=4
$$S$$
 Custo=4

Custo de uma porta = número de transistores

Bibliotecas de Células

Exemplo 2:

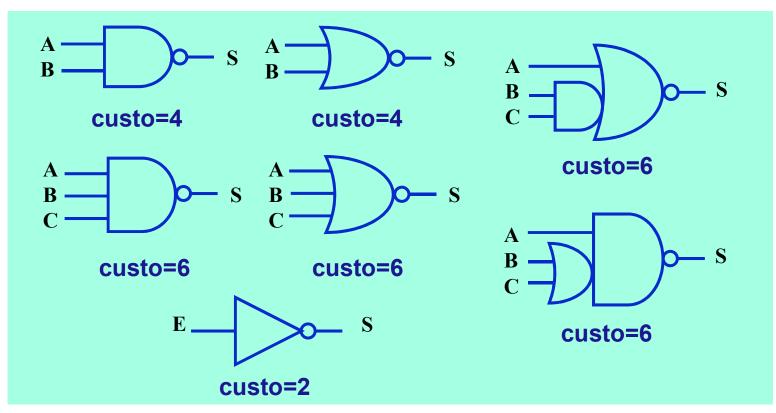
Portas CMOS simples com até 3 entradas



Bibliotecas de Células

Exemplo 3:

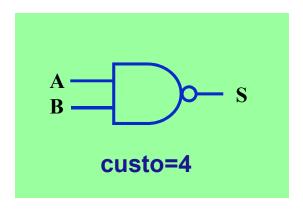
Portas CMOS com até 3 entradas



Bibliotecas de Células

Exemplo 4:

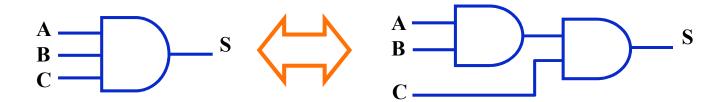
Portas NAND de 2 entradas (!!!)



É possível mapear qualquer circuito usando somente portas NAND de 2 entradas? Isso veremos a seguir...

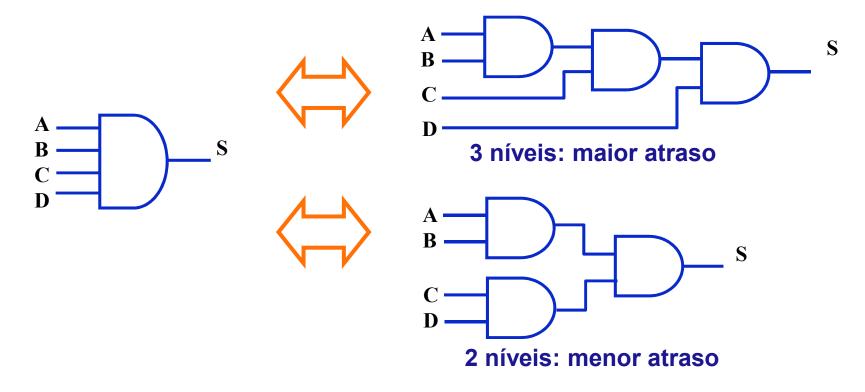
- Passos para Realizar o Mapeamento
 - 1. Quando houver limitação quanto ao número de entradas das portas lógicas (e alguma porta no circuito original ultrapassar tal limitação):

Equivalência entre portas lógicas AND (considerando limitação em 2 entradas):



Passos para Realizar o Mapeamento

Equivalência entre portas lógicas AND (limitação em 2 entradas):



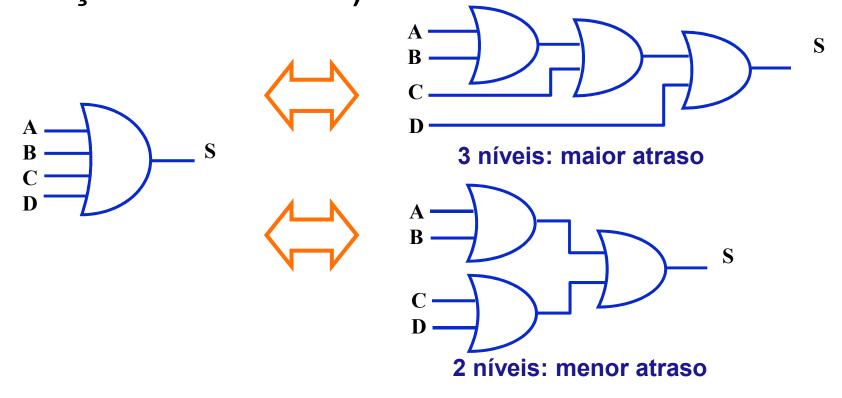
Passos para Realizar o Mapeamento

Equivalência entre portas lógicas OR (considerando limitação em 2 entradas):



Passos para Realizar o Mapeamento

Equivalência entre portas lógicas OR (limitação em 2 entradas):



Passos para Realizar o Mapeamento

Atenção

As equivalências mostradas anteriormente valem somente para portas não-inversoras (AND e OR). Logo:



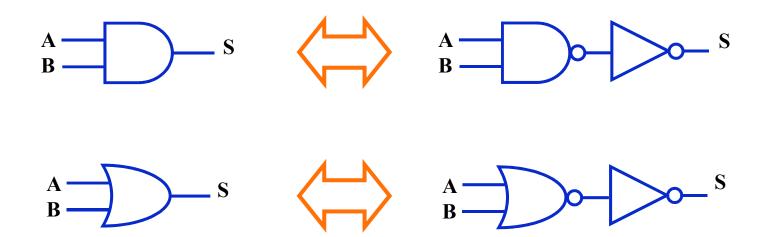
Idem para as demais equivalências vistas anteriormente ...

- Passos para Realizar o Mapeamento
- 2. Usar a propriedade 9 para "fazer aparecer" inversões nas saídas e/ou entradas das portas

Propriedade 9: A = A

Passos para Realizar o Mapeamento

Lembrando que (equivalências entre portas nãonegadoras e portas negadoras):



Válido para portas com mais do que 2 entradas...

- Passos para Realizar o Mapeamento
- 3. No caso de não se dispor de um dos tipos de portas, NAND ou NOR, aplicar De Morgan

(1)
$$\overline{A \cdot B \cdot C \cdot ...} = \overline{A} + \overline{B} + \overline{C} + ...$$

(2)
$$\overline{A + B + C + ... = A \cdot B \cdot C \cdot ...}$$

Passos para Realizar o Mapeamento

Circuitos Lógicos para o 1º Teorema de De Morgan (considerando somente duas variáveis)

$$A \cdot B = A + B$$

$$A \rightarrow S$$

$$B \rightarrow S$$

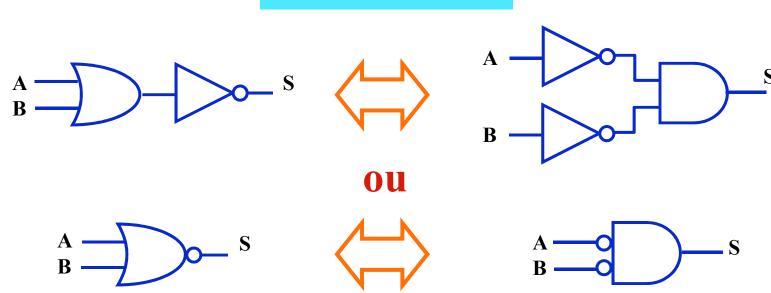
$$A \rightarrow S$$

Passos para Realizar o Mapeamento

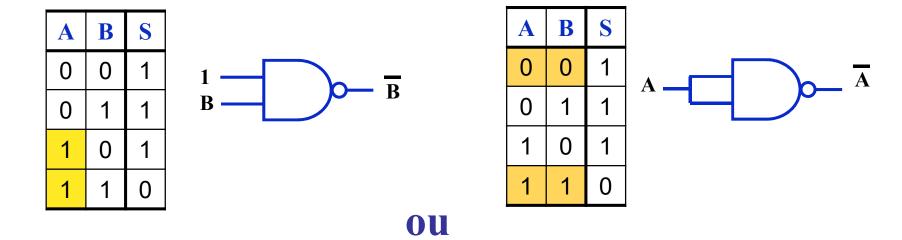
Circuitos Lógicos para o 2º Teorema de De Morgan

(considerando somente duas variáveis)

$$\overline{A + B} = \overline{A} \cdot \overline{B}$$



- Passos para Realizar o Mapeamento
- 4. No caso de não se dispor de inversores, utilizar portas NAND de duas entradas (preferivelmente) ou portas NOR de duas entradas



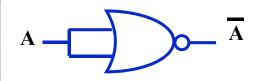
Passos para Realizar o Mapeamento

Usando portas NOR de 2 entradas

A	B	S
0	0	1
0	1	0
1	0	0
1	1	0



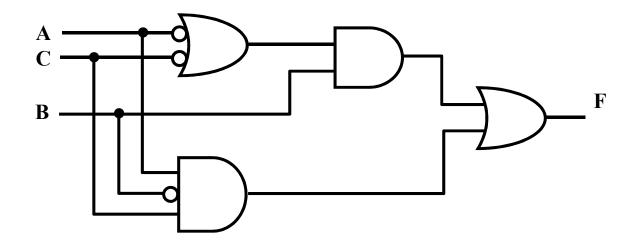
A	B	S
0	0	1
0	1	0
1	0	0
1	1	0



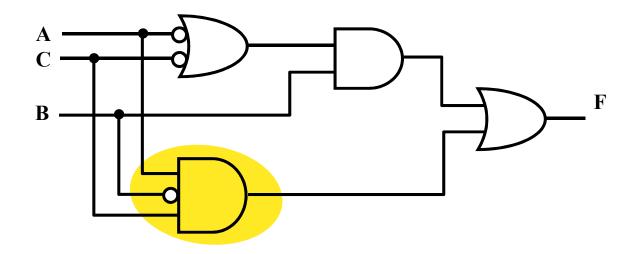
ou

Exemplo de Mapeamento

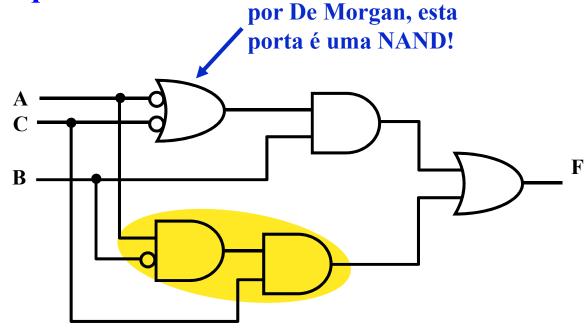
Mapeie o circuito a seguir para a tecnologia CMOS, considerando uma biblioteca composta somente por portas NAND de 2 entradas.



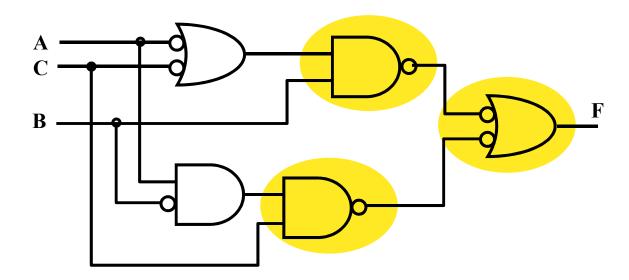
- Exemplo de Mapeamento
- 1. A biblioteca dispõe somente de portas NAND de 2 entradas. Logo, devemos substituir a porta de 3 entradas por um circuito equivalente.



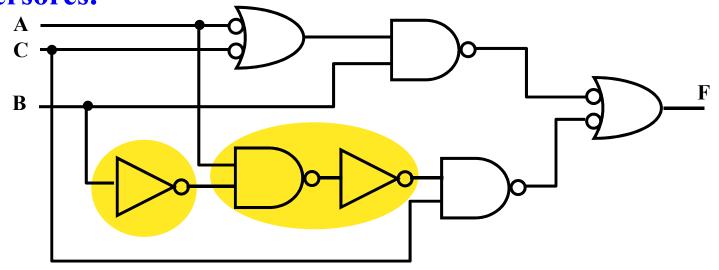
- Exemplo de Mapeamento
- 1. A biblioteca dispõe somente de portas NAND de 2 entradas. Logo, devemos substituir a porta de 3 entradas por um circuito equivalente.



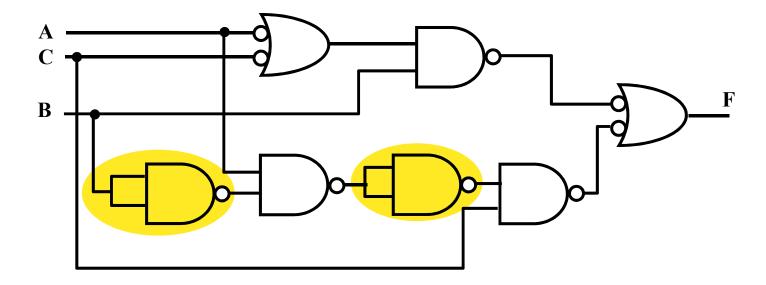
- Exemplo de Mapeamento
- 2. Aplicando a propriedade 9 aos dois fios que chegam às entradas da porta OU que gera a saída F, consegue-se mapear 3 portas.



- **Exemplo de Mapeamento**
- 3. Substituindo-se a primeira porta E (da esq. para a dir) pelo seu equivalente CMOS e isolando-se a inversão na sua entrada, obtém-se um circuito mapeado, porém usando inversores.



- **Exemplo de Mapeamento**
- 4. Como só podemos usar portas NAND, será preciso substituir os inversores.



Custo do circuito mapeado: 7x4=28 transistores (se pudessem ser usados inversores, o custo seria de 24 transistores)

Observações Finais

- Procedimento mostrado aqui não é formal e tampouco é único
- Procedimentos formais existem, mas fogem ao escopo desta disciplina (são mais apropriados para desenvolvimento de programas de mapeamento, chamados *technology mappers* ou *technology binders*)
- O processo de mapeamento também deve buscar a obtenção de um circuito mapeado com o menor custo possível