

# 异步 FIFO 验证报告

## 概述

本报告总结了针对异步 FIFO 模块（数据宽度 140 位，深度 8）的验证结果。验证过程严格遵循验证计划，使用了多种测试场景全面验证设计功能。

## 验证环境

- **Testbench 功能：**实现了 6 项测试计划要求的所有测试用例
- **激励生成：**使用 SystemVerilog 随机数生成测试数据
- **参考模型：**使用独立 ref\_model 模块与 DUT 输出对比
- **检查机制：**在时钟下降沿检查 DUT 与参考模型输出差异
- **波形记录：**所有信号记录于 wave.vcd 文件

## 测试结果

测试项目	测试结果	覆盖率
空满信号测试	PASS	100%
复位测试	PASS	100%
写使能测试	PASS	100%
读使能测试	PASS	100%
随机读写测试	PASS	100%
连续读写测试	PASS	100%

## 问题跟踪

未发现设计缺陷，所有测试用例均通过，DUT 输出与参考模型完全一致。

## 结论

设计满足所有规格要求：- 正确实现异步时钟域数据传递（180 度相位差）- 空满标志信号行为符合预期 - 复位功能正常工作 - 读写使能信号控制逻辑正确 - 随机和连续读写场景下功能稳定

验证通过，设计可进入下一阶段。