

# 异步 FIFO 验证计划

## 1. 概述

本验证计划针对异步 FIFO 模块，验证其在跨时钟域（100MHz 同频不同相）环境下的功能正确性。测试平台包含 DUT（待测设计）和参考模型，通过对比两者输出实现自检。

## 2. 验证目标

- 验证异步 FIFO 的空/满标志行为
- 验证复位功能正确性
- 验证读写使能控制逻辑
- 验证随机读写场景下的数据一致性
- 验证连续读写场景下的稳定性
- 验证跨时钟域同步机制的正确性

## 3. 测试用例列表

测试用例名称	描述	关键检查点	预期结果
空满信号测试	测试 FIFO 的空满标志行为	- 写满 FIFO 时 full 标志- 读空 FIFO 时 empty 标志	写满时 full 置位，读空时 empty 置位；与参考模型一致
复位测试	验证复位功能及复位后状态	- 复位后 empty 标志- 复位后 full 标志- 复位后读取数据	复位后 empty=1, full=0; 读取数据为 0; 复位后能正常读写
写使能测试	测试写使能控制逻辑	- 写使能无效时数据写入- FIFO 满时继续写入	写使能无效时数据不写入；满时继续写入不会覆盖数据

测试用例		关键检查点	预期结果
例名称	描述		
<b>读使能测试</b>	测试读使能控制逻辑	- 读使能无效时数据读取- FIFO 空时读取	读使能无效时数据不读出；空时读取不会产生错误数据
<b>随机读写测试</b>	随机读写操作测试（100 次迭代）	- 空满标志一致性- 读写数据一致性- 跨时钟域同步	所有操作后 DUT 与参考模型状态一致；无数据丢失或错误
<b>连续读写测试</b>	连续读写压力测试	- 写满时停止写入- 读空时停止读取- 同时读写时的数据一致性	满时停止写入；空时停止读取；同时读写时数据正确传输

## 4. 检查机制

- **实时比对**：在 clk\_out 下降沿比较 DUT 与参考模型的输出
  - 数据输出 (dut\_data vs ref\_data)
  - 空标志 (dut\_empty vs ref\_empty)
  - 满标志 (dut\_full vs ref\_full)
- **错误报告**：检测到差异时立即打印错误信息
- **波形记录**：生成 wave.vcd 波形文件用于调试

## 5. 时钟与复位配置

信号	频率	相位	复位策略
clk_in	100MHz	0°	初始复位 10 个周期
clk_out	100MHz	180°	同步释放

## 6. 测试数据

- **数据宽度**: 140 位
- **数据生成**: 使用 \$urandom() 生成随机测试数据
- **数据验证**: 非空状态下比较 DUT 输出与参考模型

## 7. 通过标准

- 所有测试用例执行完成
- 无任何 ERROR 信息打印
- 最终显示” All tests completed”

## 8. 风险分析

风险点	缓解措施
亚稳态问题	增加同步触发器深度；延长复位时间
指针同步延迟	在连续测试中验证边界情况
空满标志误判	在满/空边界进行密集测试
同时读写冲突	在连续读写测试中验证数据一致性

## 9. 交付物

1. 验证报告（包含通过率统计）
2. 覆盖率报告