

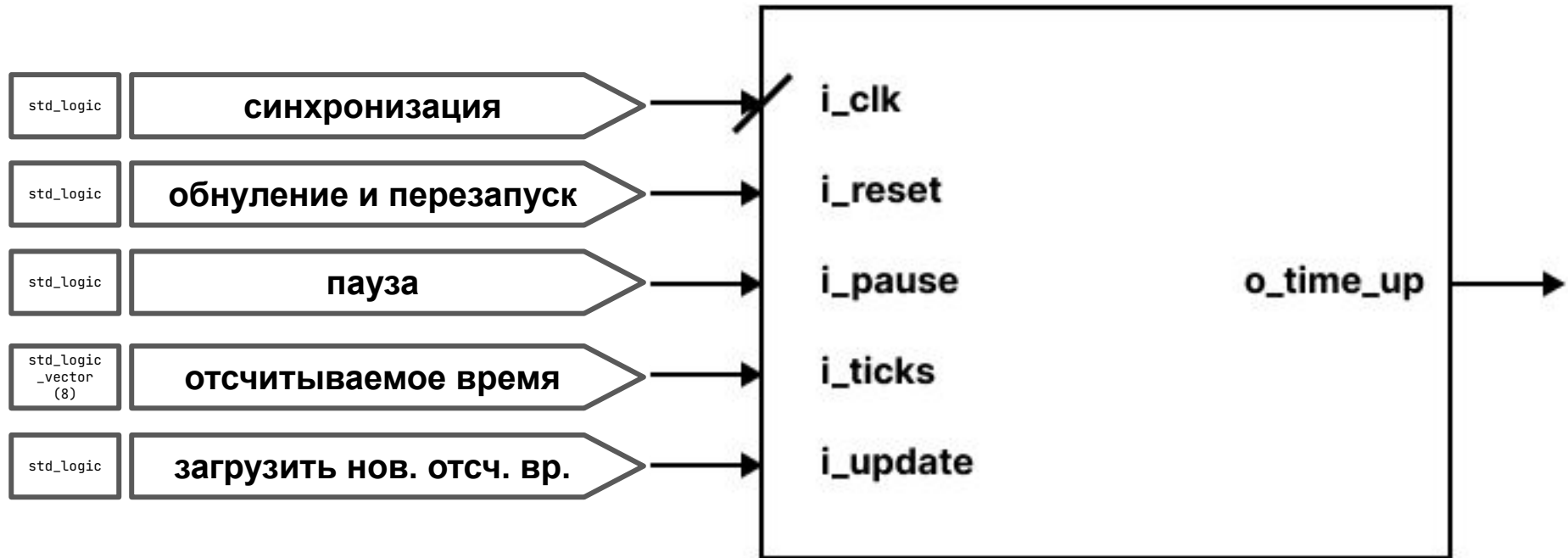
Модифицированный сторожевой таймер

Павлюк Глеб
Плотников Артем
Смирнов Илья
С22-501

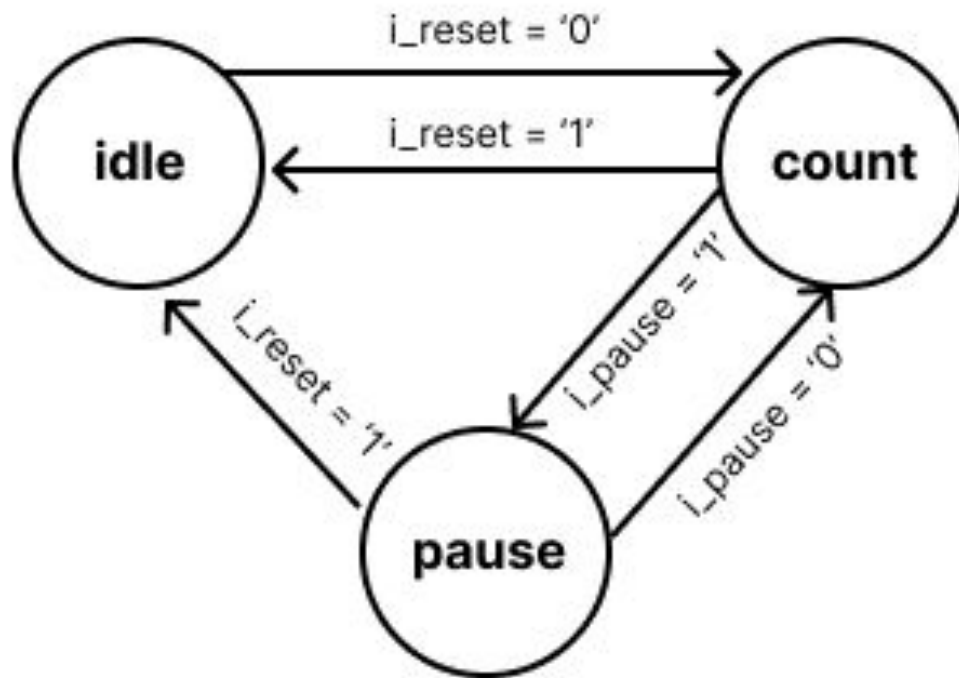
Реализовать на языке VHDL устройство модифицированного WatchDog таймера (устройство обратного отсчета фиксированного промежутка времени).

Модификация стандартного Watchdog Timer заключается во внедрении опций остановки, возобновления таймера.

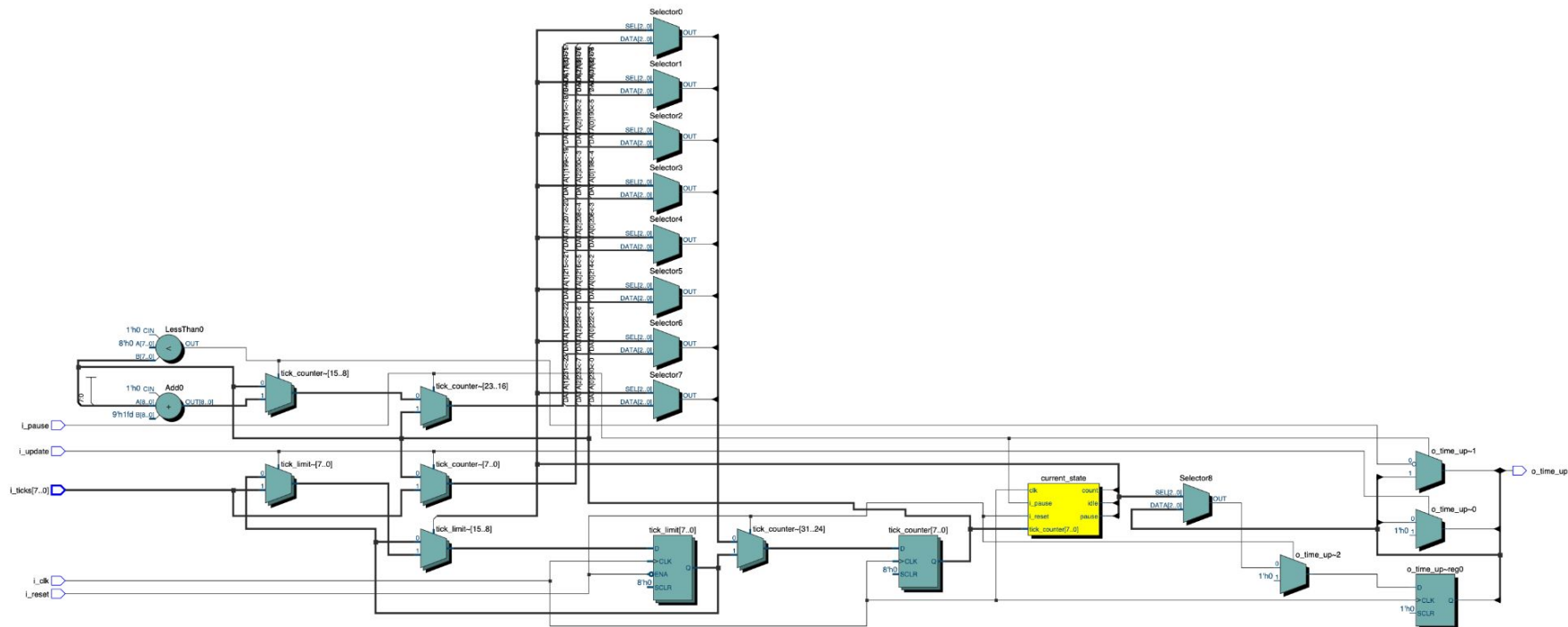
Спецификация

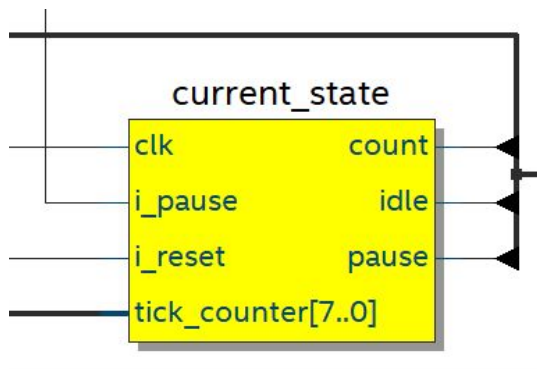


Рабочие режимы

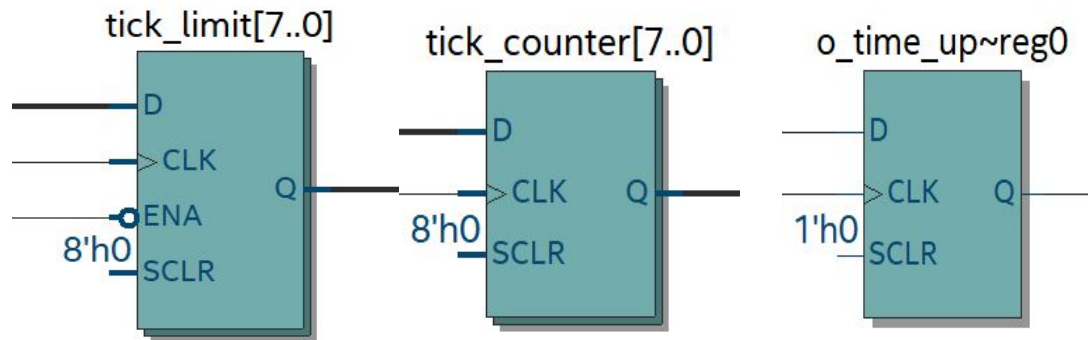


Результат синтеза





Конечный автомат



Регистры

watchdog_timer.vhd

Compilation Report - watchdog_timer

Table of Contents

Flow Summary

Flow Settings

Flow Non-Default Global Settings

Flow Elapsed Time

Flow OS Summary

Flow Log

> Analysis & Synthesis

Flow Messages

Flow Suppressed Messages

Flow Summary

<<Filter>>

Flow Status	Successful - Mon Oct 07 10:44:49 2024
Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Standard Edition
Revision Name	watchdog_timer
Top-level Entity Name	watchdog_timer
Family	Cyclone 10 LP
Device	10CL006YE144C6G
Timing Models	Final
Total logic elements	37
Total registers	20
Total pins	13
Total virtual pins	0
Total memory bits	0
Embedded Multiplier 9-bit elements	0
Total PLLs	0

Тестирование



Заключение

- I. Знакомство с языком описания схем VHDL, со средой разработки Quartus Prime, средством тестирования ModelSim SE;
- II. Моделирование цифрового устройства “watchdog timer”, написание VHDL-кода самого устройства, тестера, *тестбенча*;