



FPGA System Spesifikasjon

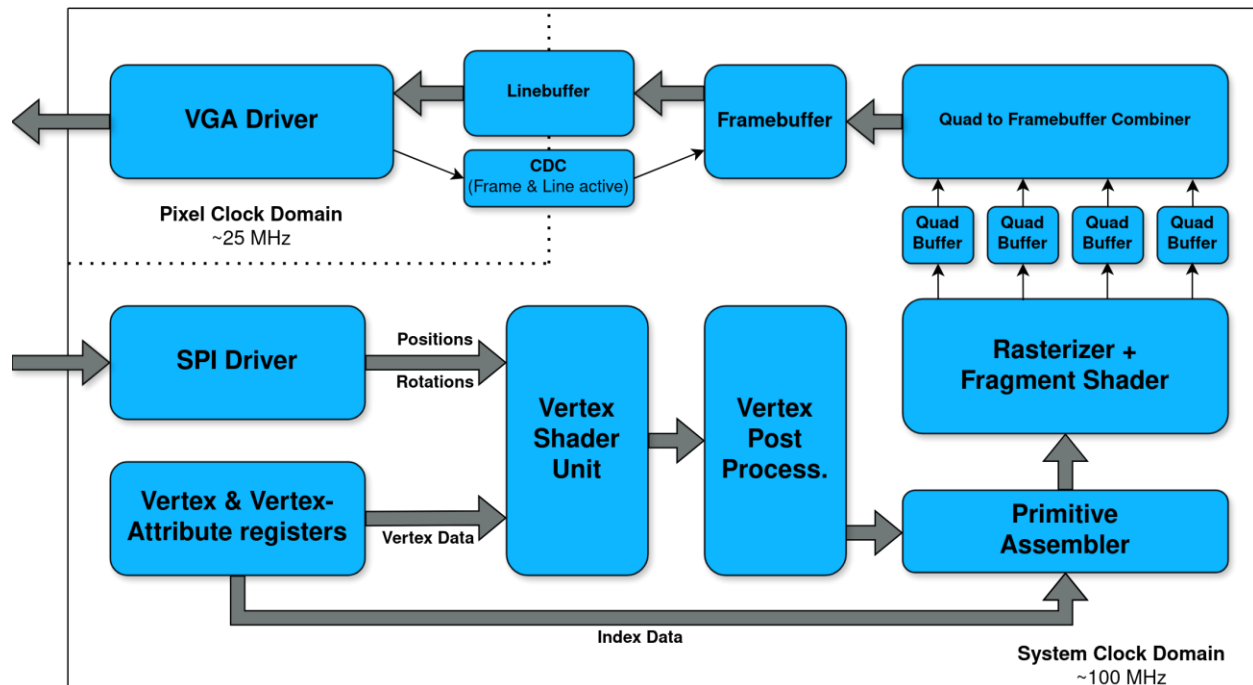
Systemoversikt-----	2
FPGA-MCU Kommunikasjon -----	3
SPI Driver -----	3
Dataprotokoll-----	3
Framebuffer -----	3
VGA-Driver -----	4
VGA signaler -----	4
Linebuffer-----	4
Kontrollsignaler og CDC-----	4
Render pipeline -----	4
Vertex og vertex-attributt lagring-----	4
Vertex shader stage -----	4
Matrise-matrise multiplikator -----	4
Matrise-vektor multiplikator -----	4
Vertex post processor-----	4
Primitives assembler-----	4
Rasterizer + Fragment shader -----	4

Systemoversikt

Systemet består hovedsakelig av fire deler:

1. Kommunikasjon mellom FPGA-en og MCU-en (SPI Driver)
2. Framebufferen
3. VGA Driveren
4. Render pipelinen

Følgende er et diagram som viser systemet, delsystemene og kommunikasjonen mellom dem.



Systemer har to klokker: en for VGA driveren og en for systemet. Hvert klokkesignal er drevet fra en felles 100 MHz klokke, og benytter to av FPGA-ens 6 MMCM enheter for å generere de deriverte klokkesignalene. De forskjellige klokkeområdene er adskilt med Dual FF Synchronizers.

FPGA-MCU Kommunikasjon

SPI Driver

Dataprotokoll

Framebuffer

Framebufferen er delen av systemet som skal lagre pixel verdiene som skal skrives til skjermen. Det markerer slutten på Render Pipelinen. Framebufferen til systemet skal ta i bruk en dobbel framebuffer. Dette gjør det mulig å skrive til en buffer og samtidig lese fra et tidligere frame sin framebuffer. Dette er ideelt da endelig oppnådd framerate til systemet er ukjent. Intern struktur til Framebufferen er vist i figuren under.

[[FIGUR SOM VISER FRAMEBUFFER SYSTEMET]]

Framebufferen skal være dual-ported, slik at det er mulig å lese fra og skrive til bufferen simultant. En intern state velger hvilket av de to interne buffer-ene som skal leses fra og skrives til. Staten endres når VGA Driveren signaliserer at den starter et nytt frame, altså når *VGA_Frame_o* signalet går høyt, men kun når signalet fra render pipelinen som forteller at current frame er ferdig rendret, signalisert med signalet *Render_Pipeline_done_o*.

Hver buffer er satt opp som arrays av 6-bit tall med dybde lik 640x480. Dette passer direkte med display oppløsningen vi ønsker å bruke. Dekodingen av de 6-bitene er vist under.

[[FIGUR FOR MAPPING FOR PIXEL BITS TIL BETYDNING]]

De to mest signifikante bit-ene representerer luminansen til pixel-ene. Altså har hver pixel 4 forskjellige luminansverdier: fullstendig belyst, trekvart belyst, halvt belyst og en kvart belyst. Mappingen følger følgende bit-verdier.

[[FIGUR FOR MAPPING FRA BIT-VERDI TIL LUMINANS]]

Argumentet for å ikke ha en verdi for ikke belyst er fordi vi da får ambient belysning gratis, da alt som ikke blir direkte belyst får en liten belysning på omtrent en kvart av full belysning.

De minst signifikante bit-ene representerer så en index inn i et 12-bit farge-lookup-table. Dette lar oss bruke arbitrære 12-bit farger uten å måtte ta høyde for en dobbelt så stor framebuffer.

VGA-Driver

VGA signaler

Linebuffer

Kontrollsignaler og CDC

Render pipeline

Vertex og vertex-attributt lagring

Vertex shader stage

Matrise-matrise multiplikator

Matrise-vektor multiplikator

Vertex post processor

Primitives assembler

Rasterizer + Fragment shader