

# Projet Conception de Microsystèmes

## Altimètre intégré en VHDL-AMS

Mohamed Hage Hassan

Clément Cheung

8 Decembre 2017

### Table des matières

<b>1</b>	<b>Introduction</b>	<b>2</b>
<b>2</b>	<b>Architecture Générale de l'altimètre</b>	<b>2</b>
<b>3</b>	<b>Modélisation et simulation des blocs</b>	<b>2</b>
3.1	Transducteurs comme elements de test . . . . .	2
3.2	Capteur de température . . . . .	2
3.3	Architecture de l'amplificateur différentiel . . . . .	2
3.4	Convertisseur Analogique-Numérique en VHDL-AMS . . . . .	2
3.5	Logique de commande . . . . .	2
<b>4</b>	<b>Conclusion</b>	<b>3</b>
	<b>Références</b>	<b>4</b>

# 1 Introduction

# 2 Architecture Générale de l'altimètre

# 3 Modélisation et simulation des blocs

Test {*Verilog*}

```
1 module thermo2bin (thermob, bin)
2 input [62:0] thermob;
3 output [5:0] bin;
4
5 reg [62:0] thermo;
6 reg [5:0] bin, bin1, bin2;
7 integer i, j, k;
8
9 always @(thermob)
10 begin
11     for (k = 0; k <= 60; k=k+1)
12         thermo[k] <= thermob[k] || thermob[k+1] || thermob[k+2];
13
14     thermo[61] <= thermob[61] || thermob[62];
15     thermo[62] <= thermob[62];
16 end
17
18 always @(thermo)
19 begin
20     bin1 = 0;
21     for (i=1; i <= 32; i=i+1)
22         if (thermo[i-1] == 1'b1) bin1 = i;
23 end
24
25 always @(thermo)
26 begin
27     bin2 = 0;
28     for (j=1; j <= 31; j=j+1)
29         if (thermo[k+31] == 1'b1) bin2 = j;
30 end
31
32 always @(bin1 or bin2)
33 if (thermo[31] == 1'b1)
34     bin = bin2 + 32;
35 else
36     bin = bin1;
37
38 endmodule
```

## 3.1 Transducteurs comme elements de test

## 3.2 Capteur de température

## 3.3 Architecture de l'amplificateur différentiel

## 3.4 Convertisseur Analogique-Numérique en VHDL-AMS

## 3.5 Logique de commande

## 4 Conclusion

## Références

- [1] *Simulation électromagnétique et techniques de mesure RF*,  
Jean-Daniel Arnould, Institut Polytechnique de Grenoble - Phelma