

Projet de Conception en Microélectronique Analogique

Réalisation d'un CAN FLASH 6 bits

F. Goumis, M. Hage Hassan

Institut Polytechnique de Grenoble - Phelma

mohamed.hage-hassan@phelma.grenoble-inp.fr

ferdinand.goumis@phelma.grenoble-inp.fr

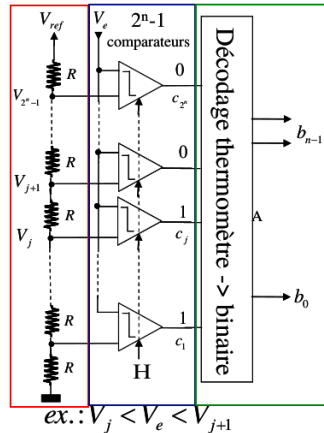
April 24, 2017

Démarches

- 1 Cahier des charges
- 2 Mise en place de l'échantillonneur-bloqueur
- 3 Réalisation d'un Amplificateur OTA à deux étages
- 4 Mise en oeuvre des comparateurs synchronisés par horloge
- 5 Réalisation du décodeur en Verilog
- 6 Schéma Global
- 7 Schéma Global
- 8 Layout
- 9 Layout
- 10 Conclusion/Améliorations possibles

Cahier des charges

- Une résolution du CAN-FLASH de 6 bits
ce qui implique l'utilisation de $2^6 - 1 = 63$ comparateurs.
- Dynamique du signal en entrée
 $V_e \in [0.5V, 2.5V]$
- Fréquence d'échantillonnage :
 $f_h = 20MHz$



Principe de Fonctionnement

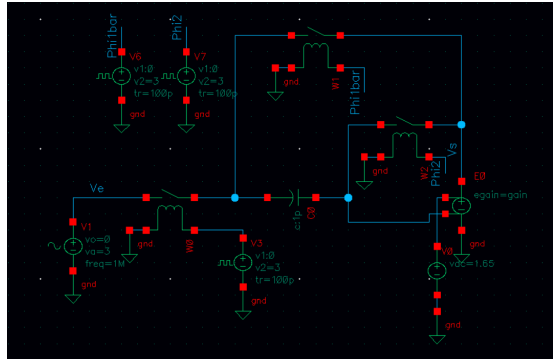
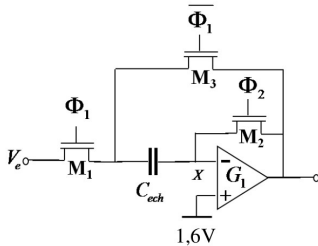


Figure: Schéma électrique de l'échantillonneur-bloqueur

Simulation idéale

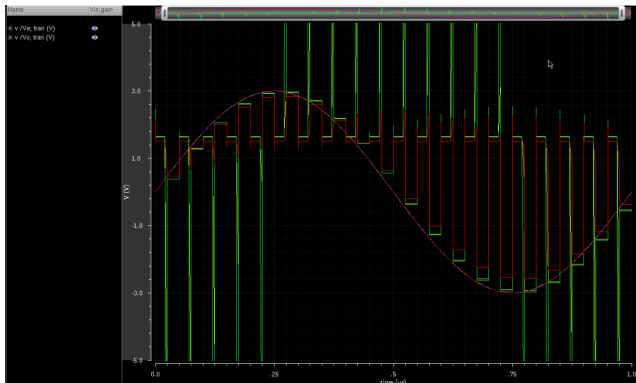
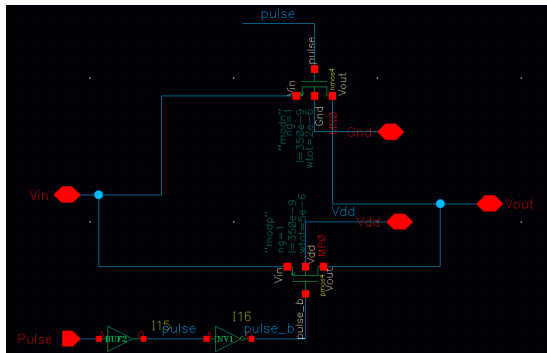
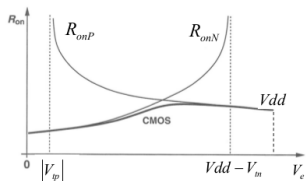


Figure: Simulation de l'échantillonneur-bloqueur à éléments idéaux

Réalisation des switchs

Addition des trucs

- Une résolution du CAN-FLASH de 6 bits ce qui implique l'utilisation de $2^6 - 1 = 63$ comparateurs.



Simulation des switchs

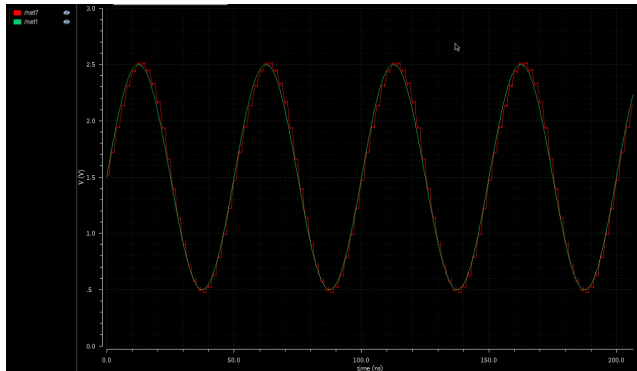


Figure: Simulation des switchs en CMOS

Schéma réel

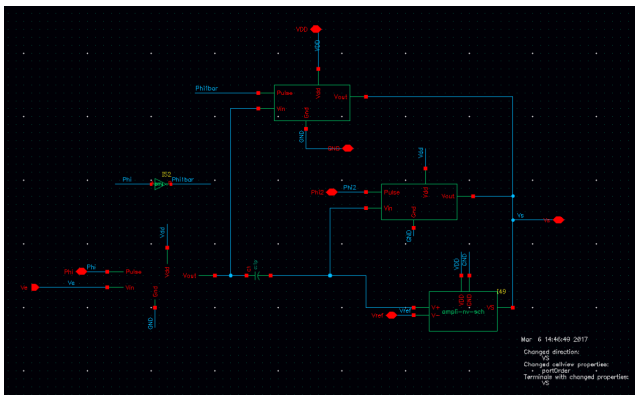


Figure: Simulation des switches en CMOS

Fonctionnement

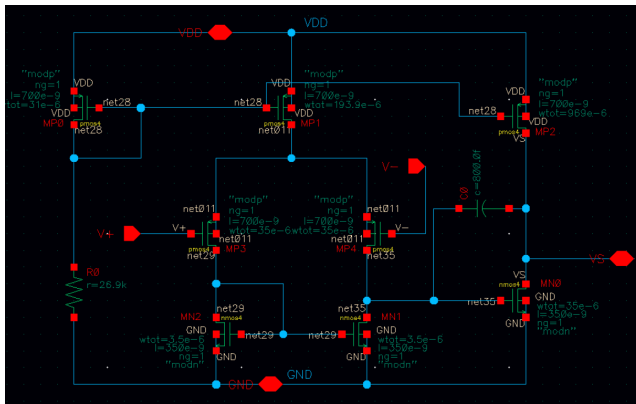


Figure: Simulation des switches en CMOS

Simulation de l'amplificateur à deux étages

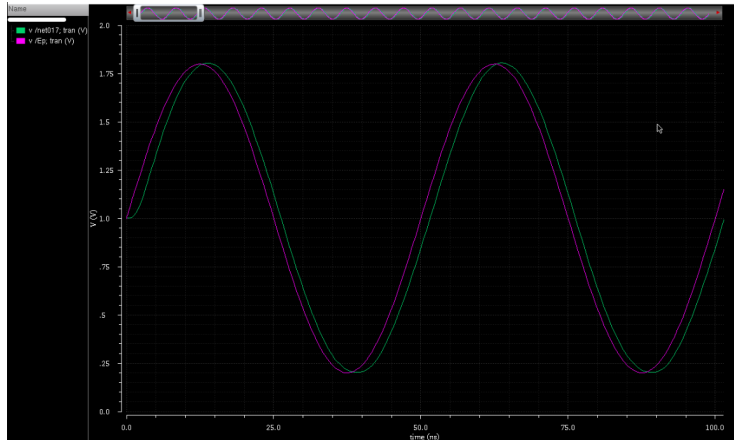


Figure: Simulation de l'amplificateur

Simulation de l'amplificateur à deux étages - Analyse fréquentielle

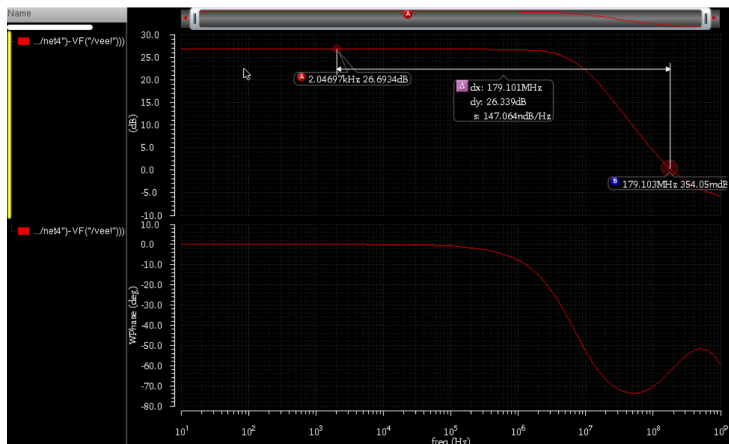


Figure: Simulation de l'amplificateur en AC

Simulation final de l'Echantillonneur bloqueur

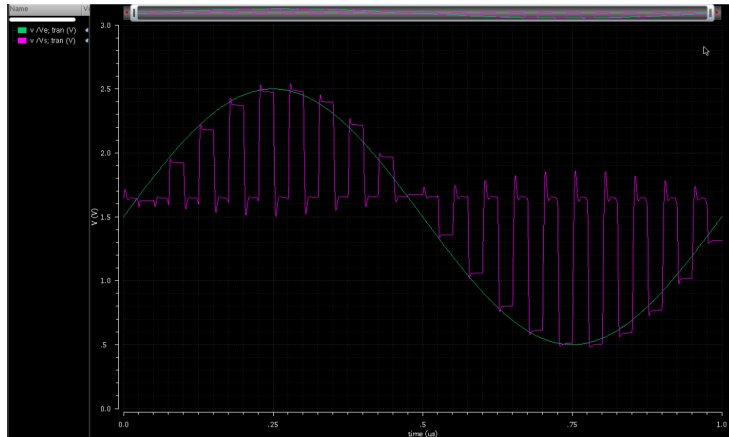


Figure: Simulation finale

Fonctionnement

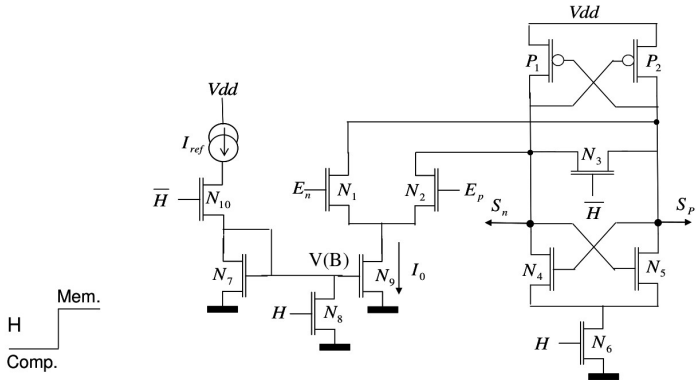


Figure: Simulation finale

Simulation

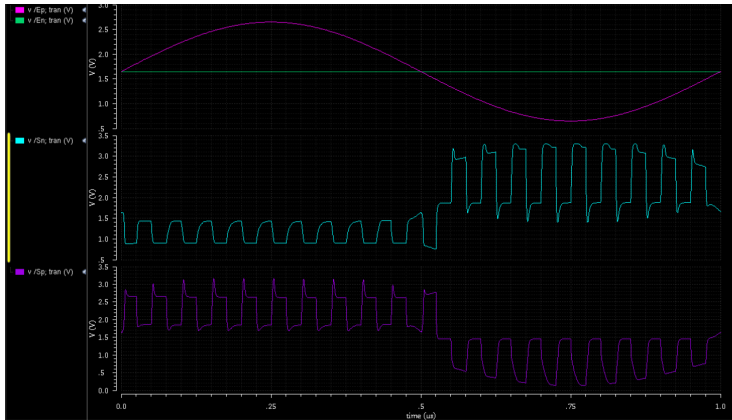


Figure: Simulation finale

Modification nécessaires

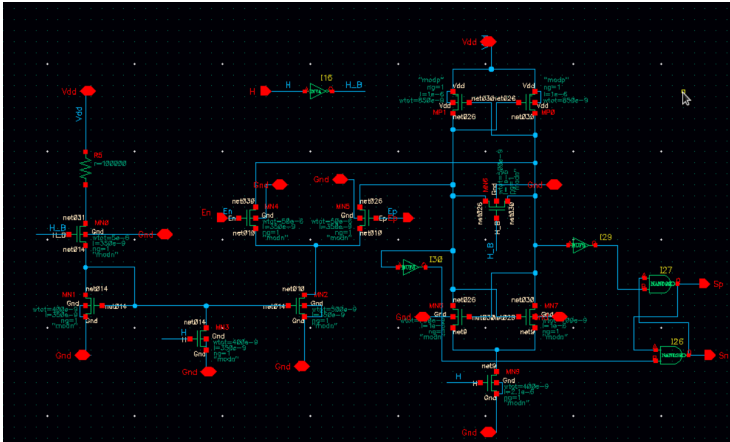


Figure: Addition des buffers et Bascules SR

Simulation après modifications

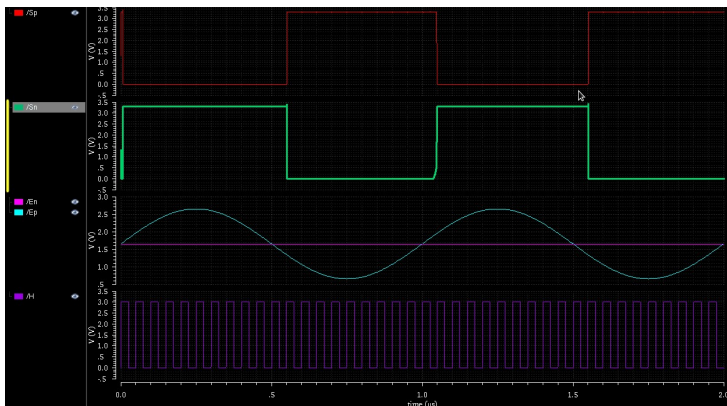


Figure: Addition des buffers et Bascules SR

Synthèse

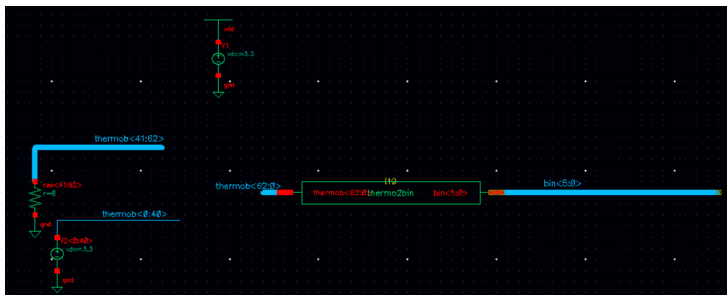


Figure: Test du codeur thermometrique



Schéma final

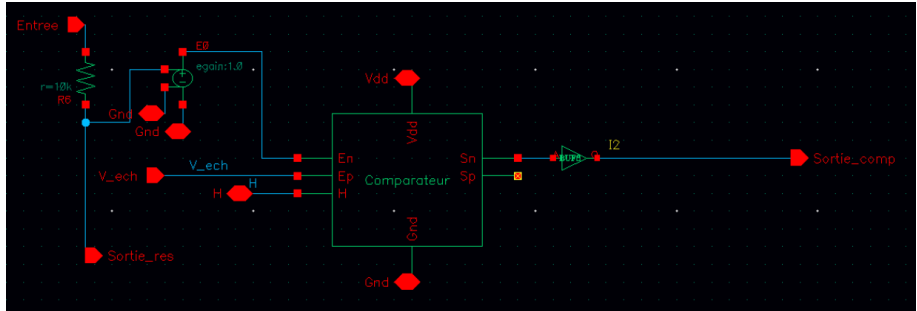


Figure: Pont des résistances et comparateurs

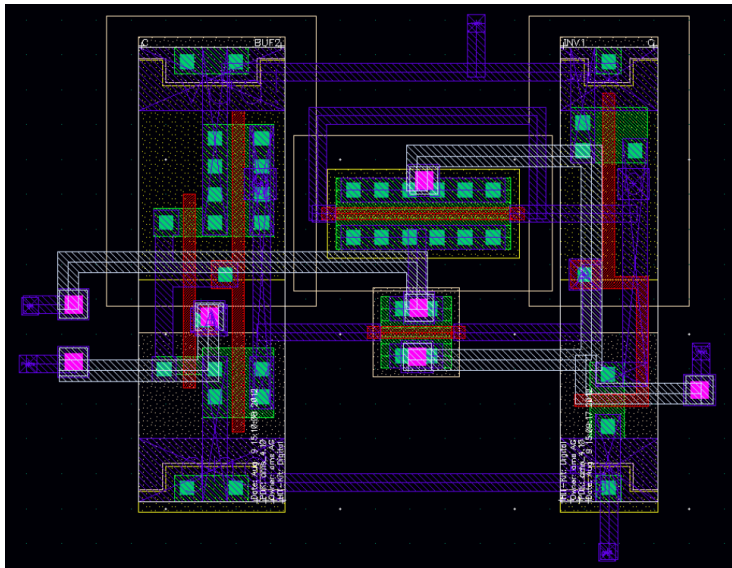


Figure: Layout du switch

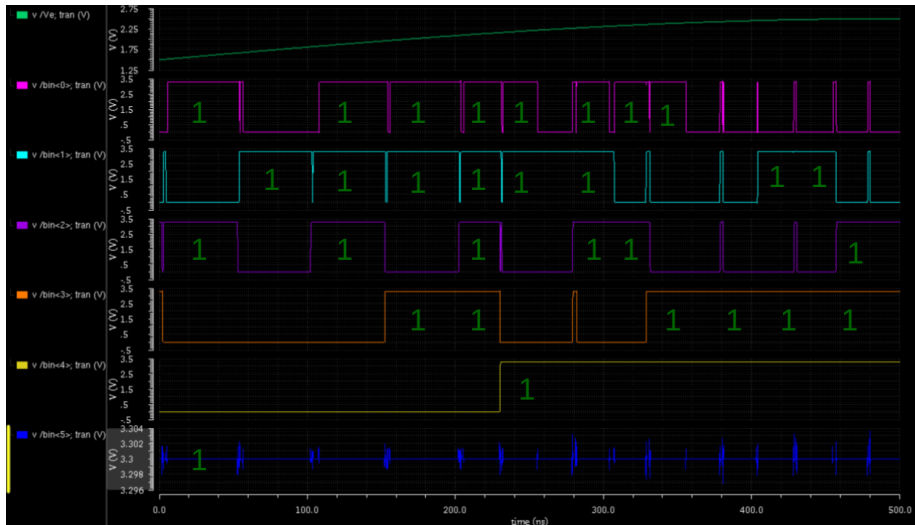


Figure: Simulation générale

- Bon fonctionnement du CAN (3 erreurs sur 63 valeurs).
- Réalisé avec des éléments de base.

Améliorations possibles

- Amélioration la polarisation de sortie du comparateur.
- Meilleure isolation entre le pont de résistances et comporateurs.
- Intérêt à la surface utilisée et la consommation.
- Utilisation potentielle de transistors pour recréer les seuils.