

Projet Circuits Intégrés Radiofréquence

Conception d'un LNA à 2.45 GHz

en Technologie 0.35 μm AMS

Mohamed Hage Hassan

Clément Cheung

12 Décembre 2017

Table des matières

Introduction	2
1 Conception du LNA - Partie théorique	2
1.1 Calcul de la charge	3
1.2 Dimensionnement du transistor et calcul du réseau d'entrée	3
2 Partie pratique	4
2.1 Simulation DC du transistor seul	4
2.2 Adaptation de la partie réelle de l'impédance d'entrée	5
2.3 Polarisation	8
2.4 Gain	9
2.5 Adaptation de la partie imaginaire de l'impédance d'entrée du LNA	12
2.6 Facteur de bruit	14
Conclusion	15
Références	15

Introduction

1 Conception du LNA - Partie théorique

On essaye de concevoir l'amplificateur faible bruit (figure. 1)

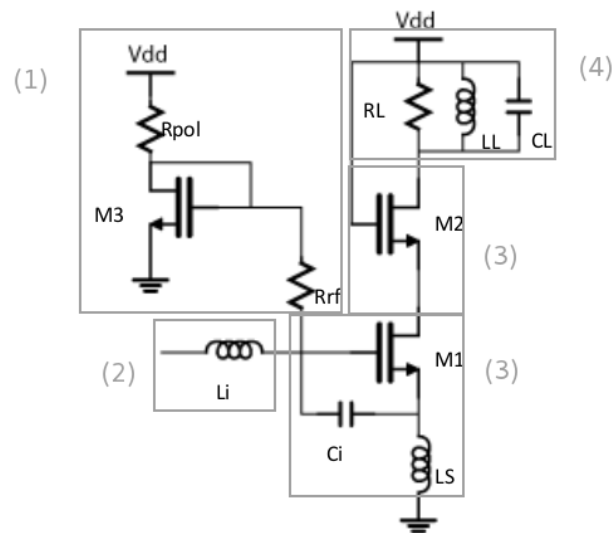


Figure 1: Schéma de l'amplificateur faible bruit[1]

Le schéma comporte : **Explication ::**

1. Circuit de polarisation
2. Inductance de shock L_i
3. Étage cascode avec l'adaptation
4. Circuit résonant parallèle RLC

Le LNA doit respecter un cahier de charge bien défini :

- $G_v = 20(26db)$, $F = 1.5(1.76db)$, $IIP3 = -10dbm$
- $F_0 = 2.45GHz$
- $\gamma = 0.82$
- $C_{ox} = 5 \times 10^{-3}pF/\mu m^2$, $k_n = 80\mu A/V^2$
- Courant de polarisation : $I_{DS0} = 1.5mA$
- Capacité en sortie $C_L = 1pF$
- $Q_e = 2$

1.1 Calcul de la charge

On cherche L_L pour résonner à $2.45GHz$: Pour un circuit RLC parallèle, la fréquence de résonance est donnée par :

$$\omega_0 = \frac{1}{\sqrt{L_L C_L}} \implies L_L = \frac{1}{(2\pi F_0)^2 C_L}$$

Pour $F_0 = 2.45GHz$ et $C_L = 1pF$, on a $L_L = 4.21nH$.

Calcul de g_m :

Connaissant L_L et le facteur de bruit F , on cherche à retrouver la transductance g_m :

$$F = 1 + \frac{\gamma}{50g_m} \frac{1}{Q_e^2}$$

$$\implies g_m = \frac{\gamma}{50(F-1)Q_e^2}$$

Ce qui nous donne $g_m = 8.2 \times 10^{-3}\Omega^{-1}$, pour $Q_e = 2$, $F = 1.5$ et $\gamma = 0.82$.

Calcul de R_L :

Pour $G_v = 20$, $g_m = 8.2 \times 10^{-3}\Omega^{-1}$, et $Q_e = 2$, on a :

$$G_v = g_m R_L Q_e \implies R_L = \frac{G_v}{g_m Q_e} = 1.219k\Omega$$

1.2 Dimensionnement du transistor et calcul du réseau d'entrée

Capacité totale C_i // C_{gs} :

Le coefficient de qualité Q_e pour un circuit RC série :

$$Q_e = \frac{\|X\|}{R} \quad X = \frac{1}{\omega_0 C_{tot}}$$

$$\implies C_{tot} = \frac{1}{\omega_0 Q_e R} = 0.64pF$$

Pour la partie suivante, on ne considère que le transistor M_1 :

La transductance g_m d'un MOSFET s'exprime par :

$$g_m = 2\sqrt{K_n \left(\frac{W}{L}\right)_{(M_1)} I_{DS0}}$$

$$\implies \left(\frac{W}{L}\right)_{(M_1)} = \frac{g_m^2}{4k_n I_{DS0}} = 140.08$$

Pour la technologie AMS $0.35 \mu m$, où $L = L_{min} = 0.35\mu m$, on retrouve $W = 49.02\mu m$.

Connaissant W , c'est possible de calculer la capacité parasite C_{gs} entre la source et le gate.

$$C_{gs} = \frac{1}{2}C_{ox}WL = 42.89fF$$

Calcul de C_i , L_S :

Sachant que C_{tot} de l'entrée est formée par C_i et la capacité parasite C_{gs} , on a :

$$C_i = C_{tot} - C_{gs} = 0.64 \times 10^{-12} - 42.89 \times 10^{-15} = 0.597 \times 10^{-12}pF$$

En se basant sur [2], on sait que l'élément L_S du circuit d'adaptation en entrée doit être adapté à 50Ω :

$$L_S \omega_T = 50 \implies L_S = \frac{50}{\omega_T} = \frac{50}{(g_m)_{M_1}} C_{gs} = 0.26nH$$

Calcul de la tension de dépassement V_{OD} , L_i :

La transductance du MOSFET possède plusieurs expressions :

$$g_m = 2\sqrt{K_n\left(\frac{W}{L}\right)_{(M_1)} I_{DS0}} = \frac{2I_{DS0}}{V_{gs} - V_t}$$

On peut remonter à la tension de dépassement : $V_{OD} = V_{gs} - V_t$:

$$V_{gs} - V_t = \frac{2I_{DS0}}{g_m} = 0.36V$$

Pour L_i , on a

$$\omega_0 = \frac{1}{\sqrt{(L_g + L_s)C_{gs}}} \Rightarrow L_g + L_s = \frac{1}{\omega_0^2 C_{gs}}$$

Ce qui nous donne :

$$L_i = L_g = \frac{1}{\omega_0^2 C_{gs}} - L_s = 98.2nH$$

2 Partie pratique

2.1 Simulation DC du transistor seul

On fait la simulation DC du transistor tout seul, cela nous donne :

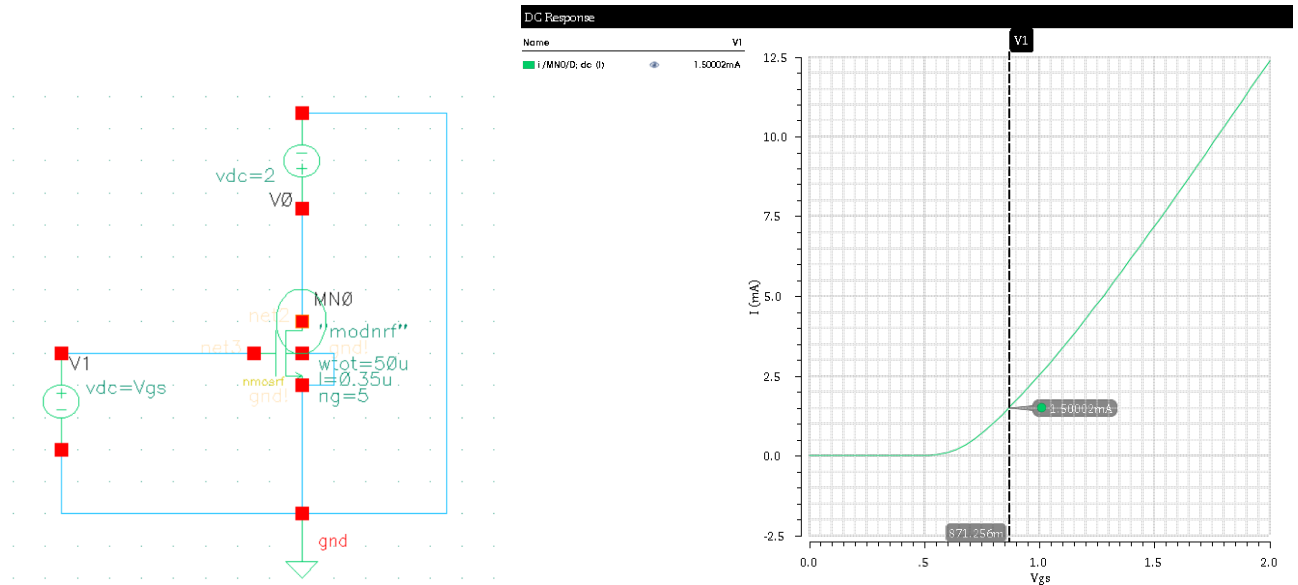


Figure 2: Schéma et Simulation du circuit $I_{DS} = f(V_{gs})$

On trouve que pour $I_{DS0} = 1.5mA$ indiqué dans le cahier de charge, on prend $V_{gs} = 871.25mV$.

En effectuant une impression des résultats pour les valeurs de la simulation DC (operating point) :

- $V_{gs} = 0.861V$
- $V_t = 0.5563V$
- $V_{OD} = V_{gs} - V_t = 0.308V$
- $g_m = 7.796m\Omega$
- $I_{ds} = 1.5mA$
- $C_{gs} = 46.37nF$

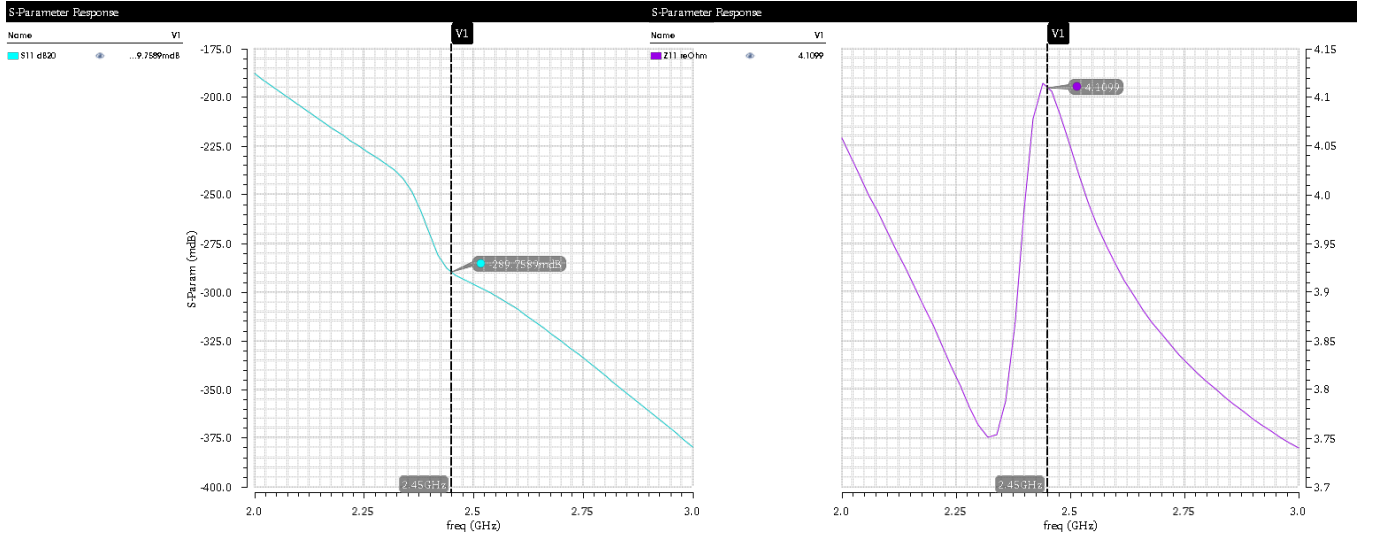


Figure 5: S_{11} en DB20 et $Re\{Z_{11}\}$ respectivement

On peut voir qu'il faut modifier la valeur de L_S pour établir la bonne adaptation. En effectuant une simulation paramétrique avec L_S en paramètre pour arriver à $Re\{Z_{11}\} = 50\Omega$ en entrée, on a :

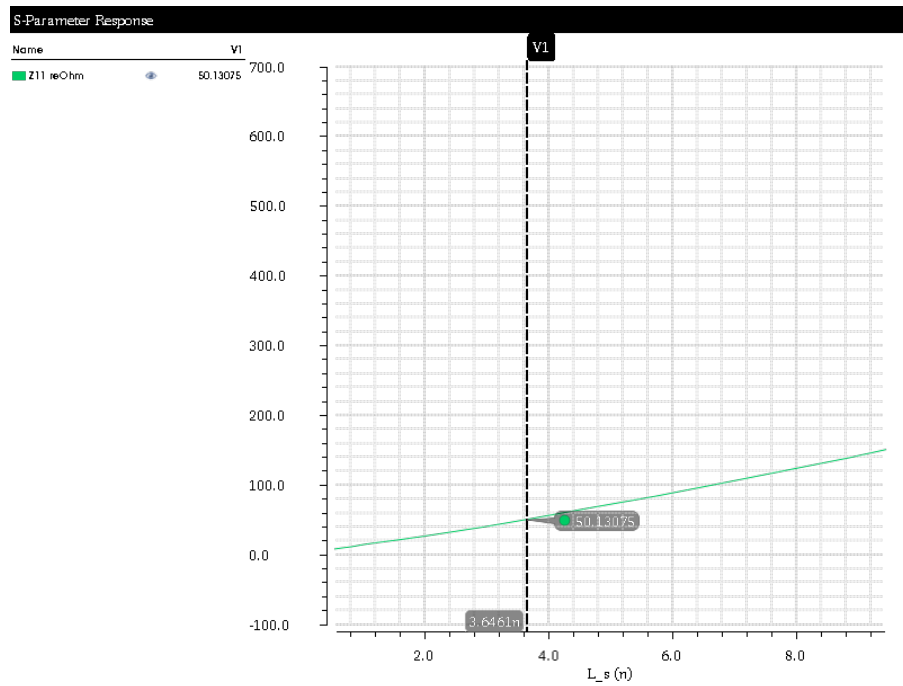


Figure 6: Simulation pour arriver à $Re\{Z_{11} = 50\Omega\}$ en entrée

Ce qui nous donne $L_S = 3.6461nH$ pour une bonne adaptation.

On refectue une simulation pour S_{11} en entrée pour Z-smith, DB20 et $Re\{Z_{11}\}$:

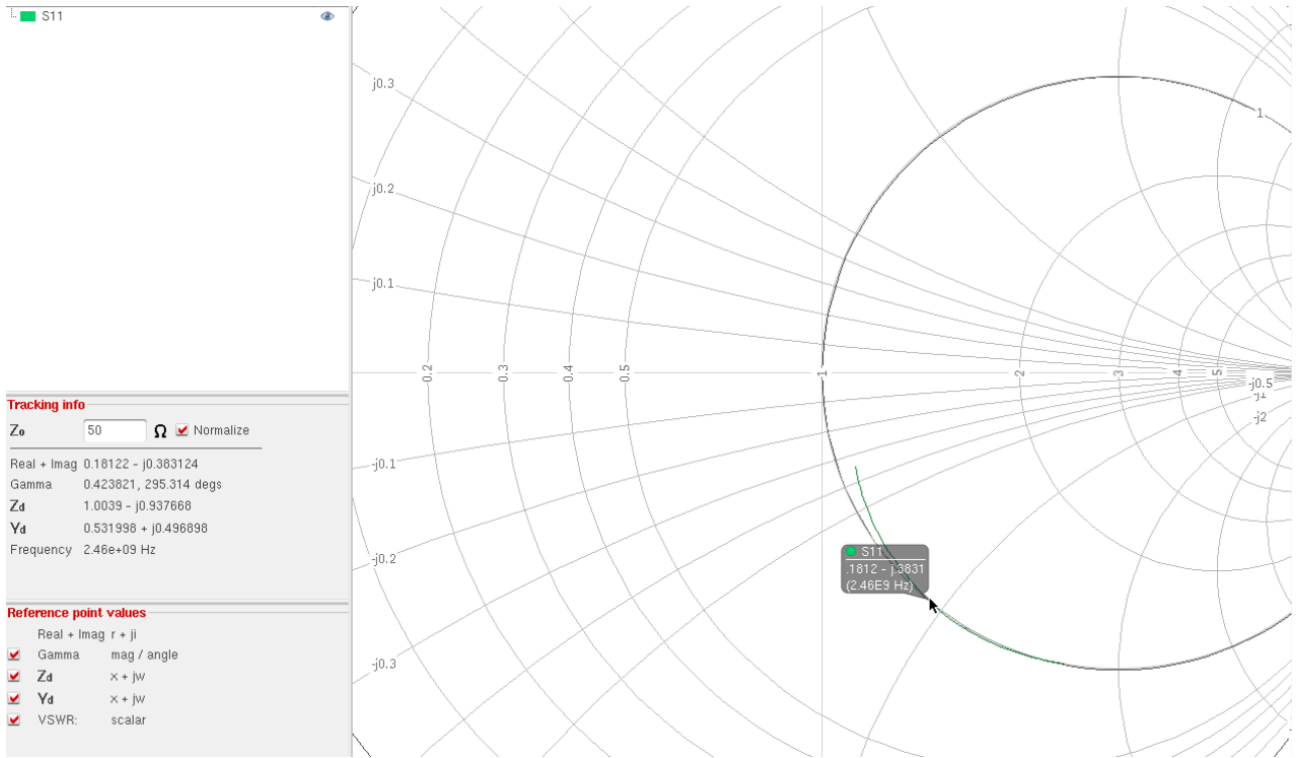


Figure 7: Abaque de Smith pour S_{11} en entrée pour une bonne adaptation

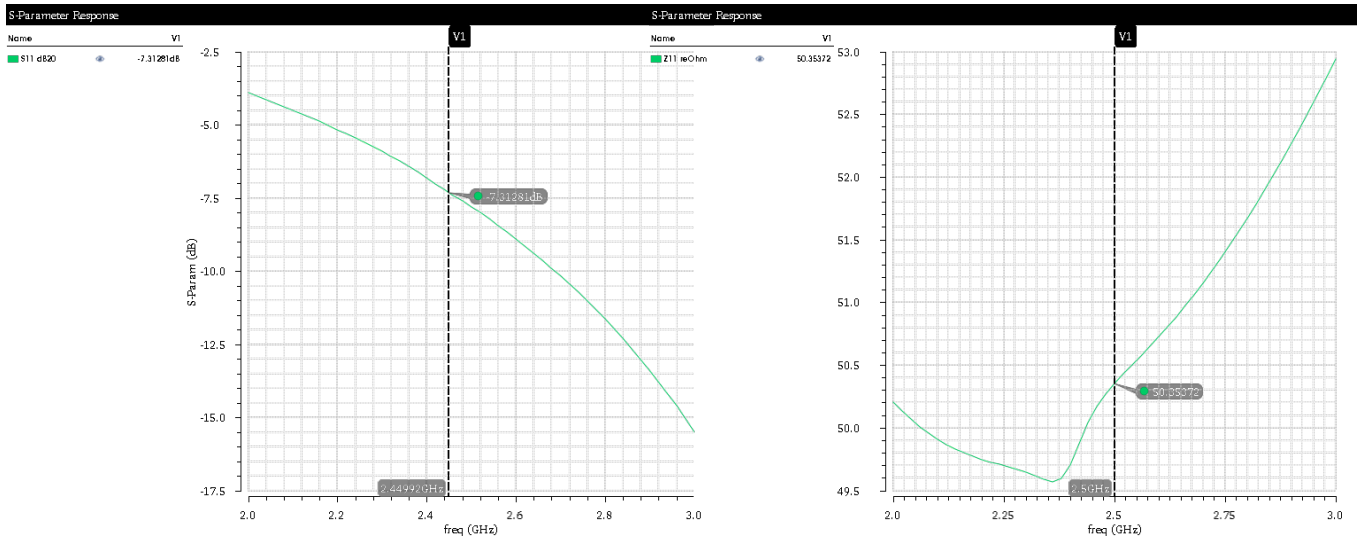


Figure 8: S_{11} en DB20 et $Re\{Z_{11}\}$ respectivement, en établissant l'adaptation en entrée

2.3 Polarisation

On ajoute le transistor M_3 , R_{pol} ainsi que R_{RF} :

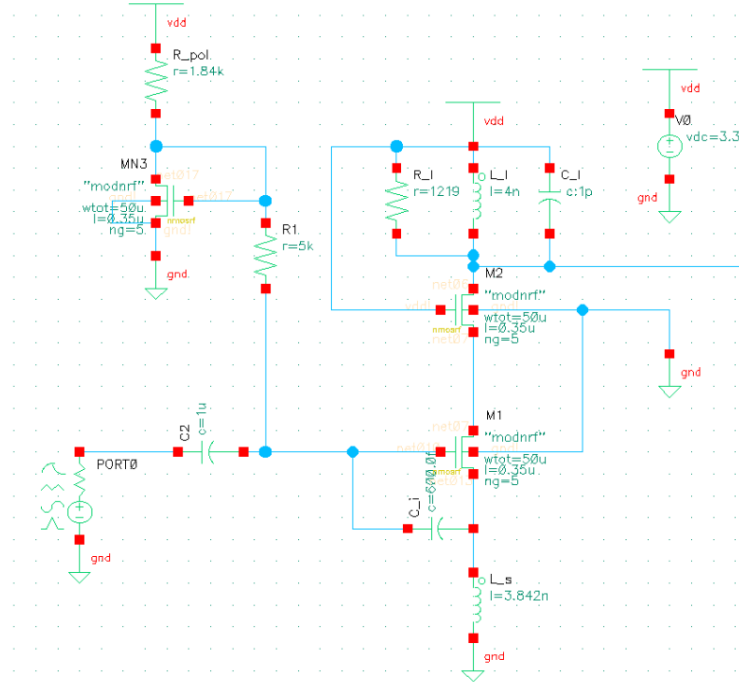


Figure 9: Schéma de l'amplificateur faible bruit avec une polarisation non idéale

Pour garder la même valeur de $V_{OD} = 0.861V$, on effectue une simulation paramétrique pour la valeur de R_{pol} , et en regarde la tension à l'entrée de M_1 **{VERIFICATION}** :

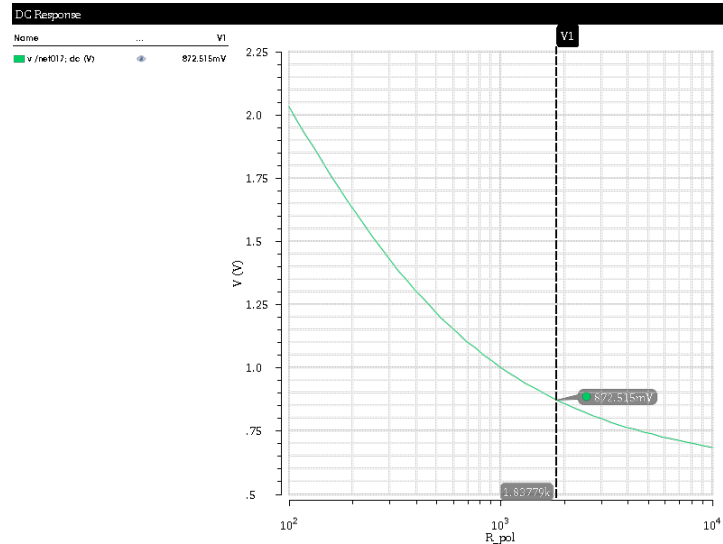


Figure 10: Simulation en prenant R_{pol} en paramètre

On retrouve $R_{pol} = 1.833k\Omega$ pour $V_{OD} = 0.861V$.

L'ajout d'un circuit de polarisation a l'effet de modifier l'adaptation en entrée : il faut remodifier L_S pour adapter aux changements :

En reffectuant les simulation de S_{11} en entrée, on peut bien vérifier l'adaptation selon les anciennes valeurs : $db_{20}(S_{11}) = -7.5db$ et $Re\{S_{11}\} = 50\Omega$.

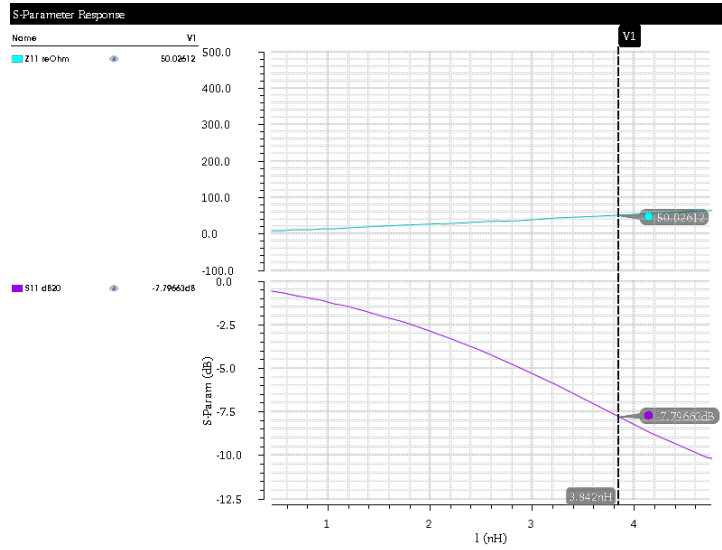


Figure 11: Valeurs de S_{11} et $Re\{S_{11}\}$ pour une simulation en prenant L_S en paramètre

On retrouve une nouvelle valeur de L_S : $L_S = 3.842nH$.

2.4 Gain

En effectue une simulation SP selon 2 ports, pour s'en faire, on ajoute un port à la sortie du LNA:

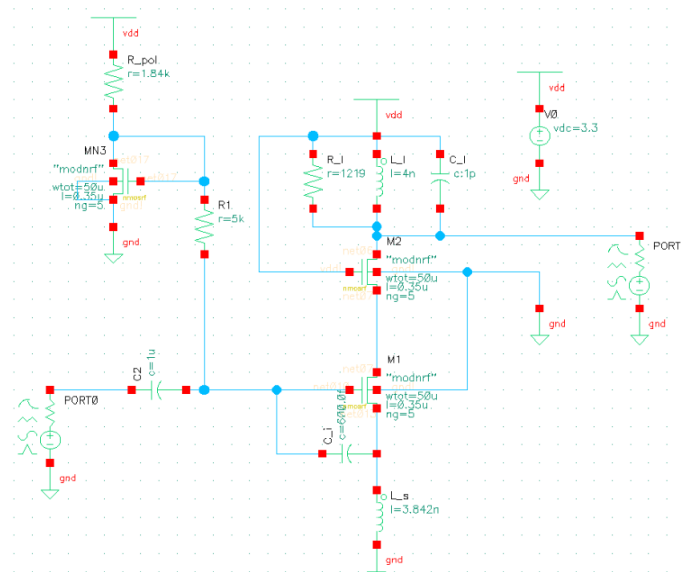


Figure 12: Schéma de l'amplificateur faible bruit complet avec un port en sortie

On effectue une simulation en cherchant S_{21} :

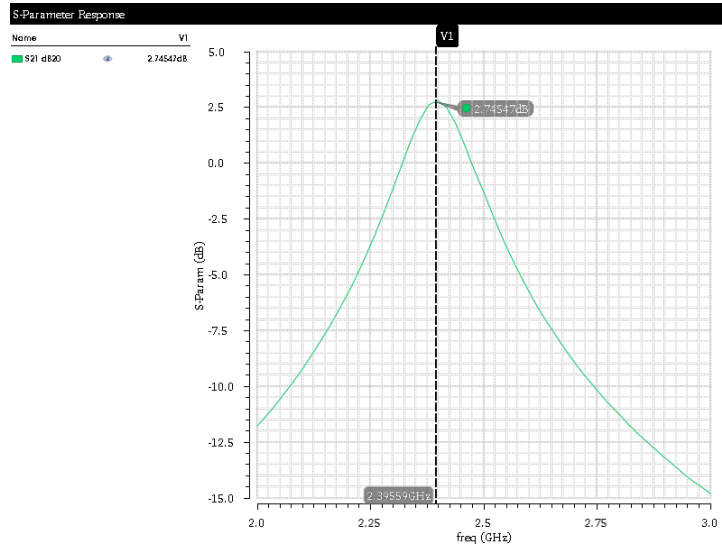


Figure 13: Simulation SP de $db_{20}(S_{21})$ en sortie du LNA

On voit qu'il y a un décalage en fréquence. Celui-ci est due à la valeur de L_L .

On cherche L_L pour obtenir une adaptation maximale :

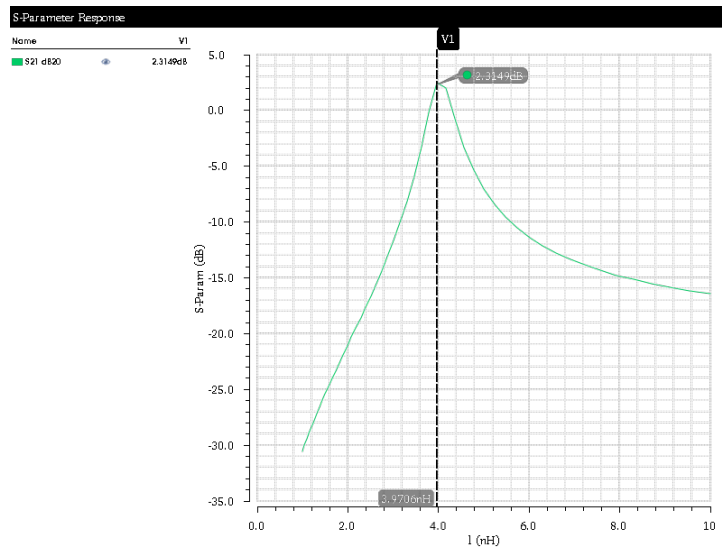


Figure 14: Simulation SP de $db_{20}(S_{21})$ en fonction d'une variation L_L

Avec cette valeur de $L_L = 3.9706nH$, on arrive à retrouver le S_{21} max :

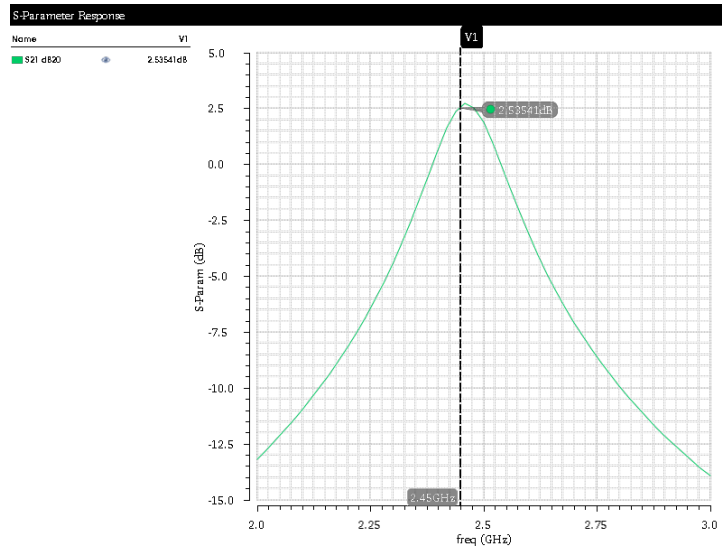


Figure 15: Simulation SP de $db_{20}(S_{21})$ pour une bonne valeur de L_L

truc théorique

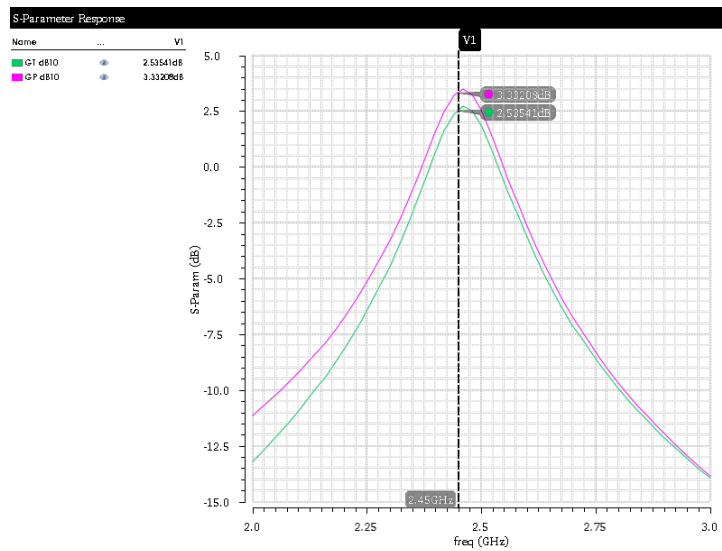


Figure 16: Simulation SP de $db_{20}(G_T)$ et (G_P)

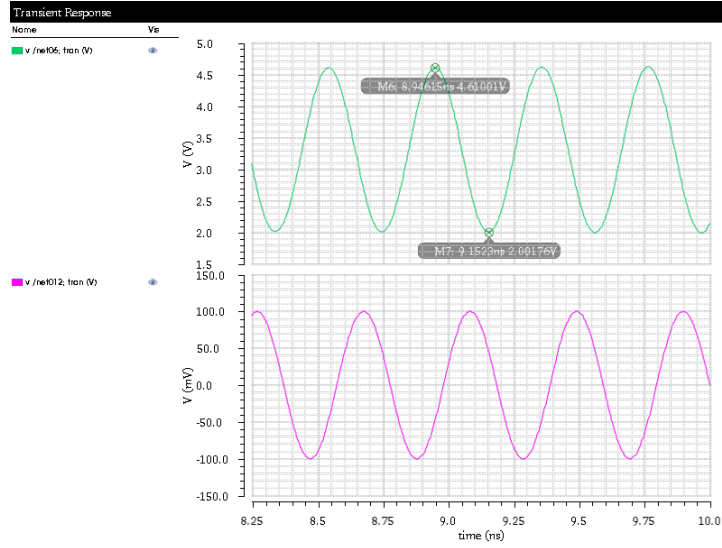


Figure 17: Vérification du gain en par une simulation transiant

2.5 Adaptation de la partie imaginaire de l'impédance d'entrée du LNA

On ajout L_i et on effectue un sweep pour $f = 2.45GHz$ en fonction de la valeur de L_i pour obtenir une valeur où $G_T = G_P$:

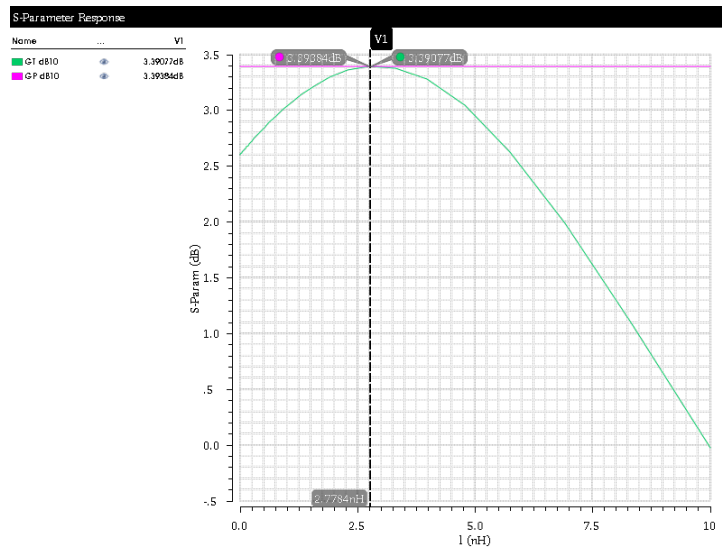


Figure 18: Sweep des valeurs de L_i pour arriver à $G_T = G_P$

On retrouve $L_i = 2.7784nH$.

On vérifie ce résultat en fonction de la fréquence :

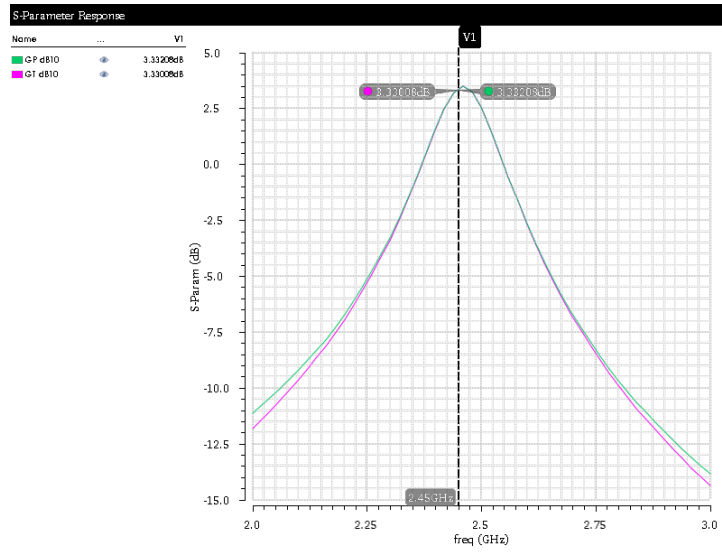


Figure 19: Simulation SP de G_T et G_P

On vérifie aussi la bonne adaptation (pour S_{11}) :

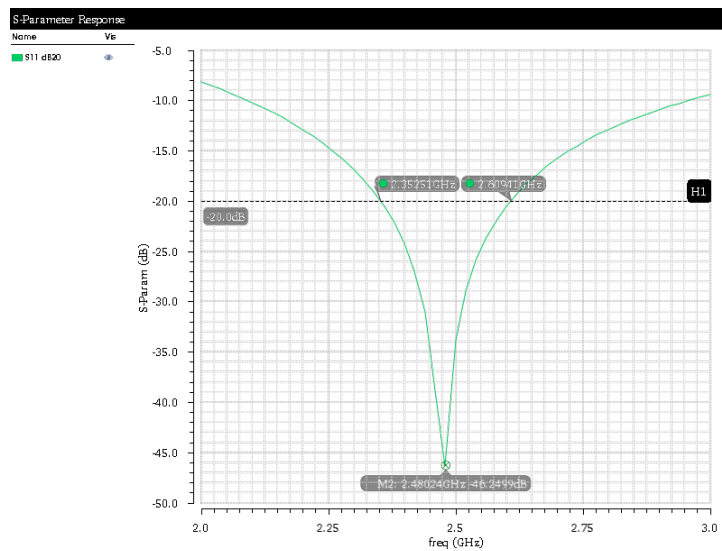


Figure 20: Simulation SP de G_T et G_P

2.6 Facteur de bruit

Facteur du bruit :

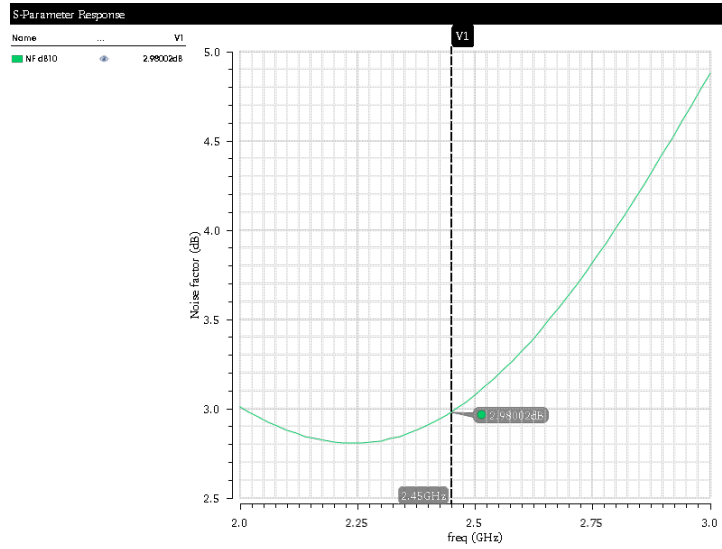


Figure 21: Simulation en db_{10} du Noise factor

On retrouve que le facteur de bruit c'est $NF = 2.98dB$ pour $f = 2.45GHz$.

Point de compression à 1 db :

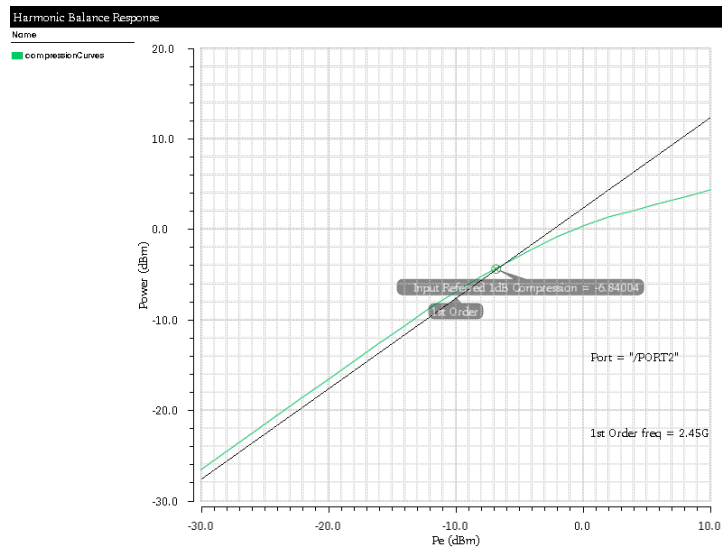


Figure 22: Simulation en db_{10} du point de compression 1db

Conclusion

Références

- [1] *Conception d'un LNA à 2.45 GHz en Technologie 0.35 μm AMS - Énoncé de TP*
Institut Polytechnique de Grenoble - Phelma
- [2] *Radio Frequency Integrated Circuits Course*
Sylvain Bourdel, Florence Podevin, Institut Polytechnique de Grenoble - Phelma
- [3] *Conception d'un circuit en L à l'aide de l'abaque de Smith*
<http://f5zv.pagesperso-orange.fr/RADIO/RM/RM23/RM23p/RM23p03.html>
- [4] *Design of Analog CMOS Integrated Circuits, 2nd Edition*
Behzad Razavi, McGraw-Hill Education
- [5] *Conception de circuits intégrés analogique*
Laurent Aubard, Institut Polytechnique de Grenoble - Phelma