

第6代Intel®Core™ 处理器系列Uncore性能 监视参考手册

2016年4月

订单号: 334060-001



英特尔技术的功能和优势取决于系统配置，可能需要启用硬件、软件或服务激活。在英特尔了解更多信息。[com](#)，或来自OEM或零售商。

没有一个计算机系统是绝对安全的。英特尔对丢失或被盗的数据或系统或由此造成的任何损害不承担任何责任。

您不得将本文档用于或促进与本文所述英特尔产品相关的任何侵权或其他法律分析。您同意向英特尔授予此后起草的任何专利申请（包括本文披露的主题）的非独占、免版税许可。

本文件未授予任何知识产权许可（明示或默示、禁止反悔或其他方式）。

所描述的产品可能包含称为勘误表的设计缺陷或错误，这可能导致产品偏离发布的规范。当前特征勘误表可根据要求提供。

英特尔否认所有明示和默示保证，包括但不限于适销性、特定用途适用性和非侵权的默示保证，以及因履约过程、交易过程或贸易使用而产生的任何保证。**Intel Enhanced Intel SpeedStep Technology**、**Pentium**和**Intel**徽标是**Intel Corporation**在美国和/或其他国家/地区的商标。

有订单号且在本文件中引用的文件的副本可通过拨打**1-800-548-4725**或访问[www.intel](#)获得。[com/设计/文献.htm](#)。

*其他名称和品牌可能被视为他人的财产。版权所有©2016，英特尔公司。保留所有权利。



目录

1	介绍.....	5
1.1	非核心PMU概述	5
1.2	与第5代Intel®Core相比的变化™ 处理器至第6代 英特尔®核心™ 加工机	6
1.2.1	MSR地址	6
1.3	Uncore PMU计数器摘要	6
2	非核心性能监测设施	9
2.1	Uncore PMU MSR列表	9
2.2	非核心PMU全局寄存器.....	10
2.2.1	MSR\uncore\perf\global\ctrl	10
2.2.2	MSR\uncore\perf\global\state	11
2.3	固定计数器寄存器.....	11
2.3.1	MSR\uncore\perf\fixed\ctrl	11
2.3.2	MSR\uncore\perf\fixed\ctr.....	12
2.4	非核心CBO和ARB PMU寄存器	12
2.4.1	MSR\uncore\cbo\config	12
2.4.2	性能事件选择寄存器	12
2.4.3	性能计数器寄存器.....	14
3	第6代Intel®处理器非核心性能监视事件	15
3.1	CBO Uncore PerfMon事件	15
3.2	ARB Uncore PerfMon事件.....	16
3.3	IMC事件	17
4	术语.....	19



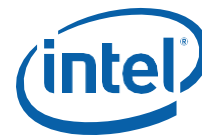
数字

1-1	第6代Intel®Core™ 处理器非核心框图	6
-----	-------------------------------	---

桌子

1-1	MSR更改为第6代Intel®Core™ 处理器.....	6
1-2	第6代Intel®Core™ 处理器非核心计数器摘要	7
2-1	非核心PMU MSR列表	9
2-2	MSR\μ UNC\μ PERF\μ GLOBAL\μ CTRL定义	10
2-3	MSR\μ UNC\μ PERF\μ GLOBAL\μ状态定义.....	11
2-4	MSR\μ UNC\μ PERF\μ FIXED\μ CTRL定义.....	11
2-5	MSR\μ UNC\μ PERF\μ FIXED\μ CTR定义	12
2-6	MSR\μ UNC\μ CBO\μ配置定义	12
2-7	MSR\μ UNC\μ CBO\μ 0\μ PERFEVTSEL0定义	13
2-8	MSR\μ UNC\μ CBO\μ 0\μ PERFCTR0定义	14
3-1	非核心PMU MSR列表	15
3-2	ARB PerfMon事件.....	16
3-3	IMC计数器	17
4-1	术语列表。	19

S



1 介绍

这是第6代Intel上uncore performance monitoring units (PMU)的程序员参考手册® 果心™ 处理器和英特尔® 奔腾® 基于S平台的处理器系列。本参考手册详细介绍了uncore性能监控硬件寄存器和事件。

本文档中的材料不适用于英特尔® 至强™ 处理器。

1.1 非核心PMU概述

uncore PMU采用分布式设计，其中计数器在各种uncore单元内实现。一个单元中的计数器不能计算不同单元的事件。本文涵盖的非核心单元包括C盒（CBo）、仲裁（ARB）单元和集成内存控制器（IMC）。

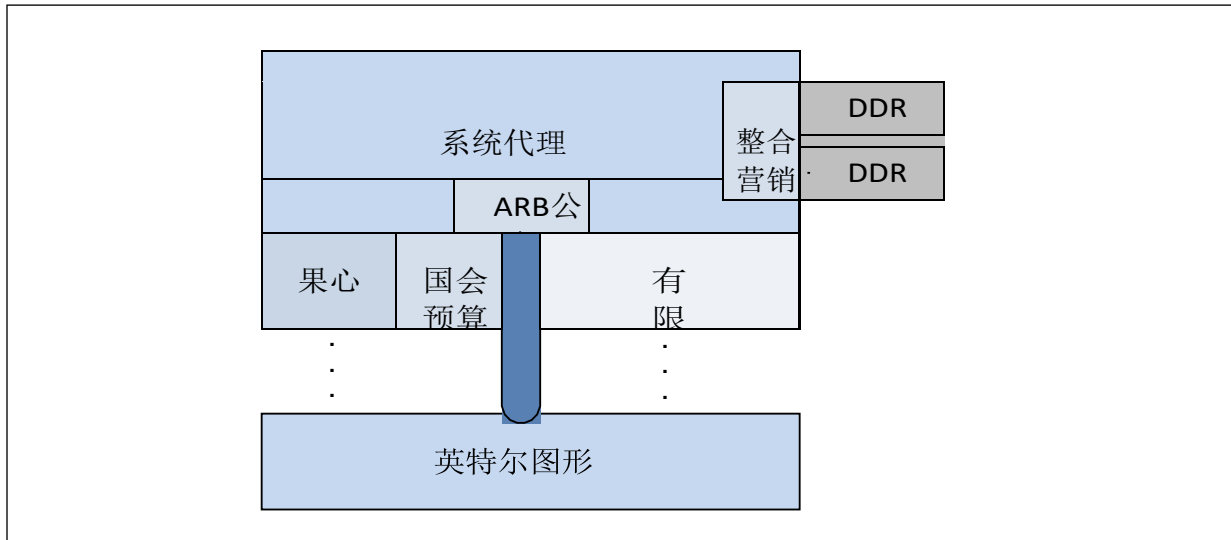
uncore PMU提供了一个统一的最后一级缓存（LLC），可以支持多达四个处理器内核。LLC由多个切片组成，其中每个切片通过相干引擎（称为C盒或CBo）与处理器接口。每个CBo都提供MSR来选择非核心性能监视事件，这些事件称为事件选择MSR。每个事件选择MSR都与计数器寄存器配对，在计数器寄存器中累积事件计数。

ARB单元为ARB单元特定事件提供本地性能计数器和事件选择MSR。ARB中还有一个固定或不可编程计数器，用于计算非核心时钟周期。

第6代Intel处理器的IMC单元包含五个特定于型号的固定计数器，用于监视对DRAM的请求数。

下面的框图直观地展示了第6代Intel Core处理器的CBo和ARB单元。

图1-1。第6代Intel® 果心™ 处理器非核心框图



1.2 第五代Intel的变化® 果心™ 处理器至第6代Intel® 果心™ 加工机

本节详细介绍了与非核心性能监控相关的第5代Intel Core处理器到第6代Intel Core处理器的变化。

1.2.1 MSR地址

两个关键MSR地址已从第5代Intel Core处理器更改为第6代Intel Core处理器。来自第5代Intel Core处理器的Uncore性能监控软件驱动程序需要更新MSR地址，才能在第6代Intel Core处理器上正常工作。

表1-1。 MSR更改为第6代Intel® 果心™ 处理器

注册名称	第5代Intel Core处理器MSR地址	第6代Intel Core处理器MSR地址
MSR\uncore\PERF\GLOBAL\CTRL	0x391	0xE01
MSR\uncore\PERF\GLOBAL\状态	0x392	0xE02

1.3 Uncore PMU计数器摘要

下表列出了uncore PMU中可用的可编程计数器。CBo事件对使用CBo计数器有限制。有关这些限制的详细信息，请参阅第6代Intel Core处理器uncore性能监视事件一节。

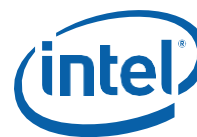


表1-2。 第6代Intel® 果心™ 处理器非核心计数器摘要

单元	计数器数量	实例	位宽度
国会预算办公室	2	1到4	44
ARB公司	2	1	44
固定的	1	1	48
IMC固定	5	1	32

§





2 非核心性能监测设施

uncore PMU为CBo和ARB单元中的所有资源以及单元级控制和状态寄存器提供全局控制和状态寄存器。本节详细介绍了非核心PMU的MSR。

2.1 Uncore PMU MSR列表

下表列出了与非核心性能监测设施相关的寄存器的寄存器名称及其MSR地址。表后的以下部分提供了每个寄存器和字段值的定义。

表2-1. 非核心PMU MSR列表

注册名称	MSR地址
MSR\uncore\PERF\GLOBAL\CTRL	E01H
MSR\uncore\PERF\GLOBAL\状态	E02H
MSR\uncore\PERF\FIXED\CTRL	394小时
MSR\uncore\PERF\FIXED\CTR	395小时
MSR\uncore\CBO\配置	396小时
MSR\uncore\ARB\性能0	3B0H
MSR\uncore\ARB\性能1	3B1H
MSR\uncore\ARB\PERFEVTSEL0	3B2H
MSR\uncore\ARB\PERFEVTSEL1	3B3H
MSR\uncore\CBO\0\PERFEVTSEL0	700小时
MSR\uncore\CBO\0\PERFEVTSEL1	701小时
MSR\uncore\CBO\0\性能0	706H
MSR\uncore\CBO\0\性能1	707小时
MSR\uncore\CBO\1\PERFEVTSEL0	710小时
MSR\uncore\CBO\1\PERFEVTSEL1	711小时
MSR\uncore\CBO\1\性能0	716小时
MSR\uncore\CBO\1\性能1	717小时
MSR\uncore\CBO\2\PERFEVTSEL0	720小时
MSR\uncore\CBO\2\PERFEVTSEL1	721小时
MSR\uncore\CBO\2\性能0	726小时
MSR\uncore\CBO\2\性能1	727小时
MSR\uncore\CBO\3\PERFEVTSEL0	730小时
MSR\uncore\CBO\3\PERFEVTSEL1	731小时
MSR\uncore\CBO\3\性能0	736小时
MSR\uncore\CBO\3\性能1	737小时

2.2 非核心PMU全局寄存器

本节详细介绍了全局控制和状态寄存器。

2.2.1 MSR\uncore PERF\global CTRL

MSR\uncore PERF\global CTRL寄存器为整个uncore中的所有PMU资源提供全局控制功能。

表2-2。 MSR\uncore PERF\global CTRL定义

字段名称	一点	通道	描述
保留	63:32	不适用	保留。
FRZ_ON_PMI	31	RW公司	溢出时启用冻结计数器。在收到PMI请求时控制全局冻结（禁用）计数器。如果计数器被此机制冻结，软件必须在中断服务例程中全局重新启用计数器。 0：不要在PMI请求时冻结计数器。1：根据PMI请求冻结计数器。
WAKE\uncore ON\ PMI	30	RW公司	启用PMI唤醒。该位确定PMI事件是仅发送到唤醒的内核，还是在唤醒任何休眠内核后广播到所有内核。 0：避免为PMI事件唤醒核心-仅将事件发送到唤醒的核心。 1：唤醒任何休眠内核并将PMI事件发送给所有内核。
EN	29	RW公司	启用所有非核心计数器。 0：全局禁用所有PMU计数器 1：全局启用所有PMU计数器。计数器也必须在本机编程并启用。 （如果设置了该寄存器中的FRZ位31，则该位被清除）。
保留	28:4	不适用	保留。
PMI\uncore SEL\ CORE3	3	RW公司	切片3选择。允许将非核心PMI请求转发到核心3。如果WAKE\uncore ON\ PMI为“1”，则在发送中断请求之前，将向core 3发送唤醒请求。 0：不采取任何行动。 1：将中断请求转发到核心3。
PMI\uncore SEL\ CORE2	2	RW公司	切片2选择。允许将非核心PMI请求转发到核心2。如果WAKE\uncore ON\ PMI为“1”，则在发送中断请求之前，将向core 2发送唤醒请求。 0：不采取任何行动。 1：将中断请求转发到核心2。
PMI\uncore SEL\ CORE1	1	RW公司	切片1选择。允许将非核心PMI请求转发到核心1。如果WAKE\uncore ON\ PMI为“1”，则在发送中断请求之前，将向core 1发送唤醒请求。 0：不采取任何行动。 1：将中断请求转发到core 1。
PMI\uncore SEL\ CORE0	0	RW公司	切片0选择。允许将非核心PMI请求转发到核心0。如果WAKE\uncore ON\ PMI为“1”，则在发送中断请求之前，将向core 0发送唤醒请求。 0：不采取任何行动。 1：将中断请求转发到核心0。



2.2.2 MSR\uncore PERF\uncore GLOBAL\uncore状态

MSR\uncore PERF\uncore GLOBAL\uncore状态寄存器为整个uncore中的所有PMU资源提供全局状态。

表2-3。 MSR\uncore PERF\uncore GLOBAL\uncore状态定义

字段名称	一点	通道	描述
保留	63:4	不适用	保留。
CBox\uncore CTR\uncore OVF	31	RW1C	CBox计数器溢出（在任何切片上）。0：未检测到溢出。 1： 在一个或多个计数器上检测到溢出。 写入“0”将被忽略，而写入“1”将清除此状态位。
保留	2	不适用	保留。
ARB\uncore CTR\uncore OVF	1	RW1C	ARB计数器溢出。0：未检测到溢出。 1： 在一个或多个计数器上检测到溢出。 写入“0”将被忽略，而写入“1”将清除此状态位。
FIXED\uncore CTR\uncore OVF	0	RW1C	固定计数器溢出。0：未检测到溢出。 1： 检测到溢出。 写入“0”将被忽略，而写入“1”将清除此状态位。

2.3 固定计数器寄存器

本节详细介绍了对非核心时钟周期进行计数的PMU固定计数器的寄存器。

2.3.1 MSR\uncore PERF\uncore FIXED\uncore CTRL

MSR\uncore PERF\uncore FIXED\uncore CTRL寄存器启用固定计数器，以及是否允许计数器溢出来表示溢出中断。

表2-4。 MSR\uncore PERF\uncore FIXED\uncore CTRL定义（第1页，共2页）

字段名称	一点	通道	描述
保留	63:23	不适用	保留。
CNT_EN	22	RW公司	启用计数。 0：本地禁用此计数器。 1： 计数器已启用，并将在设置全局启用时计数。



表2-4。 MSR\uncore PERF\fixed CTRL定义（第2页，共2页）

字段名称	一点	通道	描述
保留	21	不适用	保留。
OVF_EN	20	RW公司	启用溢出传播。如果要从此计数器生成溢出中断，则必须启用此功能。 0：计数器溢出未转发。此计数器不可能有PMI。 1：计数器溢出产生溢出中断，启用的内核将被中断。
保留	19:0	不适用	保留。

2.3.2 MSR\uncore PERF\fixed CTR

MSR\uncore PERF\fixed CTR是一个48位固定计数器，在非核心时钟周期上递增。

表2-5。 MSR\uncore PERF\fixed CTR定义

字段名称	一点	通道	描述
保留	63:48	不适用	保留。
CTR_VAL	47:0	RW公司	已用UCLK周期数的当前计数。

2.4 非核心CBo和ARB PMU寄存器

本节详细介绍了可用于每个CBo和ARB中每个计数器的性能监测控制和计数的寄存器。

2.4.1 MSR\uncore CBo配置

MSR\uncore CBo配置寄存器为只读，并报告平台上可用的CBo切片数。此信息用于确定需要配置多少CBo单元以进行性能监控。程序员应读取该寄存器并减去一，以确定可用于性能监控的CBo单元的数量。

表2-6。 MSR\uncore CBo配置定义

字段名称	一点	通道	描述
保留	63:4	不适用	保留。
无CBo_银行	3:0	反渗透	指定具有可编程计数器（包括处理器内核和处理器图形）的C盒单元的数量。

2.4.2 性能事件选择寄存器

事件选择寄存器配置将对哪些事件进行计数以及如何计数。



最多有四个CBo单元，每个单元有四个事件选择控制寄存器，总共有十六个可能的寄存器。有一个带有两个事件选择控制寄存器的ARB单元。

下面迭代了性能事件选择寄存器，它们共享相同的定义。

```
MSR\unc CBo\0\ PERFVTSSEL0 MSR\unc
UNC\ CBo\0\ PERFVTSSEL1 MSR\unc
CBo\1\ PERFVTSSEL0 MSR\unc CBo\1\
PERFVTSSEL1 MSR\unc CBo\2\
PERFVTSSEL0 MSR\unc CBo\3\
PERFVTSSEL0 MSR\unc CBo\3\
PERFVTSSEL1 MSR\unc ARB\ PERFVTSSEL0
MSR\unc ARB\ PERFVTSSEL1
```

表2-7。 MSR\unc CBo\0\ PERFVTSSEL0定义（第1页，共2页）

字段名称	一点	通道	描述
保留	63:29	不适用	保留。
THR公司	28:24	RW公司	该字段直接与事件增量进行比较，并可能导致计数器根据INV位的编程增加1。 当该字段为零时，阈值比较被禁用，事件在不进行修改的情况下传递（即计数器将按事件增量值前进）。
INV公司	23	RW公司	该位指示如何将阈值字段与传入事件进行比较。 0：如果当前周期中的事件增量大于或等于阈值字段中编程的值，计数器将增加1。 1：如果当前循环中的事件增量小于阈值字段中编程的值，计数器将增加1。
EN	22	RW公司	本地启用相关计数器。0：计数器在本地被禁用。 1：计数器在本地启用。
保留	21	不适用	保留。
OVF_EN	20	RW公司	如果此计数器要生成PMI并中断内核，则需要启用溢出指示的传输。 0：禁用溢出指示的传输。不会生成此计数器的PMI。 1：启用溢出指示的传输。可能会向核心生成PMI请求。
保留	19	不适用	保留。



表2-7。 MSR\uncbo0 PERFVTSLO定义（第2页，共2页）

字段名称	一点	通道	描述
E	18	RW公司	启用对事件边缘（从反断言到断言的增量信号转换）或电平的计数。计数边缘提供事件的发生次数，而级别计数提供事件处于活动状态的周期。 0：统计编程事件激活的周期。 1：统计编程事件的发生次数。
保留	17:16	不适用	保留。
乌马斯克	15:8	RW公司	该字段必须使用适当的单元掩码进行编程。该字段中设置的位启用EVT_SEL中编码事件的子事件。
EVT_SEL公司	7:0	RW公司	该字段必须使用所需的事件编码进行编程。

2.4.3 性能计数器寄存器

CBo单元和ARB单元中的每个性能事件选择寄存器都有一个匹配的性能计数器。性能计数器寄存器是一个44位计数器，其中累积了事件计数。读取寄存器将告诉用户编程的事件已计数多少次。

性能计数器寄存器在下面迭代，并共享相同的定义。

```
MSR\uncbo0 PERFCTR0 MSR\uncbo1 PERFCTR0
MSR\uncbo1 PERFCTR1 MSR\uncbo2 PERFCTR1
MSR\uncbo2 PERFCTR0 MSR\uncbo3 PERFCTR0
MSR\uncbo3 PERFCTR1 MSR\uncbo4 PERFCTR0
MSR\uncbo4 PERFCTR1 MSR\uncbo5 PERFCTR0
MSR\uncbo5 PERFCTR1 MSR\uncbo6 PERFCTR0
MSR\uncbo6 PERFCTR1 MSR\uncbo7 PERFCTR0
MSR\uncbo7 PERFCTR1
```

这些寄存器具有以下定义。

表2-8。 MSR\uncbo0 PERFCTR0定义

字段名称	一点	通道	描述
保留	63:44	不适用	保留。
CTR_VAL	43:0	RW公司	可编程计数器的值。



3 第6代Intel® 处理器非核心性能监视事件

本节详细介绍了CBo和ARB可用的特定非核心性能监控事件。或者每个事件都有一个偶数名称、事件ID、umask和描述。该代码是要写入适当控制寄存器中EVT_SEL字段的值，并且umask要写入适当控制寄存器中的umask字段。事件表还包含有关特定事件是否具有计数器限制的信息。

3.1 CBo Uncore PerfMon事件

对于所有CBo计数器，建议使用所有CBo的计数器值之和。

下表详细介绍了CBo单位的可用事件。

表3-1。 Uncore PMU MSR列表（第1页，共2页）

事件名称	事件ID	乌马斯克	描述	有效计数器
UNC\ u CBO\ u XSNP\ u响应。XCORE小姐	0x22	0x41	由于处理器内核内存请求在某些处理器内核中丢失，因此由该CBo启动的跨核侦听。	0, 1
UNC\ u CBO\ u XSNP\ u响应。MISS_驱逐	0x22	0x81	LLC逐出导致跨核嗅探，该逐出在某些处理器内核中丢失。	0, 1
UNC\ u CBO\ u XSNP\ u响应。点击XCORE	0x22	0x44	由于处理器内核内存请求击中某些处理器内核中的未修改行，该CBo发起的跨核侦听。	0, 1
UNC\ u CBO\ u XSNP\ u响应。HITM\ u XCORE	0x22	0x48	由于处理器内核内存请求命中某些处理器内核中的修改行，由该CBo启动的跨核侦听。	0, 1
UNC\ u CBO\ u CACHE\ u查找。写入	0x34	0x21	访问缓存并在M状态下找到行的LLC查找写请求。	0, 1
UNC\ u CBO\ u CACHE\ u查找。任何	0x34	0x81	LLC查找访问缓存并在M状态下找到行的任何请求。	0, 1
UNC\ u CBO\ u CACHE\ u查找。READ_I	0x34	0x18	访问缓存并在I状态下找到行的LLC查找读取请求。	0, 1
UNC\ u CBO\ u CACHE\ u查找。ANY_I	0x34	0x88	LLC查找访问缓存并在I状态下找到行的任何请求。	0, 1

表3-1。 Uncore PMU MSR列表（第2页，共2页）

事件名称	事件ID	乌马斯克	描述	有效计数器
------	------	------	----	-------



UNC\U CBO\U CACHE\U查找。READ_MESI阅读	0x34	0x1F	访问缓存并在任何MESI状态下找到行的LLC查找读取请求。	0, 1
UNC\U CBO\U CACHE\U查找。写入MESI	0x34	0x2F	访问缓存并在MESI状态下找到行的LLC查找写请求。	0, 1
UNC\U CBO\U CACHE\U查找。任何_MESI	0x34	0x8F	LLC查找访问缓存并在MESI状态下找到行的任何请求。	0, 1
UNC\U CBO\U CACHE\U查找。任何	0x34	0x86	LLC查找访问缓存并在E或S状态下找到行的任何请求。	0, 1
UNC\U CBO\U CACHE\U查找。阅读	0x34	0x16	访问缓存并在E或S状态下找到行的LLC查找读取请求。	0, 1
UNC\U CBO\U CACHE\U查找。写入	0x34	0x26	访问缓存并在E或S状态下找到行的LLC查找写请求。	0, 1

3.2 ARB Uncore PerfMon事件

下表详细说明了ARB装置的可用事件。

表3-2。 ARB PerfMon事件

事件名称	事件 ID	乌马斯克	描述	有效计数器
UNC\U ARB\U TRK\U占用率。全部	0x80	0x01	计算来自核心的传出有效条目的周期。	0
UNC\U ARB\U TRK\U请求。全部	0x81	0x01	分配的核心传出条目总数。解释相干和非相干通信。	0, 1
UNC\U ARB\U TRK\U请求。写入	0x81	0x20	分配的写入数，包括任何写入事务，包括完整、部分和逐出。	0, 1
UNC\U ARB\U COH\U TRK\U请求。全部	0x84	0x01	为任何类型分配的条目数。	0, 1
UNC\U ARB\U TRK\U占用率。CYCLES_WITH_ANY_请求	0x80	0x01	循环，至少有一个请求未完成，等待数据从内存控制器返回。解释IA cores、processor graphics unit或LLC发起的一致和非一致请求。	0
UNC\U时钟。插座	0x00	0x01	该48位固定计数器对UCLK周期进行计数。	固定的



3.3 IMC事件

第6代Intel的集成内存控制器单元® 处理器包含五个特定于型号的固定计数器，用于监视对DRAM的请求数。

内存控制器中的固定计数器监视来自不同来源的事务请求，例如处理器内核、图形引擎或其他输入/输出代理。与CBo和ARB中基于MSR的性能计数器寄存器不同，IMC固定计数器接口在IMC事件表中指定的偏移量处使用来自物理内存的内存映射I/O读取。

这组计数器自由运行并且始终运行。软件可以读取该值，等待所需的内部，再次读取，然后从第二个样本中减去第一个样本，以确定事件在样本间隔内增加多少倍。

下面的IMC计数器是特定于型号的，这意味着它们可能会更改或在将来不受支持。

要获取条地址，请读取总线0处的值（在PCI配置空间中）；设备0；函数0；偏移48H，掩码值为0x0007FFFFFF8000。

表3-3. IMC计数器

名称	住址	描述
DRAM\u GT\u请求	棒+0x5040	统计从GT引擎进入内存控制器到DRAM（所有通道之和）的每个读/写请求。每个部分写入请求都算作一个增加该计数器的请求。然而，相同的缓存线部分写入请求被合并到来自DRAM的单个64字节数据传输中。因此，将请求数乘以64字节将导致GT内存带宽不准确。不准确度与合并的相同缓存线部分写入数成比例。
DRAM\ IA\u请求	棒+0x5044	统计从IA进入内存控制器到DRAM（所有通道之和）的每个读/写请求（需求和硬件预取）。每个部分写入请求都算作一个增加该计数器的请求。然而，相同的缓存线部分写入请求被合并到来自DRAM的单个64字节数据传输中。因此，将请求数乘以64字节将导致IA内存带宽不准确。不准确度与合并的相同缓存线部分写入数成比例。
DRAM_IO_请求	棒+0x5048	统计从所有IO源（例如PCIe、显示引擎、USB音频等）进入内存控制器到DRAM（所有通道的总和）的每个读/写请求。每个部分写入请求都算作一个增加该计数器的请求。然而，相同缓存线部分写入请求被合并到来自DRAM的单个64字节数据传输中。因此，将请求数乘以64字节将导致IO内存带宽不准确。不准确度与合并的相同缓存线部分写入数成比例。
DRAM_数据_读取	棒+0x5050	统计内存控制器向DRAM发出的每次读取（RDCA）（所有通道的总和）。所有请求都会导致从DRAM传输64字节的数据。用于精确的内存带宽计算。
DRAM_DATA_写入	棒+0x5054	统计内存控制器向DRAM发出的每次写入（WRCA）（所有通道的总和）。所有请求都会导致从DRAM传输64字节的数据。用于精确的内存带宽计算。

§



4 术语

本文件中使用的术语列表如下。

表4-1。 条款清单

术语	释义
ARB公司	指仲裁单位。
清楚的	在寄存器编程中，这意味着位被编程为二进制零（0）。
国会预算办公室	指缓存盒单元或Cbox单元。
IA公司	英特尔架构。
有限责任公司	最后一级缓存。最低级别的缓存，在此之后，系统内存必须满足内存请求。这是延迟最长的缓存。
梅西	MESI是指缓存一致性协议，其中缓存线状态表示为M表示修改，E表示独占，S表示共享，I表示无效。
MSR公司	型号特定寄存器。PMU计数器和计数器控制寄存器实现为MSR寄存器。它们通过rdmsr和wrmsr指令访问。某些计数器寄存器可以通过rdpmc指令访问。
PEB	基于事件的精确采样。一种特殊的计数模式，在这种模式下，计数器可以配置为溢出、中断处理器并在该点捕获机器状态。
性能监视器	性能监控的缩写。
PMI	性能监视中断。当计数器溢出并编程生成中断时，或当达到PEBS缓冲区中断阈值时，会生成该中断。 该中断的中断向量通过局部APIC中的局部向量表进行控制。
PMU	性能监测单元。
反渗透	只读，表示寄存器中的特定字段可以读取，但不能写入。
RW公司	读写，表示寄存器中的特定字段既可以写入也可以读取。
RW1C	表示寄存器中的特定字段既可以写入也可以读取，写入1将清除寄存器。
设置	在寄存器编程中，这意味着位被编程为二进制位（1）。
表面贴装	同时多线程。
线	执行的硬件线程。换句话说，英特尔®超线程技术（英特尔®HT技术）。
Uop公司	微操作。宏指令在机器内分解为微操作，这些“UOP”由执行单元执行。
UNC	解开

