



FACULTAD DE INGENIERIA

Universidad de Buenos Aires

CIRCUITOS ELECTRÓNICOS II - 66.10

Trabajo práctico final

Diseño de un amplificador clase G completamente simétrico

Alumnos:

LUNA Diego

Padrón N° 75451

diegorluna@gmail.com

Docentes:

Ing. BERTUCCIO José Alberto

Ing. ACQUATICCI Fabián*

Ing. MARCHI Edgardo

Ing. BULACIO Matías

Ing. D'ANGIOLO Federico

Ing. GAMEZ Pablo

(*) Docente asignado.

22 de julio de 2019

Índice

Índice	I
1. Consideraciones previas al diseño	1
1.1. Objetivo y requerimientos de usuario	1
1.2. Especificaciones	1
1.2.1. Acerca de la máxima potencia	1
1.2.2. Acerca de la máxima excursión	2
1.2.3. Acerca del slew-rate	2
2. Diseño conceptual	3
2.1. Realimentación global	3
2.2. Amplificador a lazo abierto	4
2.3. Antecedentes	5
2.4. Etapa de entrada	7
2.5. Etapa de amplificación de tensión (VAS).	8
2.6. Etapa de salida	8
2.6.1. Protección de cortocircuito	9
2.7. Diagrama en bloques	10
3. Diseño circuital	11
3.1. Etapa de entrada	13
3.2. Etapa de amplificación de tensión	14
3.3. Multiplicador de V_{be}	16
3.4. Etapa de salida	17
3.5. Realimentador	19
3.6. Compensación	20
4. Simulaciones	27
4.1. THD	27
4.2. Slew Rate	32
4.3. CMRR - factor de rechazo de modo común	35
4.3.1. Modo común	35
4.3.2. Modo diferencial	35
4.3.3. CMRR	35
4.4. PSRR - factor de rechazo del ripple la fuente	36
4.5. Resistencia de salida	36
4.6. Resistencia de entrada	39
4.7. Ancho de banda de potencia	40
5. Alimentación	42

6. Diseño de PCB	43
6.1. Lista de materiales	43
6.2. Consideraciones al diseñar los PCB	43
6.2.1. Fuentes de Ruido Intrínsecas	43
6.2.1.1. Ruido Térmico o Ruido Johnson	43
6.2.1.2. Ruido Shot	43
6.2.1.3. Ruido Popcorn	44
6.2.2. Capacitancias parásitas	44
6.3. PCB del amplificador	45
6.3.1. amplificadordr PCB 3D	52
7. Disipación de calor	53
7.0.0.1. Disipadores elegidos:	54
8. Observaciones y conclusiones	55
8.1. Grado de avance	55
8.2. Dificultades encontradas	55
8.3. Resumen de actividades a desarrollar	55
9. Bibliografía	57
Apéndices	59
A. Hojas de datos	59
A.1. BC548	59
A.2. BC558	59
A.3. BD135	59
A.4. BD136	59
A.5. TIP41	60
A.6. Metal film resistor	60
A.7. Carbon film resistor	60
A.8. Ceramic capacitor	60
A.9. Electrolitic Aluminum capacitor	60

Índice de figuras

2.1. Modelo general de realimentación negativa.	3
2.2. Modelo amplificador-realimentación. El amplificador se encuentra realimentado con una topología serie-paralelo, muestreando tensión a la salida, y sumando tensión a la entrada, resultando un amplificador de ganancia de tensión estabilizado en tensión.	4
2.3. Tres etapas de un amplificador típico, su realimentación y su capacitor de compensación (compensación por Miller). El esquema es genérico y no representa al amplificador diseñado.	5
2.4. Amplificador clase G, Douglas Self [6]	6
2.5. Limitador de corriente simple	9
2.6. Diagrama en bloques del amplificador clase G	10
3.1. Circuito Diseñado	12
3.2. Etapa primera del circuito diseñado.	13
3.3. VAS en CC-EC del riel positivo del circuito diseñado (el otro VAS es perfectamente complementario).	14
3.4. Multiplicador de V_{be} simétrico utilizado.	16
3.5. Etapa de salida.	18
3.6. Realimentación global implementada, junto con su compensación por atraso de fase.	19
3.7. Modelo amplificador-reflejando resistencias	20
3.8. Bode - margen de fase y ganancia.	21
3.9. Se abre el lazo anulando la realimentación en señal.	21
3.10. Bode de la ganancia de lazo sin compensación.	23
3.11. Bode de la ganancia de lazo compensado.	25
3.12. Aumento del ancho de banda, debido a la realimentación.	26
4.1. Distorsión a 1kHz a distintos valores de potencia de salida.	29
4.2. Distorsión a 10kHz a distintos valores de potencia de salida.	30
4.3. Distorsión a máxima excursión en función de la frecuencia.	31
4.4. Respuesta frente a una entrada escalón.	33
4.5. Respuesta frente a una entrada escalón, zoom sobre la pendiente.	34
4.6. Circuito usado para simular la amplificación de modo común.	35
4.7. Circuito usado para simular la resistencia de salida. La caja representa al amplificador.	36
4.8. Barrido en frecuencias de la impedancia de salida simulada.	37
4.9. Barrido en frecuencias de la impedancia de salida simulada para frecuencias hasta 30kHz.	38
4.10. Resistencia de entrada. Cociente entre tensión y corriente de entrada simuladas para pequeña señal de distintas frecuencias.	39
4.11. Ancho de banda de potencia.	41
6.1. PCB del amplificador diseñado en Altium, todas las capas	46
6.2. del amplificador diseñado en Altium, cobre superior	47
6.3.	49
6.4.	51
7.1. Modelo termico estacionario.	53
7.2. Disipador ZD-23	54
7.3. Disipador ZD-14	54

Índice de cuadros

6.1.1.Lista de materiales	43
-------------------------------------	----

1. Consideraciones previas al diseño

1.1. Objetivo y requerimientos de usuario

Nuestro objetivo es armar un circuito amplificador que amplifique una señal de audio que será reproducida en un Bafle (asumimos respuesta resistiva pura en todo el ancho de banda). Debe proveer al usuario con una buena calidad de sonido (algo subjetivo, no obstante acá solo se consideran medidas reales) con volumen alto, sin consumir mucha más energía de la necesaria, ni ser muy grande y pesado. Es decir, debe tener baja distorsión (THD), alta relación señal-ruido (SNR), eficiencia razonable y buena potencia máxima de salida.

1.2. Especificaciones

- Máxima Potencia de Salida: $\geq 60\text{WRMS}@8\Omega$
- Salida clase **G**
- THD: $< 0,01\%@1\text{kHz}$, $< 0,02\%@10\text{kHz}$, a $60\text{WRMS}@8\Omega$ y $1\text{WRMS}@8\Omega$
- Slew-Rate: $> 15 \frac{\text{V}}{\mu\text{s}}$
- Impedancia de entrada: $> 30\text{k}\Omega$
- Sensibilidad: $1,1\text{V pico } @8\Omega$
- Ancho de banda: $10\text{Hz} \longrightarrow 30\text{kHz}$
- Factor de amortiguamiento: > 200
- Ancho de banda de potencia: $> 30\text{kHz}$
- Alimentación:
 - Baja tensión: $\pm 15\text{V nominal}$ (*desde transformador de 12V + 12V*), *ripple máximo 10%*
 - Alta tensión: $\pm 49\text{V nominal}$ (*desde transformador de 36V + 36V*), *ripple máximo 10%*
- Máxima excusión: 31V

1.2.1. Acerca de la máxima potencia

Nuestro diseño es efectivamente el de un amplificador de 100W RMS , sin embargo no lo caracterizamos para esa potencia, ya que la fuente de alimentación diseñada no nos permite alcanzar esa potencia, sin embargo, sin modificar el circuito, con una fuente de alimentación adecuada, posiblemente switching (mejorando mucho la eficiencia global), se puede alcanzar esta potencia, seguramente sea necesario también agrandar el dissipador de los transistores de potencia, el principal motivo de limitar la potencia es económico, ya que el precio de la fuente de alimentación termina dominando el precio total del diseño.

1.2.2. Acerca de la máxima excursión

Para una salida senoidal de 60W RMS, su potencia pico es $\frac{V_{max}^2}{R_L} = 120\text{W}$ que, con carga $R_L = 8\Omega$ da una tensión pico de $V_{max} \cong 31\text{V}$. A esta tensión se llega cuando la entrada es la sensibilidad especificada, $1,1\text{Vpico}@8\Omega$. Estos 31V serán la máxima excursión, la tensión máxima en la que el amplificador garantiza que no haya recortes bajo cualquier condición de alimentación, ya que al no ser regulada la fuente de alimentación, se consideró el peor caso, con la tensión de línea a 80% de su valor nominal, esto se detalla en la sección sobre la fuente de alimentación.

1.2.3. Acerca del slew-rate

El slew rate especificado $(15\frac{\text{V}}{\mu\text{s}})$ mas que duplica el valor mínimo para cumplir las otras especificaciones: el mayor ritmo de crecimiento para señales de ancho de banda 30kHz y máxima excursión 31V se da cuando la senoide cruza por cero, y su pendiente es $2\pi \times 30\text{kHz} \times 31\text{V} \cong 5,8\frac{\text{V}}{\mu\text{s}}$.

2. Diseño conceptual

En esta sección se explican conceptualmente las decisiones de diseño de nuestro amplificador, se citan antecedentes investigados y se justifican cualitativamente algunas de las elecciones circuitales que se hicieron. El diseño de un amplificador de tensión como un solo bloque que cumpla con las especificaciones, es una tarea de muy alta complejidad, pero se simplifica enormemente con el uso de técnicas de realimentación, comunes en la teoría de control, que se implementaron en este amplificador.

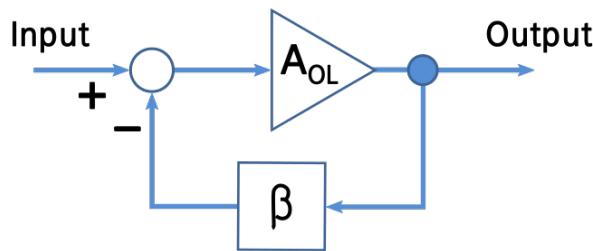


Figura 2.1: Modelo general de realimentación negativa.

2.1. Realimentación global

Debido a la complejidad del circuito, cumplir con todas las especificaciones a lazo abierto es altamente complejo y requiere demasiada precisión en el cálculo y elección de componentes. Esto derivaría en un circuito altamente complejo y costoso. Es por este motivo que se emplea el realimentador. En esquema empleado se ve en la figura [2.2].

Dado que en un amplificador de audio se busca que la salida sea una versión de escalada de la señal de entrada, se busca tomar una muestra de la misma, y compararla con la señal de entrada.

Como sabemos, si se cumple que la ganancia de lazo cumple que $a \cdot f \gg 1$, donde a es la ganancia del amplificador a lazo abierto y f la transferencia del realimentador, es esta última la que fija la ganancia a lazo cerrado, siendo la misma $A_v \simeq \frac{1}{f}$.

Una ventaja de esta técnica es que ayuda a que el amplificador se asemeje a un amplificador de tensión ideal, ya que aumenta la resistencia de entrada, mientras que disminuye la de salida y como la ganancia termina dependiendo de componentes pasivos, resistores y un capacitor en este caso, con la elección de la tecnología y calidad adecuadas para estos, se logra una gran estabilidad frente a variaciones de las condiciones, como ser la temperatura, esto no es así para las resistencias de entrada y salida, ya que las mismas dependen de la ganancia de lazo.

La realimentación es muy beneficiosa siempre que sea negativa. Dado que el sistema naturalmente introduce desfasajes, para ciertas frecuencias la realimentación puede pasar de ser negativa, a ser positiva (esto haría que las diferencias entre la señal de salida real y deseada se amplifiquen en lugar de reducirse) provocando que el circuito oscile a estas frecuencias. Para evitar que el circuito se vuelva inestable, es necesario que para las frecuencias donde se invierte la fase, el circuito pase de amplificar a atenuar, si esto no ocurre

naturalmente, es necesario agregar componentes adicionales para compensar el circuito y evitar que se vuelva inestable.

Otro factor a tener en cuenta, es que puede darse la aparición de frecuencias en la salida del circuito fuera del rango de las que se presentan naturalmente en la entrada (en este caso 20Hz → 20kHz por tratarse de audio). También para eliminar estos inconvenientes es que el sistema debe ser compensado.

El uso de realimentación global permite mejorar notablemente casi todas las especificaciones del amplificador y simplificar su diseño (la estabilidad como se mencionó antes es una característica que puede empeorar, siendo el Slew-rate la otra que puede empeorar debido a la necesaria compensación). En este caso, como el objetivo es armar un amplificador de tensión, utilizamos un circuito realimentador Serie-Paralelo (muestrea tensión y suma tensión). El factor de realimentación queda definido por las especificaciones de sensibilidad y potencia RMS para una carga determinada.

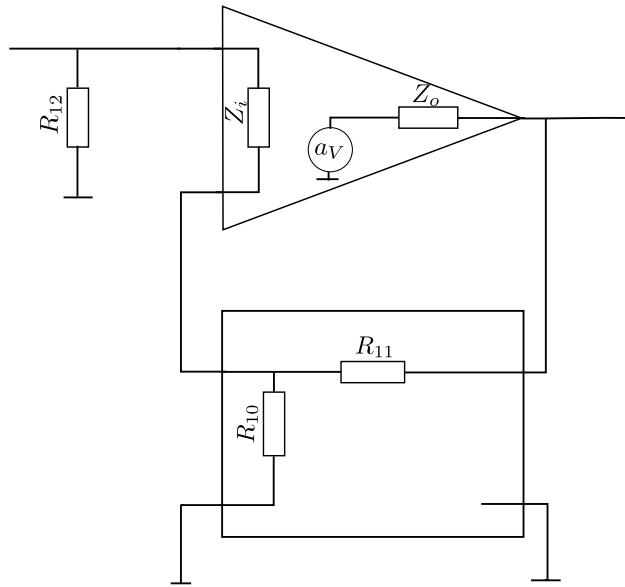


Figura 2.2: Modelo amplificador-realimentación. El amplificador se encuentra realimentado con una topología serie-paralelo, muestreando tensión a la salida, y sumando tensión a la entrada, resultando un amplificador de ganancia de tensión estabilizado en tensión.

2.2. Amplificador a lazo abierto

Las etapas de un amplificador hacen referencia a su estructura a gran escala: el diagrama en bloques que modulariza los componentes y ayuda a diseñar, entender y evaluar su funcionamiento. La arquitectura de un amplificador típico consta, básicamente, de 3 etapas: una de entrada, diferencial, una intermedia, de ganancia de tensión, y una de salida, de ganancia de corriente o potencia (figura [2.3]).

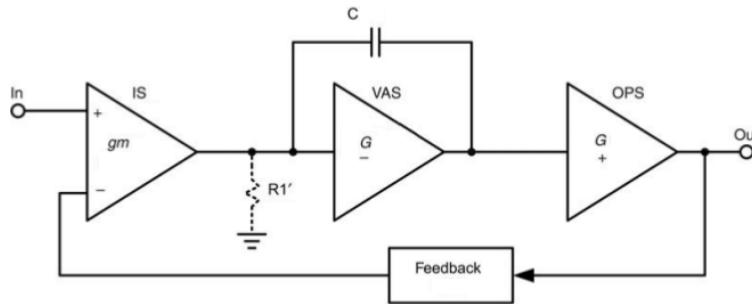


Figura 2.3: Tres etapas de un amplificador típico, su realimentación y su capacitor de compensación (compensación por Miller). El esquema es genérico y no representa al amplificador diseñado.

Se han propuesto arquitecturas de dos etapas (como en “*Linsley-Hood, Simple Class-A amplifier , Wireless World / April 1969 / p. 148*” y en “*B. Olsson , Better audio from non-complements? Electronics World / December 1994 / p. 988*”) unificando la segunda y la tercera etapa. Sin embargo, dificulta el proceso de diseño sin grandes beneficios visibles, es poco común entre amplificadores comerciales, y suele ofrecer mala distorsión. También se han propuesto arquitecturas de cuatro etapas, como *Lohstroh y Otala* en su paper “*An audio power amplifier for ultimate quality requirements*”. Sin embargo, tampoco es muy usado en la industria, pues esta complejidad adicional no parece traer beneficios, al menos no en un amplificador discreto, es posible que no sea así en un diseño monolítico integrado.

El amplificador diseñado entonces tiene una **estructura típica de tres etapas**, aunque con la variante de ser completamente simétrico (e incluir un seguidor por emisor acoplado al VAS por razones de polarización mayormente). La última etapa es la responsable de proveer la potencia y la que determina la eficiencia, tamaño y peso del amplificador; en particular, es la etapa que le da el nombre de amplificador, en nuestro caso, **Clase G**.

2.3. Antecedentes

El libro de **Douglas Self** [6] compila la vasta experiencia de un diseñador de amplificadores profesional, es un libro de referencia y renombre en el mundo de los amplificadores de audio. Durante el diseño de este amplificador se tomó de referencia este libro para evaluar las opciones y sus ventajas y desventajas según la experiencia de la industria. El clase G de la figura [2.4] fue tomado directamente de su libro, estudiado y simulado.

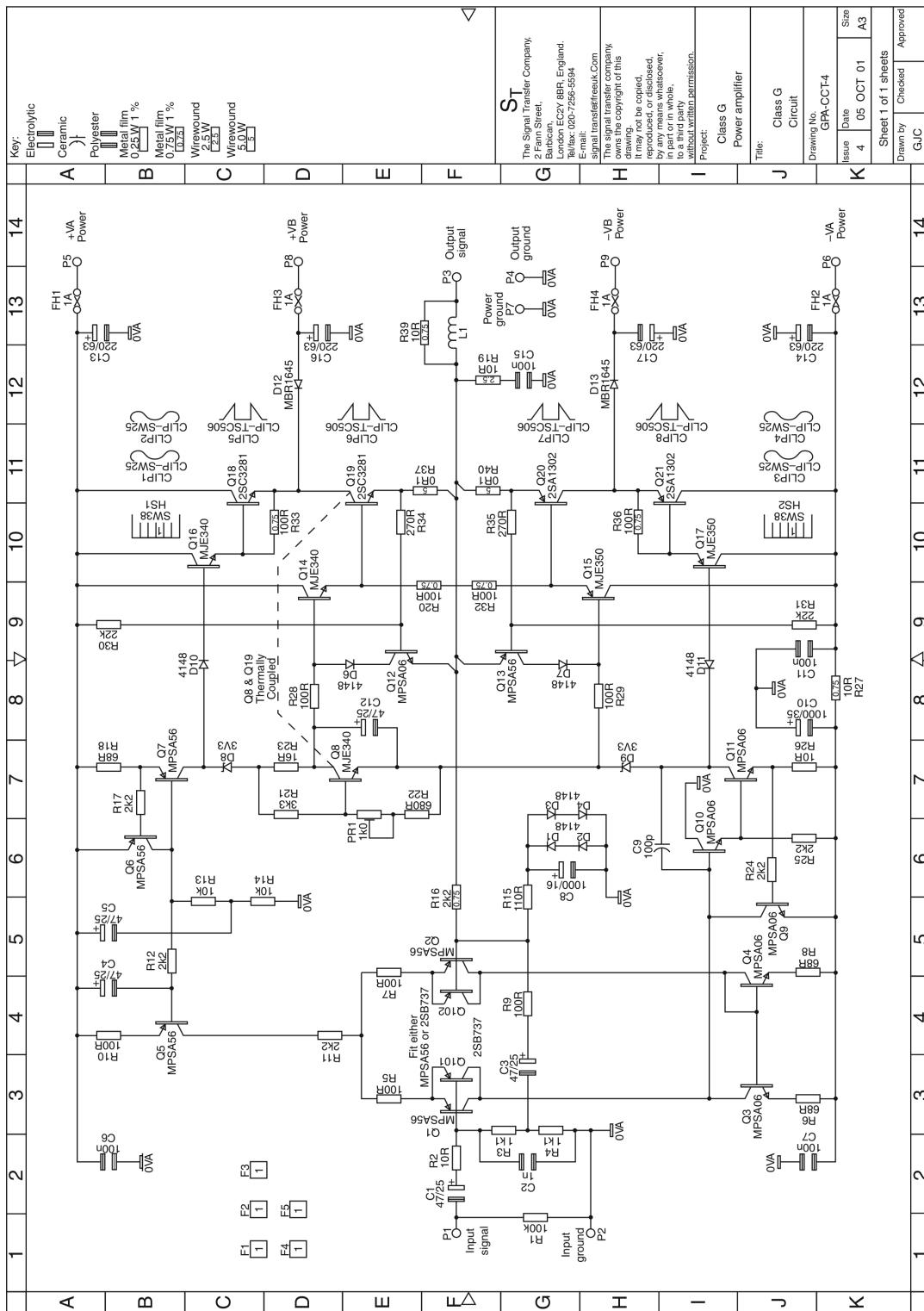


Figura 2.4: Amplificador clase G, **Douglas Self** [6]

2.4. Etapa de entrada

En el esquema de tres etapas, la primera cumple la función de amplificar la diferencia entre sus dos entradas, rechazando las señales comunes. Esta capacidad de rechazo de las señales comunes es importante no sólo para implementar el modelo de realimentación planteado, sino para reducir el efecto de ruidos que afecten de forma igual a ambas entradas. Sin embargo, esta simetría no es total: el comportamiento en un semiciclo difiere del comportamiento del semiciclo opuesto, por estas mismas alinealidades mencionadas. Se eligió entonces una topología de doble par diferencial. Es decir, propusimos agregar otro par, en paralelo, con componentes complementarios: donde originalmente usamos transistores **NPN**, colocamos **PNP**, y viceversa. De esta forma, la simetría cancela mas de las alinealidades y se reduce la distorsión aún más. También se tiene la ventaja de disminuir el offset, ya que al ser complementarios los pares diferenciales, se cancelan parcialmente las corrientes de base de los transistores, y por supuesto duplicar las etapas duplica la ganancia total a lazo abierto que se obtiene. Esta decisión llevó a luego intentar mantener una simetría total en todo el circuito, llevando naturalmente al circuito completamente simétrico.

Otra opción de diseño más, es la de la carga de los pares diferenciales. Estos pueden ser activas o pasivas. Por lo general, se elige una carga de tipo activa, como por ejemplo, una fuente de corriente espejo, porque da una menor distorsión, esto es típico en amplificadores operacionales, pero en nuestro caso, este diseño original fue descartado por consejo de los docentes, ya que, a pesar de tener un muy buen desempeño en las simulaciones, al ser implementado en la práctica presenta problemas de estabilidad en la polarización, de la charla con los docentes y posteriores simulaciones nos llevaron a elegir un amplificador tipo cascode, con una carga pasiva, porque necesitamos la caída en la carga para polarizar la etapa siguiente, donde explicaremos el motivo.

Por último y no menos importante, es necesario determinar la forma de polarizar con corriente a los transistores de las ramas de los amplificadores diferenciales. Esto se hace mediante una fuente de corriente cuyo diseño puede tomar diversas formas: fuente espejo, semi-espejo, cascode, etc. Normalmente, se utiliza un transistor con una resistencia en serie en el emisor, y algún semiconductor en la base del transistor, para fijar una tensión de polarización, mientras la resistencia antes mencionada determina la corriente de polarización que luego se dividirá a la mitad por las ramas del diferencial. La opción elegida hace uso de un par de diodos de señal (**1N4148**) que fijan la corriente del transistor en forma bastante independiente de la tensión de alimentación. Normalmente, estas fuentes, toman la referencia desde los rieles externos, porque son más estables que los internos, pero en este caso, al ser las tensiones de los rieles externos muy elevados, preferimos utilizar unos reguladores lineales (**78L05** y **79L05**, versiones de baja corriente, 100mA), para tomar de los rieles internos, y obtener $\pm 5V$ de notable estabilidad, gracias al rechazo de ripple de 60dB de estos reguladores. Esta tensión se usa para polarizar las bases de los cascode, es en verdad la principal motivación de estos reguladores, ya que los diferenciales son implementados con un array de transistores integrados (**MMPQ6700**) que tienen una tensión de V_{ce} de ruptura baja, unos 30V, con los reguladores se garantiza estar en la zona segura de operación, y se tiene la ventaja de tener una polarización muy estable, cosa muy deseable en una primera etapa.

2.5. Etapa de amplificación de tensión (VAS).

Por lo general, la etapa de amplificación suele estar compuesta por un simple amplificador de configuración EC (Emisor Común), entrando a la etapa de salida, por debajo del multiplicador de V_{be} , y polarizado por una fuente de corriente de colector. En este amplificador se optó por un diseño EF VAS (Emitter Follower - VAS): a este EC con degeneración de emisor, se le agrega una etapa colector común anterior, antes del amplificador. El seguidor cumple la función de separar la etapa de entrada, esto mejora la distorsión y aumenta la ganancia a lazo abierto al tener una mayor resistencia de entrada cargando al cascode de la primera etapa. También se puede modificar para que la salida del VAS no sea por debajo del multiplicador de V_{be} , sino por el medio, para disminuir el offset a la salida, previo a la realimentación, y disminuir la distorsión. El inconveniente de este modo es que se necesitan dos fuentes de corriente más, ya que el modo anterior, aprovecha la fuente de polarización del EF VAS, para polarizar, también, el multiplicador de V_{be} . En nuestro caso, con el cambio a 2 pares diferenciales, duplicamos la etapa EF VAS, complementariamente, y se conectan a la etapa de salida, por arriba y por abajo del multiplicador de V_{be} , esta simetría disminuye aún más la distorsión. Como en este caso, cada uno de los dos EF VAS hace de carga del otro, los EF VAS no tienen fuente de polarización, entonces se necesita que la etapa diferencial tenga una carga resistiva, para fijar la tensión de base de los EF VAS, la caída en este resistor es determinada por la fuente de corriente, con lo que es bastante estable. Si hubiéramos usado una carga tipo fuente espejo, habríamos logrado que la corriente en las ramas del par diferencial fueran más simétricas, pero sin fijar ninguna tensión estable para polarizar la base de los EF VAS, como nos hicieron notar los docentes.

2.6. Etapa de salida

Esta etapa es la responsable de amplificar la potencia de la señal. Es decir, debe tener **alta eficiencia**, y **bajos niveles de distorsión**. Además, se busca **minimizar la impedancia de salida** para mantener un **alto factor de amortiguamiento** y evitar que el rebote acústico afecte el comportamiento del amplificador. La etapa de salida **clase G** está compuesta por dos o más niveles de alimentación que permiten incrementar la eficiencia del amplificador con respecto al **clase B**. Esto se logra ya que con tensiones bajas, se utilizará una fuente de tensión menor, preservando la máxima excursión posible sobre la carga que ofrece un clase B alimentado con la fuente de tensión mayor. Para señales con picos de baja amplitud en relación al valor medio, la mejora en la eficiencia es modesta. Sin embargo, en el caso en que la señal tenga picos considerables con respecto a su valor medio, la mejora es notable. Un punto importante, a la hora de diseñar una etapa de salida clase G, es la tensión de los rieles internos. Tomamos del libro de **Douglas Self [6]**, los estudios realizados considerando los casos en los cuales la tensión de riel interno es de 30% y 60% del externo, y se observó que los beneficios en cuanto a eficiencia, del segundo caso, son pocos. En cambio, en el caso de rieles internos de 30% respecto de los externos, la eficiencia aumenta considerablemente. Otro detalle de diseño, es la del multiplicador de V_{be} doble. El multiplicador de V_{be} más simple, tiene un transistor, y 2 resistores, con las que forma el salto de potencial necesario para eliminar el problema de cruce por 0 de la etapa de salida. En este caso, se usan 2 transistores complementarios, con la misma idea que el del doble par diferencial, para

que el corrimiento de tensión del multiplicador de V_{be} sea lo más lineal posible, en el libro se explica que esta configuración es especialmente adecuada para salidas tipo Darlington y se ajusta muy bien a nuestro circuito por su simetría.

2.6.1. Protección de cortocircuito

En la figura [2.5] se puede ver la versión más básica de protección por sobre-corriente de los transistores de salida. Cuando la corriente es tal que la caída en R_{e_1} supera, aproximadamente los 0,6V, los transistores TR_1 y TR_4 conducen y desvían corriente de la base de TR_2 . Análogamente, para el semiciclo negativo, si la caída en R_{e_2} supera los 0,6V. Se muestrea corriente a través de R_{e_1} y R_{e_2} , que funcionan como resistencias de emisor y a la vez como sensores de corriente. Los valores de estas resistencias de emisor se determinan por los requerimientos de eficiencia o estabilidad, por lo que el valor de corriente límite queda determinado por los divisores de tensión ($R_1 - R_2$ y el simétrico). Nuestro circuito de protección es una versión modificada de este circuito, una cosa que observamos, es que el circuito de protección introduce bastante distorsión, especialmente si la limitación de corriente es cercana a la mayor corriente que el circuito puede entregar, con lo que nos limitamos a limitar la corriente a valores seguros para los transistores de salida, no necesariamente para la fuente de alimentación, la cual se protegió en forma independiente con una combinación de limitación de corriente y fusibles, esto se explica en la sección correspondiente.

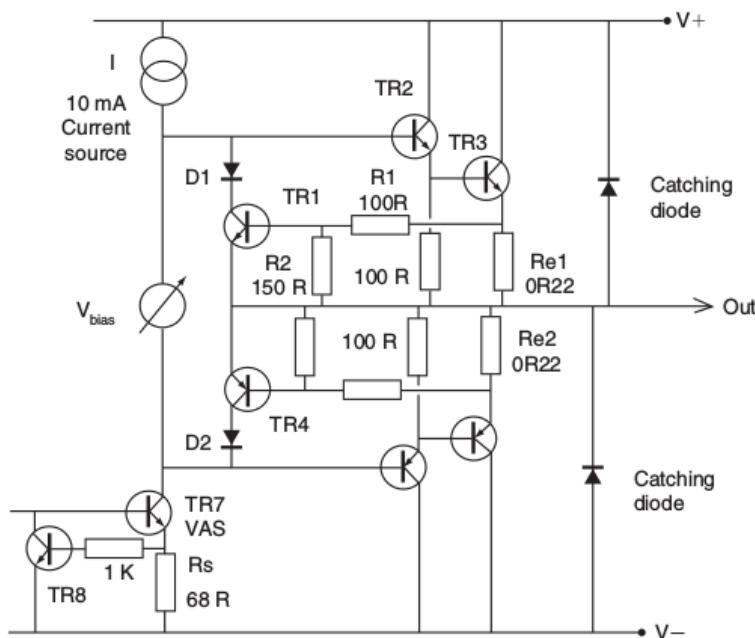


Figura 2.5: Limitador de corriente simple

2.7. Diagrama en bloques

Finalmente en la figura [2.6] se muestra un diagrama en bloques conceptual de nuestro circuito amplificador, mostrando en particular su estructura completamente simétrica.

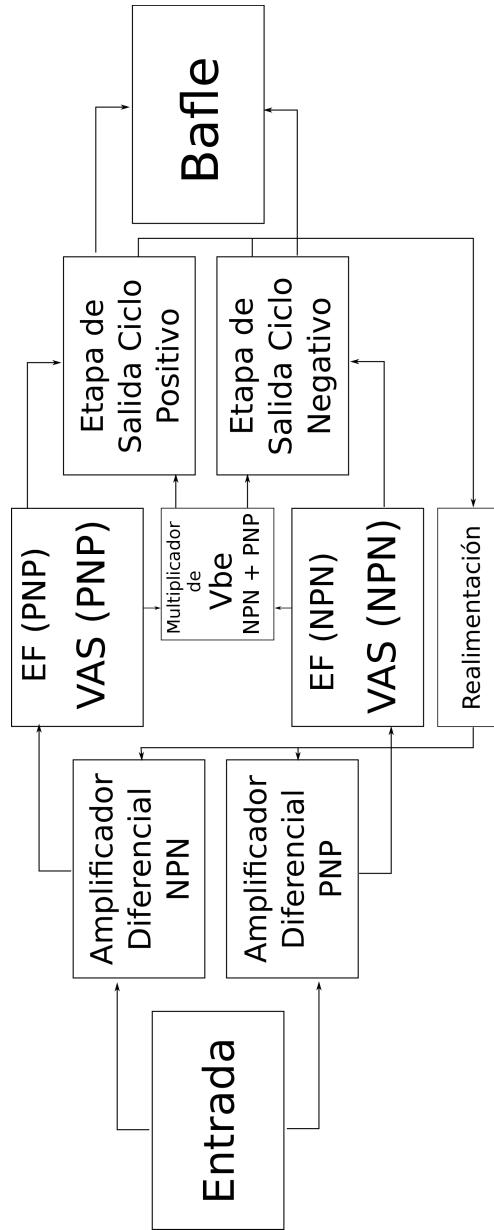


Figura 2.6: Diagrama en bloques del amplificador clase G

3. Diseño circuital

En esta sección concretamos en circuitos reales los conceptos abstractos de la sección anterior, justificando cada parte del circuito y la elección de sus componentes. En la figura [3.1] puede verse nuestro circuito amplificador completo, incluyendo el punto de trabajo de cada transistor, es el circuito que se usó en cada una de las simulaciones para validar el circuito contra las especificaciones que se establecieron. En el circuito también se marcaron algunos ratings de componentes, potencias de resistores y tensiones de capacitores, los cuales se obtuvieron de las simulaciones, estos se especificaron y se usaron a la hora de armar el listado de componentes final, teniendo en cuenta también las tecnologías adecuadas para cada componente elegido.

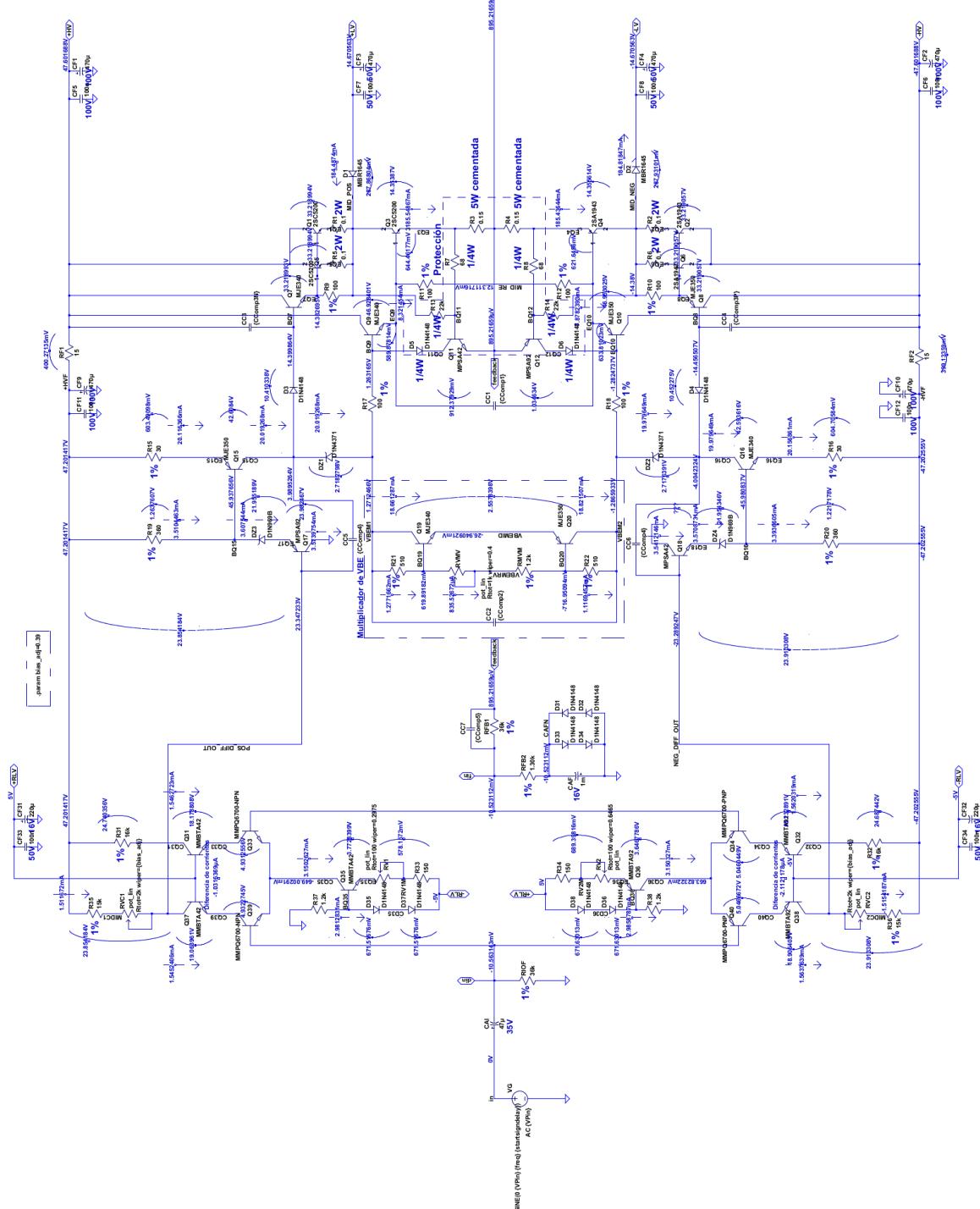


Figura 3.1: Circuito Diseñado

3.1. Etapa de entrada

Se usó doble par diferencial para mantener la simetría total y reducir la distorsión por armónicos pares, figura [3.2]. Cada par se diseñó teniendo en cuenta que la tensión de salida de polarización debía ser estable, pues la segunda etapa no estará polarizada por una fuente de corriente. Por esto, los resistores de carga de los pares diferenciales (R_{35} , RVC_1 y R_{36} , RVC_2) son formadas por un resistor fijo de $15k\Omega$ y un preset multi-vuelta de $2k\Omega$, mucho menor que la resistencia dinámica de pequeña señal que le ofrece la segunda etapa ($\approx 60k\Omega$), dominando el paralelo. El ajuste de la polarización, consiste en ajustar primero la corriente de las fuentes de corriente y luego ajustar los presets de las cargas para lograr el punto deseado. Por la misma razón, se consideró de particular importancia garantizar que las corrientes de polarización por las ramas del par se independicen de posibles variaciones en la segunda etapa o del riel. Los transistores Q_{33} con Q_{39} y Q_{34} con Q_{40} , en configuración cascode combinados a Q_{37} con Q_{31} y Q_{38} con Q_{32} cumplen justamente la función de generar esta independencia.

Se polarizó cada rama con una corriente de $1,56mA$. Mayor corriente no generaría una mucho mayor amplificación de la etapa, pues, para mantener una tensión de salida fija habría sido necesario reducir la resistencia de carga en igual proporción. Esta corriente se generó con fuentes de corriente de $3,15mA$, se ajusta para que por los resistores de carga circulen $1,5mA$, logrando los $23,85V$, independientes de la alimentación, que polarizan la segunda etapa. Los transistores de los pares diferenciales están formados cada uno por dos de los transistores de un array integrado, el **MMPQ6700**, de cuatro transistores, dos **NPN** y dos **PNP**, estos transistores como se mencionó tienen baja tensión de ruptura, pero el circuito elegido garantiza su operación segura, al ser integrados se tiene un grado alto de matcheo en sus características, esta característica se aprovecha para armar los diferenciales, dejando los base común de los cascodes a ser implementados por transistores complementarios discretos del tipo **MMBT42/MMBT492**, que son las versiones **SMD** de los conocidos transistores complementarios **MPSA42/MPSA92**, generalmente usados en amplificadores de potencia justamente por sus altas tensiones de ruptura y buenas características para audio.

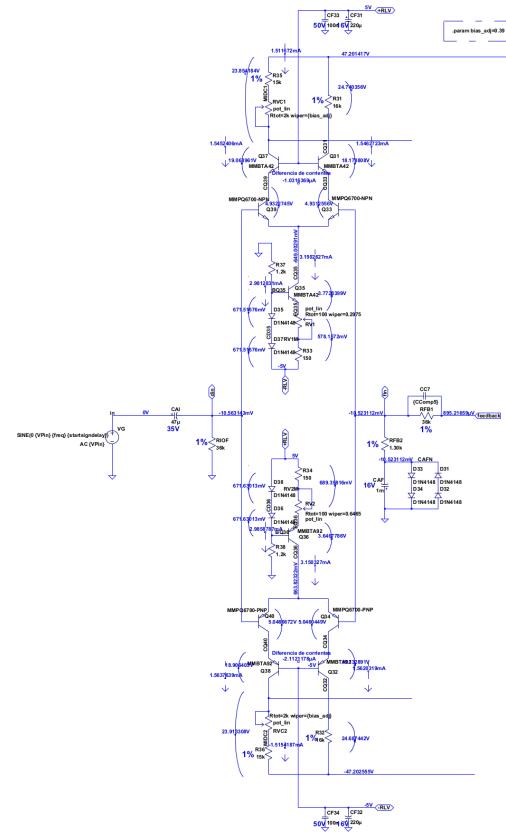


Figura 3.2: Etapa primera del circuito diseñado.

3.2. Etapa de amplificación de tensión

Se optó por una configuración **CC-EC**, una para cada salida del doble par diferencial, figura [3.3]. El colector común cumple la función de ofrecer una resistencia alta a la primera etapa, independizando la polarización de los parámetros variables de los transistores de la segunda etapa. Además, aumenta la diferencia de tensión de polarización requerida entre el riel y la entrada de la etapa, lo que permite el uso de una resistencia de carga mayor en la primera etapa, mejorando su ganancia. Esta configuración, además, ofrece un alto grado de independencia de las variaciones de tensión del riel, pues todas las tensiones involucradas varían en conjunto (la única que no lo hace es masa, pero está conectada al colector de Q_{17} y Q_{18} , nodos de alta impedancia).

Las resistencias de emisor de los **EC**, R_{15} y R_{16} , implementan realimentaciones locales que estabilizan la corriente de polarización y ganancia de la etapa. Son realimentaciones **serie-serie** (muestrean corriente y suman tensión), estabilizando la transconductancia de la etapa. Son de valor reducido pues al estabilizar la ganancia, la reducen. Además, la caída de tensión en estas resistencias reduce la máxima excursión de la etapa antes de que saturen los transistores al mismo tiempo que determinan la corriente de colector. Se eligieron los valores exactos (junto con los de las cargas de la primera etapa) para que la corriente de polarización sea 20mA.

Las resistencias R_{19} y R_{20} aseguran una corriente de polarización del colector común 3,5mA. De no existir, la polarización podría ser muy baja, y dependiente de las variabilidades del β del transistor del **EC**. Esta baja corriente implicaría, además, un r_d grande, y esto es indeseable: El **EC** es un amplificador de conductancia y, como tal, funciona mejor recibiendo una señal de entrada de baja impedancia por su base.

Los transistores elegidos para los **VAS**, los complementarios **MJE340/MJE350**, de potencia media, que son lo mismos usados como drivers en la etapa de salida, fueron elegidos porque a pesar de que la corriente en estos transistores es moderada, su caída V_{ce} es alta, haciendo que disipen potencias en el orden de 1W, estas potencias están fuera del rango adecuado para transistores de señal como son el par **MPSA42/MPSA92** utilizados en los seguidores, la potencia que disipan los pone justo en el límite de poder funcionar sin disipador, es posible que decidamos ponerles pequeños disipadores individuales a estos transistores.

En este punto es adecuado explicar el circuito pasa-bajos que se encuentra en los rieles de tensión alta

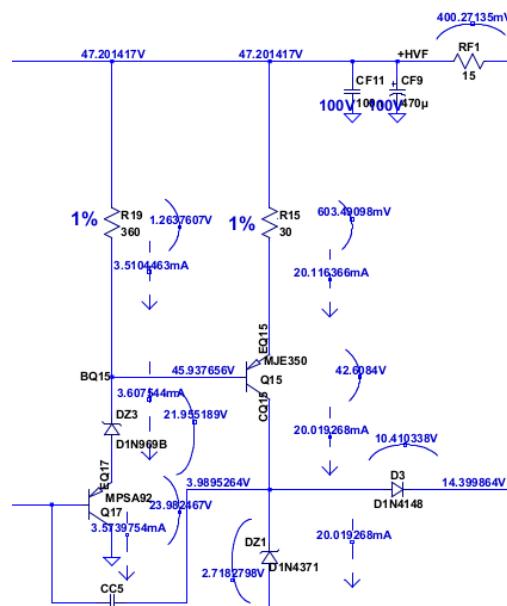


Figura 3.3: VAS en CC-EC del riel positivo del circuito diseñado (el otro VAS es perfectamente complementario).

que alimentan la primer y segunda etapa, estos simples pasa-bajos formados por un resistor y un par de capacitores, RF_1 con CF_9 y CF_{11} en el riel positivo y RF_2 con CF_{10} y CF_{12} en el negativo, filtran el ripple de la fuente de alimentación (de 100Hz), para eso el capacitor electrolítico de $470\mu F$, que junto al resistor tienen una frecuencia de corte de 22,6Hz, el capacitor cerámico de $100nF$ está para filtrar el ruido de alta frecuencia que pueda filtrarse por los rieles de alimentación, principalmente debido a efectos causados por el switcheo de la etapa de salida. En general este filtrado reduce considerablemente el rechazo de de ripple de la fuente y también comprobamos que reduce un poco la distorsión, esto último es mas difícil de explicar. Algo mas a mencionar de esta etapa, es que para adecuar la polarización del emisor común se utilizó en ambas ramas un zener de 22V, los mismos para la señal presentan a frecuencias medias solo una pequeña resistencia dinámica, por supuesto su capacidad parásita, afectará a altas frecuencias, pero las simulaciones indican que no perjudica al funcionamiento del circuito.

3.3. Multiplicador de V_{be}

El multiplicador de V_{be} se diseñó con dos transistores, figura [3.4], para mantener la simetría total del circuito y dado que, como ya se mencionó es adecuada para una etapa de salida con Darlintons. La corriente de polarización de los transistores del VAS es $\cong 20\text{mA}$, y esta puede tener una excursión máxima de aproximadamente 4mA pico-a-pico. Es decir, el multiplicador debe lograr polarizarse con corrientes de $\cong 18\text{mA}$. Las simulaciones muestran que se logra una mayor estabilidad en la tensión si los transistores están polarizados con corrientes bajas. Por lo tanto, se eligió $RVMV$ tal que circule una corriente $< 19\text{mA}$, pero siempre del orden de los mA. Se podría haber elegido un valor más cercano a 20mA , pero una simulación remplazando al multiplicador por un generador de tensión ideal mostró que el funcionamiento y la distorsión del circuito no se veían afectados.

Por esta misma razón, no se agregaron resistores adicionales en los colectores, que usualmente se usan para generar una caída que compense el incremento de tensión con la corriente. Puede hacerse como posible optimización.

Las resistencias R_{21} y R_{22} se eligieron iguales por simetría, y de valor tal que la tensión generada sea levemente superior a 2.5V . Esto permite colocar a los transistores de salida en modo levemente **A-B**, reduciendo la distorsión de su etapa. De todas formas la manera de determinar en la práctica el valor adecuado de tensión del multiplicador, es ir aumentando la caída hasta que ya no baja la distorsión armónica, habiéndose eliminado por completo la distorsión de cruce por cero.

Los transistores utilizados son el par complementario **MJE340/MJE350**, los mismos de los VAS y drivers de la etapa de salida, son transistores de potencia media, tienen encapsulado **TO-225**, adecuados para montar en un disipador, en este caso el motivo principal de su elección, ya que se podrían utilizar transistores de señal dado el nivel de dissipación que tienen.

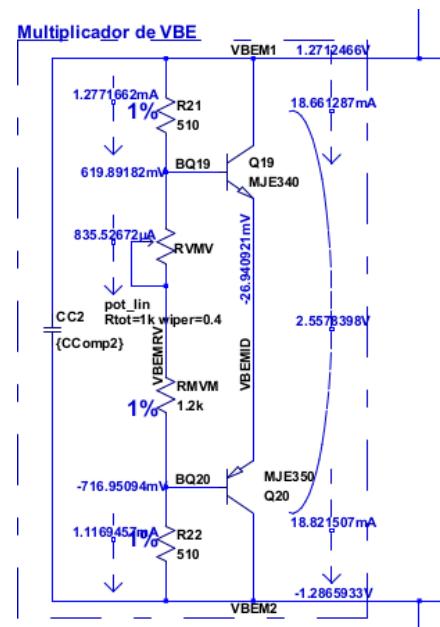


Figura 3.4: Multiplicador de V_{be} simétrico utilizado.

3.4. Etapa de salida

La etapa de salida, figura [3.5], a pesar de parecer lo mas complicado, y ser lo primero que se diseña, es lo que menos problemas causó para determinar un circuito satisfactorio, es la única parte del circuito que no cambió a lo largo de las varias iteraciones del circuito global del amplificador, solo se le agregó el circuito de protección, del cual se probaron distintas configuraciones. Las simulaciones fueron muy satisfactorias con varios circuitos distintos en las primeras etapas, la elección correcta de los transistores de potencia fue crítica, y tener modelos proveídos por el fabricante ayudó a validar el diseño. Se usan transistores en configuración Darlington, para tener una ganancia de corriente elevada, y con transistores en paralelo en los exteriores para repartir la corriente y disminuir la disipación en cada uno. Se colocaron los resistores R_1 , R_5 , R_2 y R_6 de valor $0,1\Omega$ para ayudar a que se reparta de forma equilibrada la potencia entre los transistores de potencia Q_1-Q_5 y Q_2-Q_6 y estabilizarlos térmicamente, estos resistores se determinaron de 2W, con lo cual se trata de resistores de carbón o metal de encapsulado un poco mayor al resto de los resistores de 0,25W. Los transistores usados como drivers de los Darlington son los mismos para los internos como para los externos, se trata del par complementario **MJE340/MJE350**, el mismo utilizado en los VAS y el multiplicador de V_{be} , son de media potencia, con encapsulado **TO-225**, adecuados para poner en un disipador de ser necesario, estos transistores llevan un resistor de degeneración de emisor de 100Ω , R_9 y R_{10} para los drivers externos y R_{11} y R_{12} para los internos, algo interesante de estos resistores, es que en lugar de quedar conectados al punto de salida de conexión de la carga, se conectan uno con el otro salteando la conexión intermedia, esta configuración se observó en algunos circuitos comerciales simétricos, así como en el libro, las simulaciones demuestran que disminuye la distorsión armónica, aunque la explicación es difícil, aunque parece deberse a realimentación cruzada que solo es efectiva en estos circuitos completamente simétricos. Los transistores de salida Q_1-Q_5 y Q_2-Q_6 , están todos formados por los pares complementarios **2SC5200/2SA1943** de la marca **Toshiba**, estos transistores de potencia, de encapsulado **TO-264**, están especialmente diseñados para amplificadores de potencia de hasta 100W, y son usados por **Toshiba** en sus propios amplificadores de potencia, son transistores de potencia rápidos, muy adecuados para una etapa clase G, tienen una corriente máxima de 15A y una tensión máxima de V_{ce} de 230V. Los transistores de potencia internos necesitaban al igual que los externos unos resistores de degeneración de emisor de $0,1\Omega$, sin embargo para que las protecciones limiten la corriente máxima a un valor alrededor de los 10A, estos resistores se eligieron de $0,15\Omega$ de 5W del tipo de alambre cementado, los típicos bloques de color blanco, estos valores permiten soportar la máxima corriente por el tiempo necesario para que actúen las protecciones de la fuente de alimentación, en las condiciones normales de operación no disipan una potencia demasiado significativa, su principal perjuicio es aumentar la resistencia de salida del amplificador a lazo abierto. El uso de los diodos Schottky **MBR1645**, el tipo de diodo, es simplemente debido a la baja caída que poseen, en el orden de 0,2V para corrientes significativas, y el hecho que son rápidos, debido a no tener gran cantidad de carga acumulada como un diodo común, permitiendo que pasen rápidamente de conducción a cortados, el uso de ese específico diodo es debido a que no se observó diferencias con otros diodos similares, y se observó que estos en particular eran usados en varios circuitos comerciales, además de conseguirse fácilmente. Todos los rieles de alimentación altos y bajos, positivos y negativos para la etapa de potencia se encuentran filtrados por capacitores electrolíticos

de $470\mu F$, para filtrar el ripple y por capacitores cerámicos de $100nF$ para compensar efectos inductivos que se traducen en señales de alta frecuencia que pueden afectar al circuito, especialmente las primeras etapas.

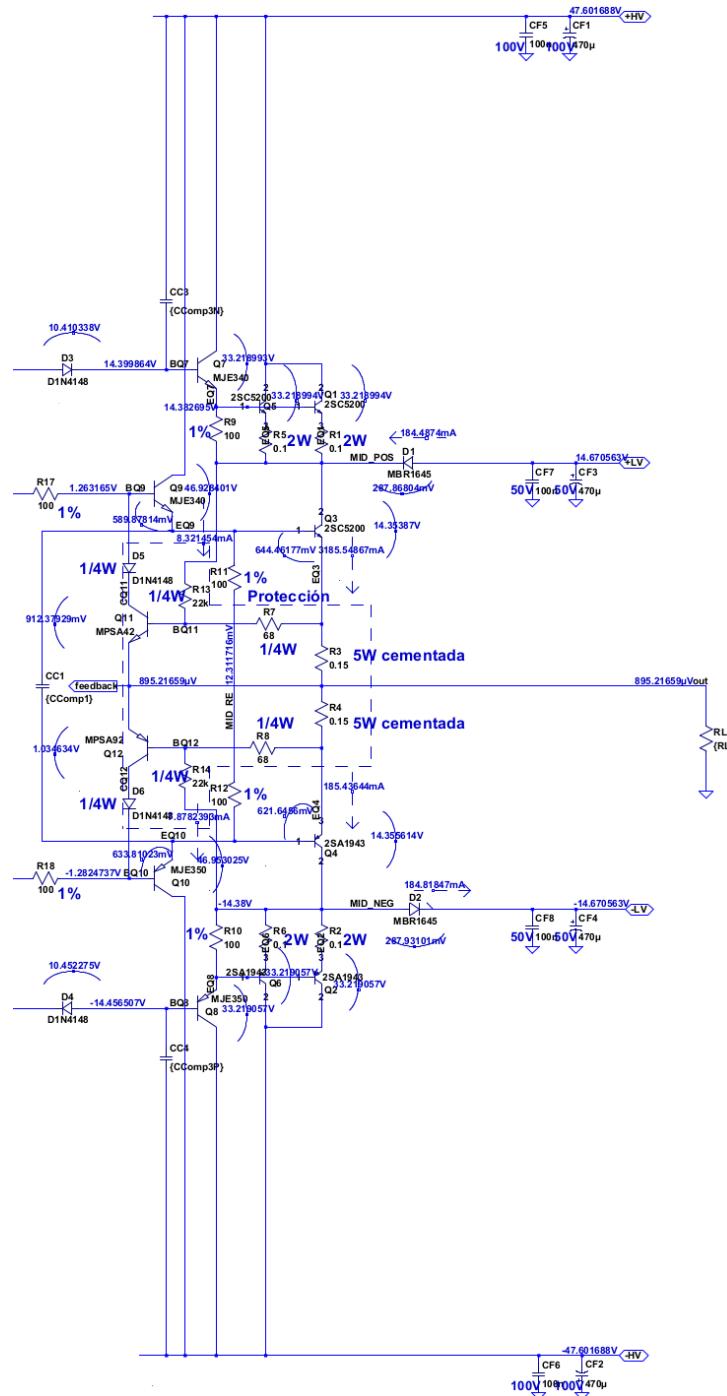


Figura 3.5: Etapa de salida.

3.5. Realimentador

Como se había mencionado en el diseño conceptual, el factor de realimentación queda definido por las especificaciones de sensibilidad y potencia RMS que definen la ganancia. Para nuestras especificaciones, la ganancia del amplificador debe ser de 29dB y por lo tanto el realimentador debe atenuar -29dB . Se implementa mediante un divisor de tensión que muestrea tensión y suma tensión. Deben ser resistencias lo suficientemente altas para que no afecten la salida al muestrear, y ya que para compensar el offset se usa un valor igual en la otra entrada de los diferenciales, uno de los resistores impone también la resistencia de entrada. Con una carga de 8Ω , esto es sencillo. Por otra parte, la corriente que entra a la base del par diferencial de la primera etapa debe ser despreciable frente a la que circula por el realimentador para no afectar al factor f . Los valores usados se ven en la figura [3.6], los resistores se seleccionaron en valores cercanos a lo necesario dentro de los valores comerciales que se consiguen al 1% de tolerancia, la tecnología seleccionada es metal film u oxide metal film, esto garantiza buena estabilidad con la temperatura y bajo ruido, cosa esencial en la red de realimentación.

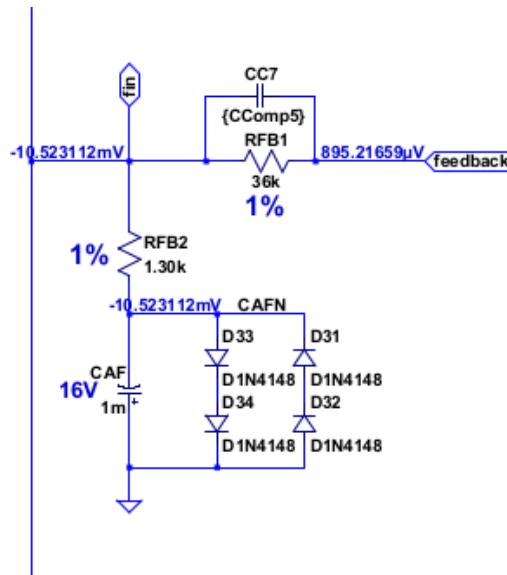


Figura 3.6: Realimentación global implementada, junto con su compensación por atraso de fase.

El capacitor CAF cumple la función de modificar la realimentación en continua, a un factor unitario, y generar una simetría en las resistencias que ven las bases de los pares diferenciales de la primera etapa, y así reducir la tensión de offset. Por esta misma razón, la resistencia en paralelo a la entrada $RIOF$, que permite la polarización de Q_{39} y Q_{40} es del mismo valor que RFB_1 .

Consideremos el diagrama de la figura [3.7]. Para hallar los valores de impedancia de entrada y salida, primero debemos reflejar las resistencias RFB_1 y RFB_2 , como vemos en el siguiente diagrama.

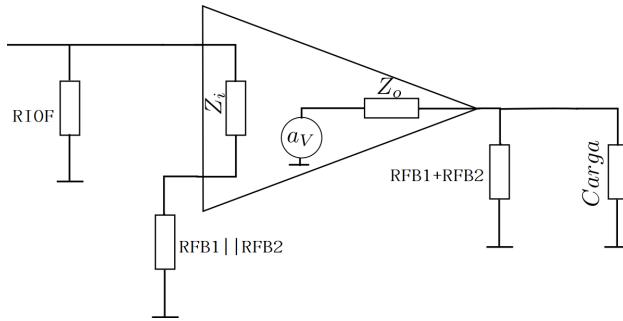


Figura 3.7: Modelo amplificador-reflejando resistencias

Este amplificador tiene una amplificación de tensión a lazo abierto, de 76,35dB, con una impedancia de salida de aproximadamente 6Ω . La realimentación tiene un valor de $f = \frac{RFB_2}{RFB_1+RFB_2} \rightarrow f = 0,035$, resultando $T = 1 + a_V \cdot f = 1 + 6569 \times 0,035 = 229,95$. La ganancia a lazo cerrado es $A \cong \frac{1}{f} = 28,69$. En cuanto a la impedancia de entrada, RFB_1 y RFB_2 se reflejan en paralelo entre ellas, en serie a la impedancia de entrada del amplificador Z_i . Dada la relación entre las resistencias, RFB_1 resulta despreciable, y a su vez, RFB_2 resulta despreciable en serie con Z_i , que resulta despreciable, en paralelo con $RIOF$, de $36k\Omega$. Para la resistencia de salida, tenemos la resistencia reflejada $RFB_1 + RFB_2$, que es despreciable en paralelo con $Z_o || R_{Carga} = 3,42\Omega$. Luego $\frac{3,42}{(1+a_V \times f)} = 0,01\Omega$, que es la impedancia de salida resultante. La impedancia de entrada incrementada en la ganancia de lazo resulta ser mucho mayor a $36k\Omega$. En nuestro circuito, la resistencia $RIOF$ de valor $36k\Omega$ en paralelo a la entrada del amplificador a lazo cerrado que domina la impedancia de entrada final.

3.6. Compensación

Un sistema realimentado puede sufrir de pérdidas de estabilidad debido al desfasaje que se produce en la señal. Si para algunas frecuencias se produce una inversión de fase y la ganancia es unitaria o mayor entonces el sistema pasa a estar realimentado positivamente para dichas frecuencias y oscila o se desestabiliza.

Para analizar la estabilidad del sistema es necesario analizar la ganancia a lazo abierto $T(j\omega)$. Un sistema adquiere la capacidad de oscilar si para una frecuencia dada ω_k se da que $T(j\omega_k) = -1$ y se vuelve inestable si $|T(j\omega_k)| > 1 \wedge \angle T(j\omega_k) < -180^\circ$.

Para esta clase de análisis es útil trazar el bode de la ganancia de lazo e identificar el margen de ganancia (**MG**) y de fase (**MF**), ver figura [3.8].

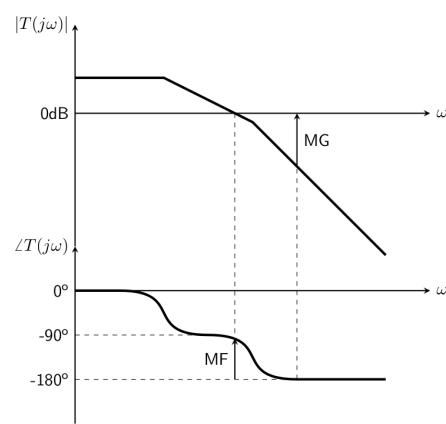


Figura 3.8: Bode - margen de fase y ganancia.

Lo que representan estos margenes es lo siguiente:

Margen de Ganancia

Representa la ganancia que habría que agregar (sumar en caso de dB) para volver inestable al sistema, se mide entonces la diferencia entre 0dB y la ganancia para la frecuencia en que la fase se invierte 180°.

Si $MG \leq 0$ entonces el sistema es inestable.

Margen de Fase

Es el desfasaje que habría que agregar al sistema para volverlo inestable, se mide entonces el ángulo que le resta a la fase por llegar a -180° al tener ganancia unitaria.

Si el margen de fase o ganancia son muy bajos o negativos, es necesario corregir, modificar el circuito para que no haya una inversión de fase en ninguna frecuencias que se amplifique en el lazo, por medio de su compensación.

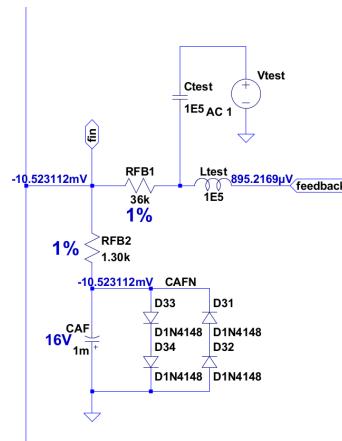


Figura 3.9: Se abre el lazo anulando la realimentación en señal.

Se realizó una simulación a lazo abierto, figura [3.9], abriendo el lazo usando un capacitor y un inductor de valor grande. Luego se midió la salida para obtener una simulación de la ganancia de lazo, figura [3.10].

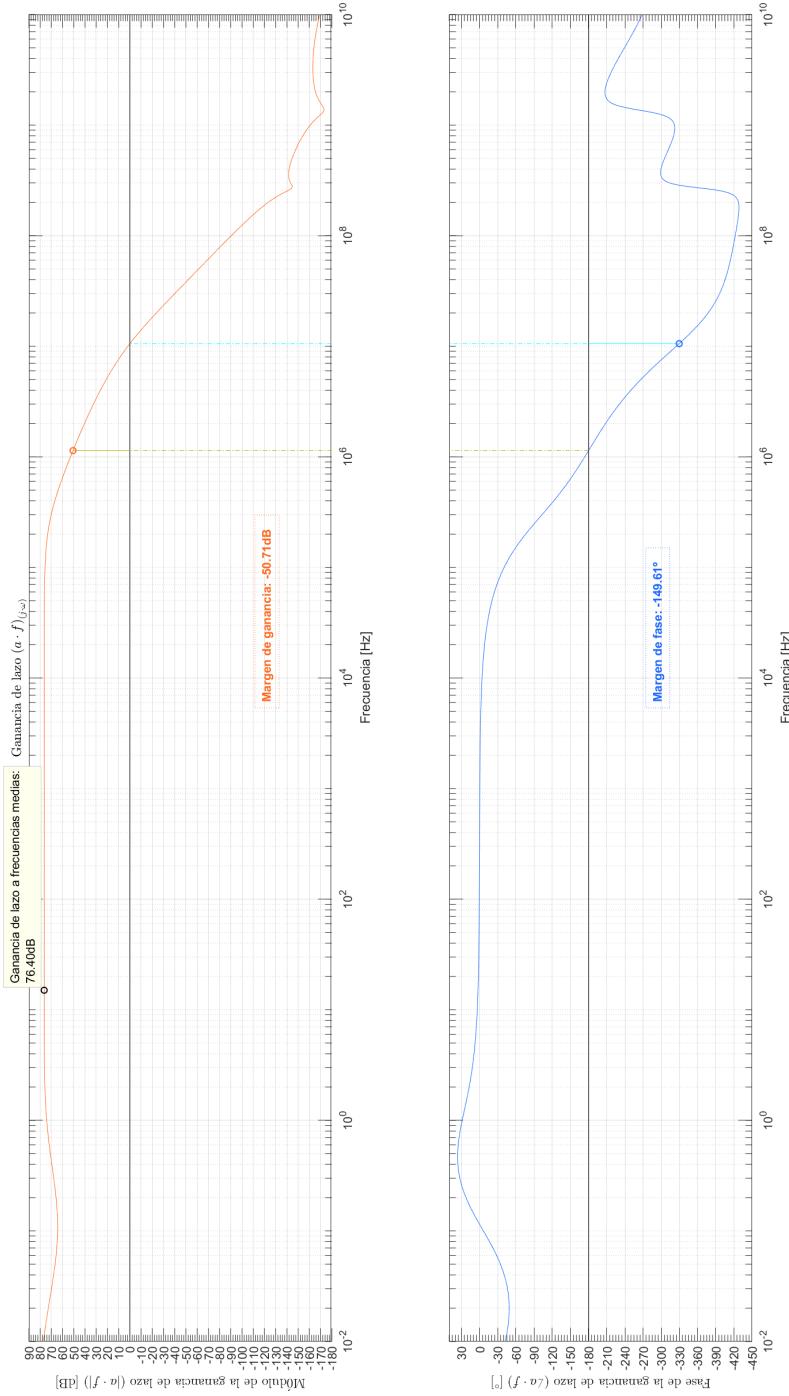


Figura 3.10: Bode de la ganancia de lazo sin compensación.

Se puede apreciar unos márgenes negativos que es necesario compensar. El polo dominante se ubica en aproximadamente 193kHz y corresponde al nodo entre la segunda y tercera etapa: a los colectores de Q_{15} y Q_{16} . El margen de ganancia es de $\approx -50,7\text{dB}$. Desplazando al polo dominante una década y media hacia las frecuencias más bajas (hasta 6,1kHz) se llega a un margen de ganancia nulo, pues un polo hace decaer la ganancia en 20dB por década. Sin embargo, el polo correspondiente a los nodos de entrada de la segunda etapa (bases de Q_{17} y Q_{18}) puede desplazarse a 6,1kHz con capacidades de menor valor, casi sin desplazar el polo en 193kHz, aprovechando el efecto Miller. La resistencia de estos nodos está dominada por la de carga de los pares diferenciales ($RVC_1 + R_{35}$ y $RVC_2 + R_{36}$), de valor $16\text{k}\Omega$. Siendo $\frac{1}{2\pi \cdot R \cdot C}$ la frecuencia del polo, se obtiene $C \approx 100\text{nF}$. Ahora bien, si la capacidad se coloca, en vez de contra masa, contra la salida de la etapa (colectores de Q_{15} y Q_{16}), se puede usar una capacidad desde 50pF, pues la etapa tiene una amplificación de alrededor de 62dB o 1260 veces.

Se partió de ese valor como piso, se fue ajustando por simulación, y finalmente se colocaron capacitores (CC_5 y CC_6) de 100pF. Esto da un margen de fase de 80° y un ancho de banda de $\approx 850\text{kHz}$. Estos capacitores limitan el Slew-Rate, pero se observó que para valores menores a 150pF el Slew-Rate se encontraba por arriba de los $10\text{V}/\mu\text{s}$ necesarios para el ancho de banda de potencia especificado, y para valores menores a 120pF, sobre los $15\text{V}/\mu\text{s}$ especificados. Por otra parte, incrementar este capacitor reduce la ganancia de lazo en frecuencias altas y, por lo tanto, los beneficios que esto trae a la distorsión, resistencias de entrada y salida, etc. Se optó por un valor de capacidades, con margen, que podría eventualmente reducirse.

Luego, se agregó un capacitor en paralelo al realimentador (CC_7) para mejorar levemente estas especificaciones. Esto agrega un cero seguido de un polo. Por ejemplo, para la frecuencia del cero, la fase se incrementa en 45° y la ganancia aumenta sólo en 3dB, por lo que el ancho de banda se verá incrementado levemente y el margen de fase significativamente. Se comprobó simulando que ubicar el cero en 4MHz es un buen valor. Esto se obtiene con una capacidad de 1,2pF. El bode resultante de la ganancia de lazo compensado se muestra en la figura [3.11].

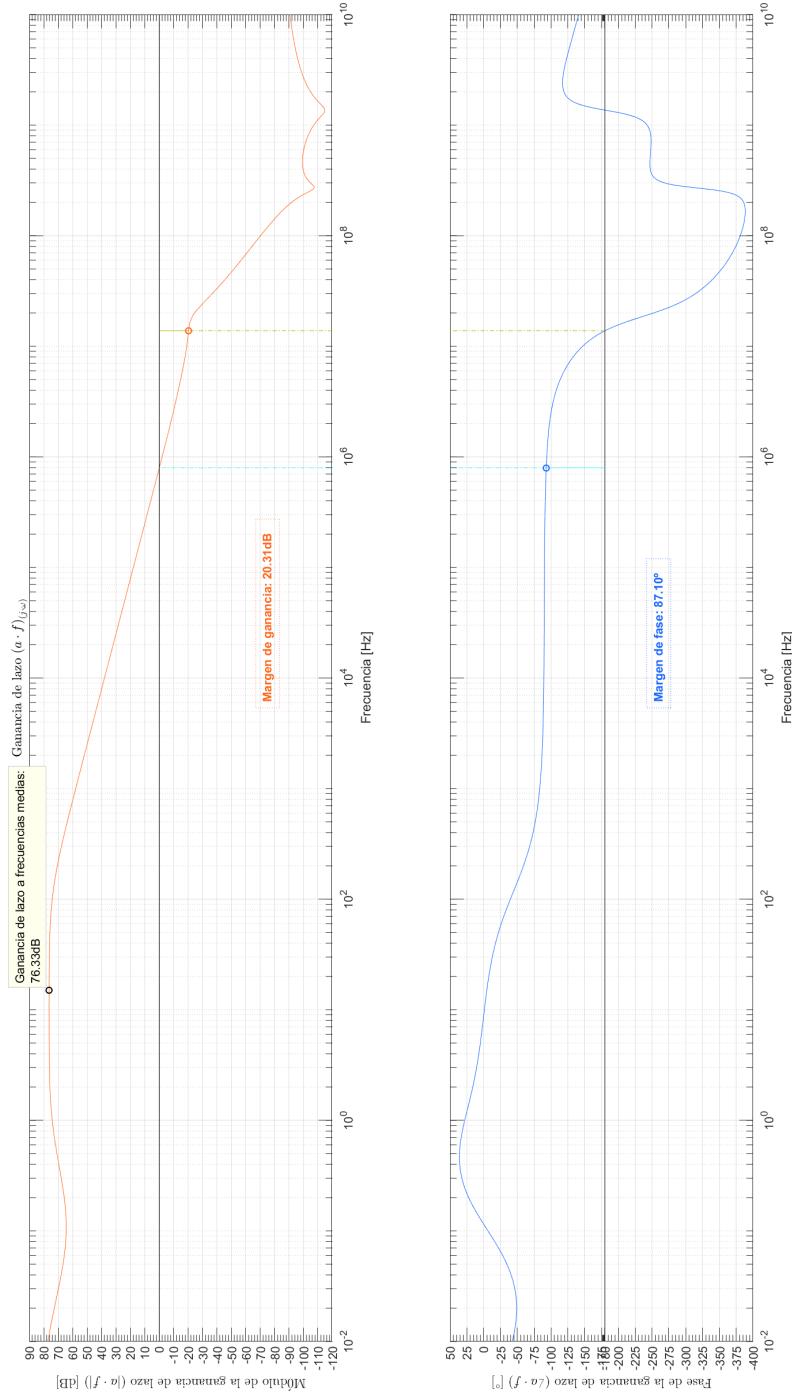


Figura 3.11: Bode de la ganancia de lazo compensado.

El margen de fase resultante es de $87,1^\circ$ y el ancho de banda de 798kHz, con un margen de ganancia de 20,3dB. Se puede ver en la figura [4.4] que la respuesta al escalón no oscila.

Se compensó el comportamiento inductivo del multiplicador de V_{be} en altas frecuencias con el capacitor CC_2 de 6,8nF, su valor se halló simplemente aumentando el valor desde un valor de 1nF hasta lograr una impedancia perfectamente plana en todo el ancho de banda, que luego cae monotonamente.

La última compensación, se trata de la compensación por alinealidad en la respuesta de los transistores de salida durante el switcheo, que puede verse claramente en las simulaciones, y es de alta frecuencia, esto se compensa colocando entre base y colector de los drivers externos los capacitores CC_3 y CC_4 de 68pF, valores hallados en forma empírica, y que probablemente requieran ajuste tras la medición del circuito armado.

Finalmente, con las ganancias a lazo abierto y lazo cerrado, realizamos el siguiente diagrama:

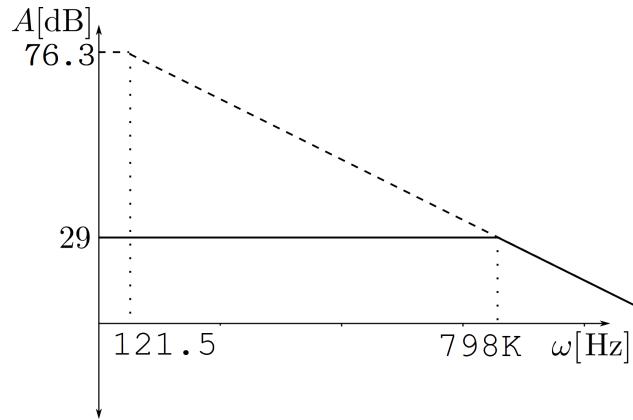


Figura 3.12: Aumento del ancho de banda, debido a la realimentación.

Como se puede ver en el gráfico, la ganancia a lazo abierto, de 76,3dB, tiene un ancho de banda de 121,5Hz, totalmente inútil para un amplificador de audio que trabaja con señales de decenas de kHz. Cuando aplicamos la realimentación, la ganancia cae a 29dB, pero la frecuencia de corte pasa a ser $121,5\text{Hz} \times (1 + a_V \cdot f) = 122 \times 6569 = 798\text{kHz}$.

4. Simulaciones

4.1. THD

A continuación se muestra una tabla con los resultados del análisis de Fourier realizados con el **LTS spice** con el comando **SPICE .four** para entrada de 1,0795V pico (máxima excusión, 60W) a 1kHz.

```
N-Period=4
Fourier components of V(out)
DC component:-0.00609365

Harmonic          Frequency        Fourier      Normalized    Phase       Normalized
Number           [Hz]            Component   Component [degree]  [deg]
1               1.000e+03  3.099e+01  1.000e+00   -0.07      0.00
2               2.000e+03  4.065e-04  1.312e-05   78.76     78.83
3               3.000e+03  7.184e-04  2.318e-05   6.71      6.78
4               4.000e+03  1.003e-04  3.235e-06   93.85     93.93
5               5.000e+03  4.902e-05  1.582e-06  170.68    170.75
6               6.000e+03  4.829e-05  1.558e-06  -59.26    -59.18
7               7.000e+03  1.293e-04  4.172e-06   26.87     26.94
8               8.000e+03  1.457e-05  4.702e-07   104.20    104.28
9               9.000e+03  4.272e-05  1.379e-06   52.46     52.54
10              1.000e+04  3.185e-05  1.028e-06  -70.05    -69.98
11              1.100e+04  4.199e-05  1.355e-06   67.89     67.96
12              1.200e+04  1.060e-05  3.420e-07  -93.43    -93.35
13              1.300e+04  3.133e-05  1.011e-06  136.68    136.75
14              1.400e+04  6.583e-06  2.124e-07  -84.68    -84.61
15              1.500e+04  3.250e-05  1.049e-06  153.79    153.87
16              1.600e+04  5.378e-06  1.735e-07  112.21    112.28
17              1.700e+04  2.309e-05  7.450e-07  156.75    156.83
18              1.800e+04  9.952e-06  3.211e-07  100.07    100.15
19              1.900e+04  9.865e-06  3.183e-07  104.44    104.51
20              2.000e+04  9.097e-06  2.935e-07  94.78     94.86
21              2.100e+04  1.826e-05  5.892e-07  40.20     40.28
22              2.200e+04  4.168e-06  1.345e-07  80.56     80.64
23              2.300e+04  2.337e-05  7.841e-07  31.93     32.01
24              2.400e+04  2.081e-06  6.716e-08  -37.14   -37.07
25              2.500e+04  1.654e-05  5.337e-07  33.14     33.21
26              2.600e+04  4.155e-06  1.341e-07  -67.28   -67.21
27              2.700e+04  2.669e-06  8.613e-08  61.95     62.02
28              2.800e+04  2.670e-06  8.615e-08  -78.19   -78.12
29              2.900e+04  1.103e-05  3.558e-07  -154.32  -154.25
30              3.000e+04  1.358e-06  4.381e-08  133.87   133.94

Total Harmonic Distortion: 0.002742%(0.002742%)
```

La distorsión armónica simulada es de 0,0027% en la máxima excusión a 1kHz. El resultado para una simulación similar a 10kHz se muestra a continuación:

```

N_Period=4
Fourier components of V(out)
DC component:-0.000245223

Harmonic      Frequency      Fourier      Normalized      Phase      Normalized
Number        [Hz]          Component    Component [degree]   Phase [deg]
1             1.000e+04     3.099e+01    1.000e+00      -0.86       0.00
2             2.000e+04     1.108e-03    3.575e-05      -55.41      -54.55
3             3.000e+04     8.353e-04    2.695e-05      29.81       30.67
4             4.000e+04     7.803e-04    2.518e-05      -104.83     -103.97
5             5.000e+04     1.439e-04    4.644e-06      -166.50     -165.64
6             6.000e+04     7.527e-04    2.429e-05      -81.99      -81.13
7             7.000e+04     3.855e-04    1.244e-05      78.77       79.62
8             8.000e+04     4.484e-04    1.447e-05      -108.78     -107.92
9             9.000e+04     9.610e-05    3.101e-06      123.98      124.84
10            1.000e+05     3.037e-04    9.801e-06      -83.93      -83.08
11            1.100e+05     8.219e-05    2.652e-06      78.36       79.22
12            1.200e+05     8.684e-05    2.802e-06      -108.53     -107.67
13            1.300e+05     1.085e-04    3.501e-06      -84.14      -83.29
14            1.400e+05     1.247e-05    4.025e-07      51.25       52.11
15            1.500e+05     1.942e-04    6.267e-06      -76.55      -75.70
16            1.600e+05     5.183e-05    1.672e-06      120.09      120.95
17            1.700e+05     2.269e-04    7.322e-06      -81.74      -80.89
18            1.800e+05     6.231e-05    2.011e-06      175.95      176.80
19            1.900e+05     1.662e-04    5.363e-06      -93.66      -92.81
20            2.000e+05     1.084e-04    3.497e-06      -148.53     -147.67
21            2.100e+05     8.073e-05    2.605e-06      -146.75     -145.89
22            2.200e+05     1.279e-04    4.126e-06      -133.60     -132.74
23            2.300e+05     1.299e-04    4.191e-06      140.65      141.51
24            2.400e+05     8.677e-05    2.800e-06      -118.21     -117.35
25            2.500e+05     1.712e-04    5.526e-06      120.85      121.70
26            2.600e+05     3.611e-05    1.165e-06      -30.78      -29.93
27            2.700e+05     1.205e-04    3.889e-06      108.09      108.95
28            2.800e+05     9.993e-05    3.225e-06      27.09       27.94
29            2.900e+05     1.951e-05    6.297e-07      16.45       17.31
30            3.000e+05     1.251e-04    4.037e-06      39.61       40.47

Total Harmonic Distortion: 0.006334%(0.010095%)

```

La distorsión total es de 0,006%. Haciendo simulaciones similares se obtiene que para 1W (4V) de salida, y 1kHz, la distorsión es de 0,000217% y a 10kHz, 0,002%. En todos los casos se cumple lo especificado.

En la figura [4.1] se muestra la distorsión a 1kHz en función de la potencia de salida y en la figura [4.2] lo mismo, pero a 10kHz.

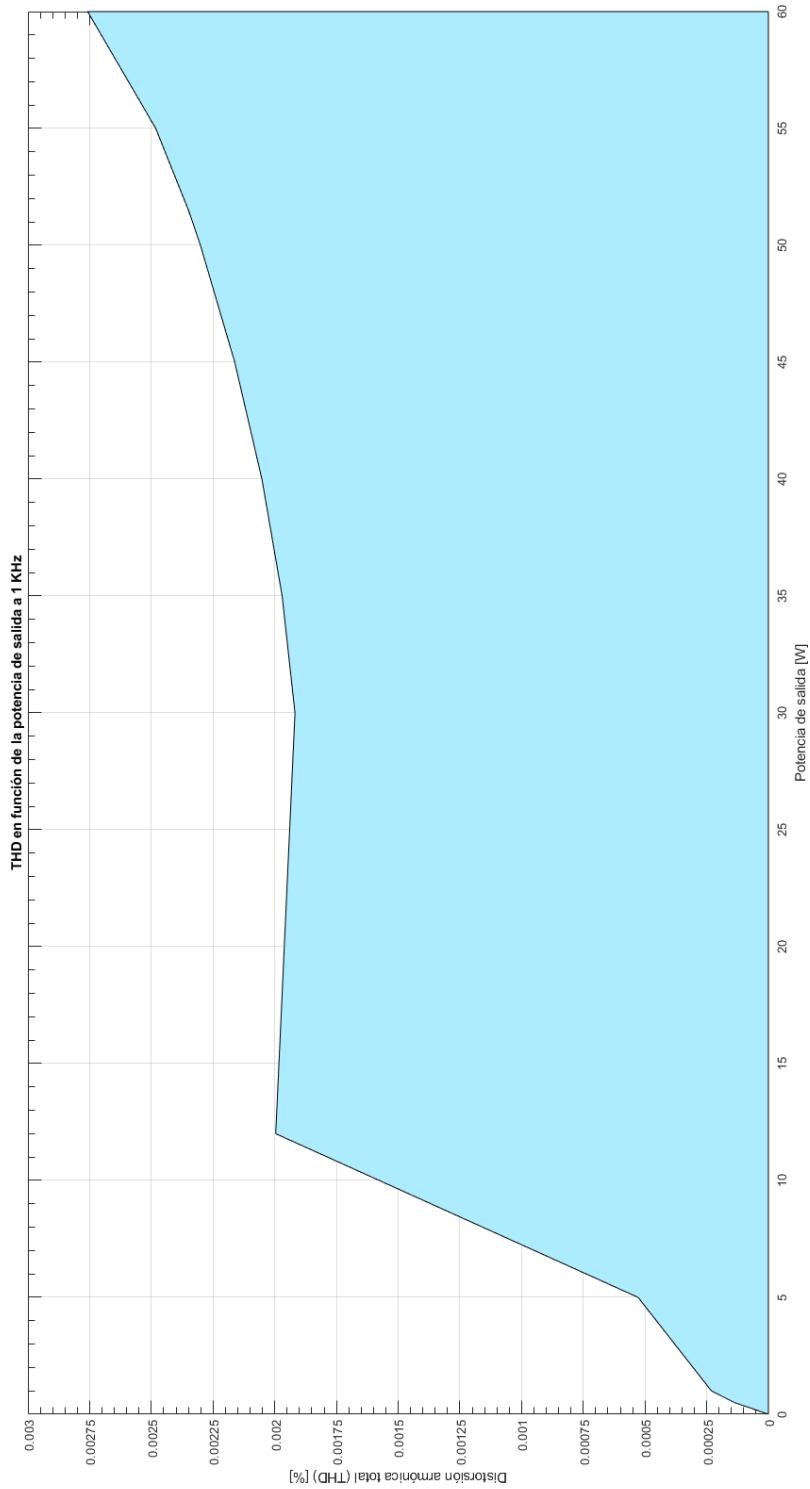


Figura 4.1: Distorsión a 1kHz a distintos valores de potencia de salida.

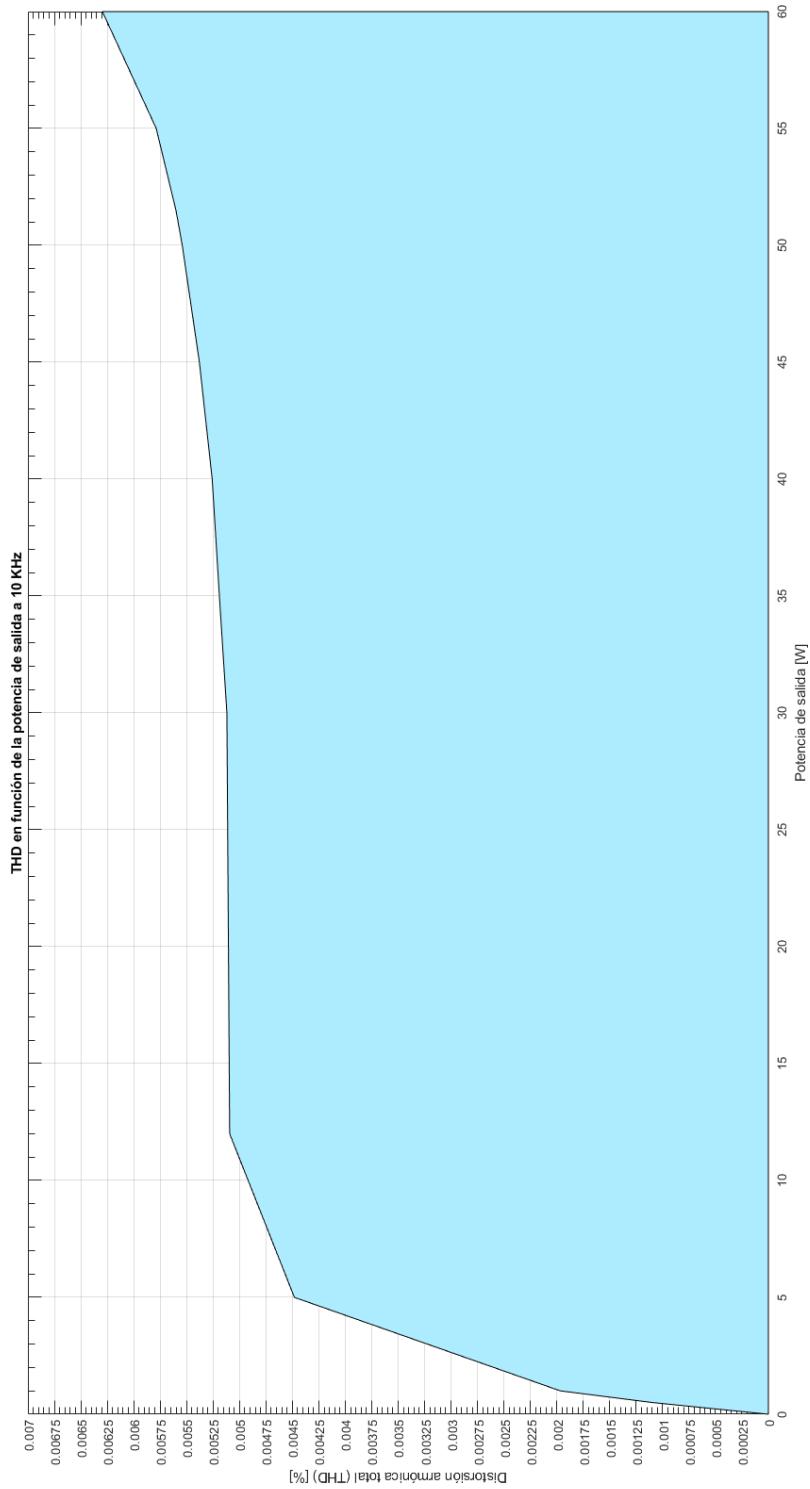


Figura 4.2: Distorsión a 10kHz a distintos valores de potencia de salida.

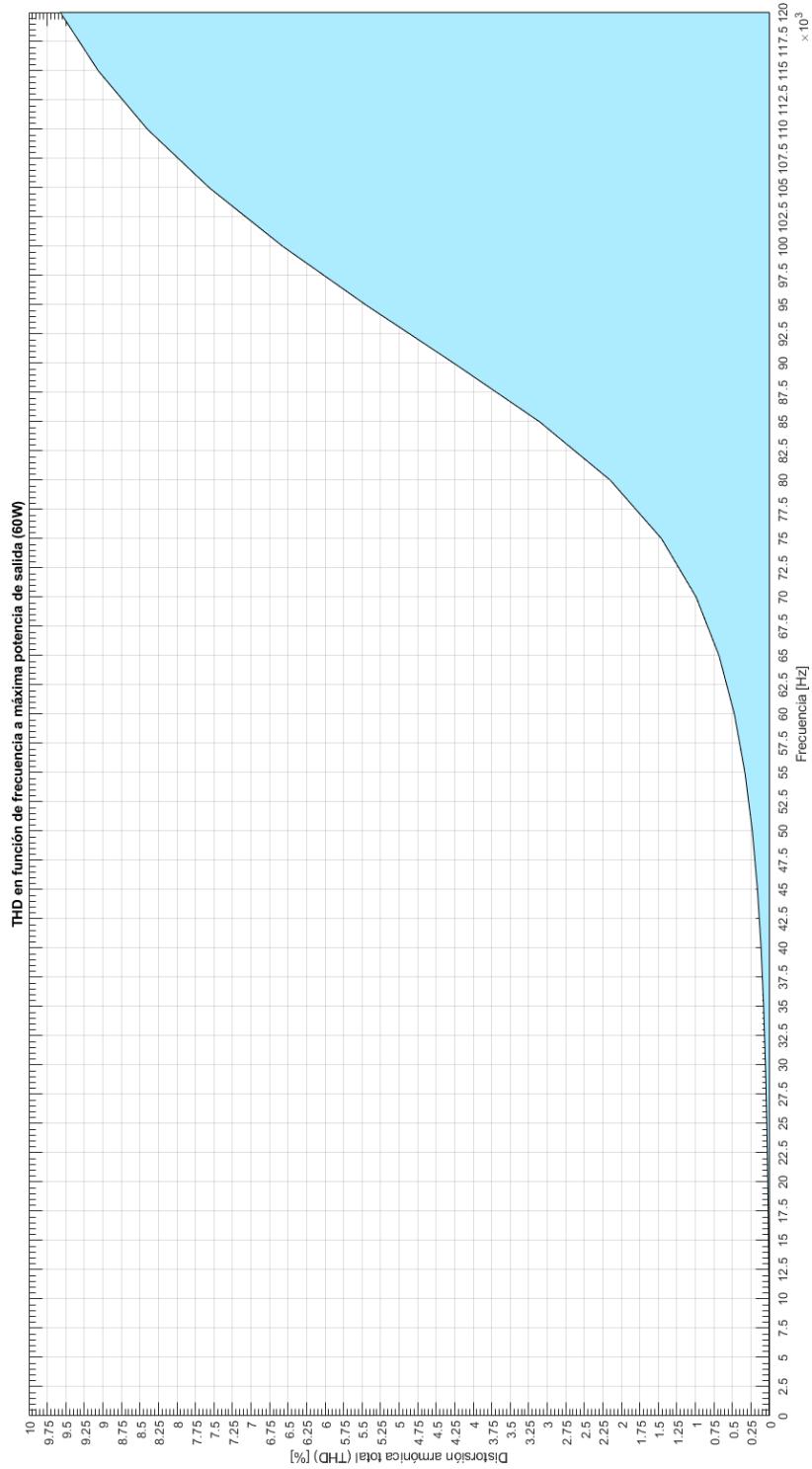


Figura 4.3: Distorsión a máxima excusión en función de la frecuencia.

Los valores de distorsión bajan a potencias menores porque se reduce la distorsión por alinealidad de los transistores: mientras más chica es la excusión, más uno se encuentra en pequeña señal, y más lineal es la relación entre v_{be} e i_c . Por otra parte, se colocó al multiplicador de V_{be} de modo tal que haga funcionar a la etapa de salida en modo A-B, reduciendo la distorsión por crossover, de todos modos se puede observar como a partir de alrededor 12W, que corresponde a una tensión de alrededor de 14V, tensión a la cual se empieza a producir el switcheo de los transistores externos, la distorsión deja de crecer linealmente por pasar a estar dominada por la distorsión de switching en lugar de la de crossover.

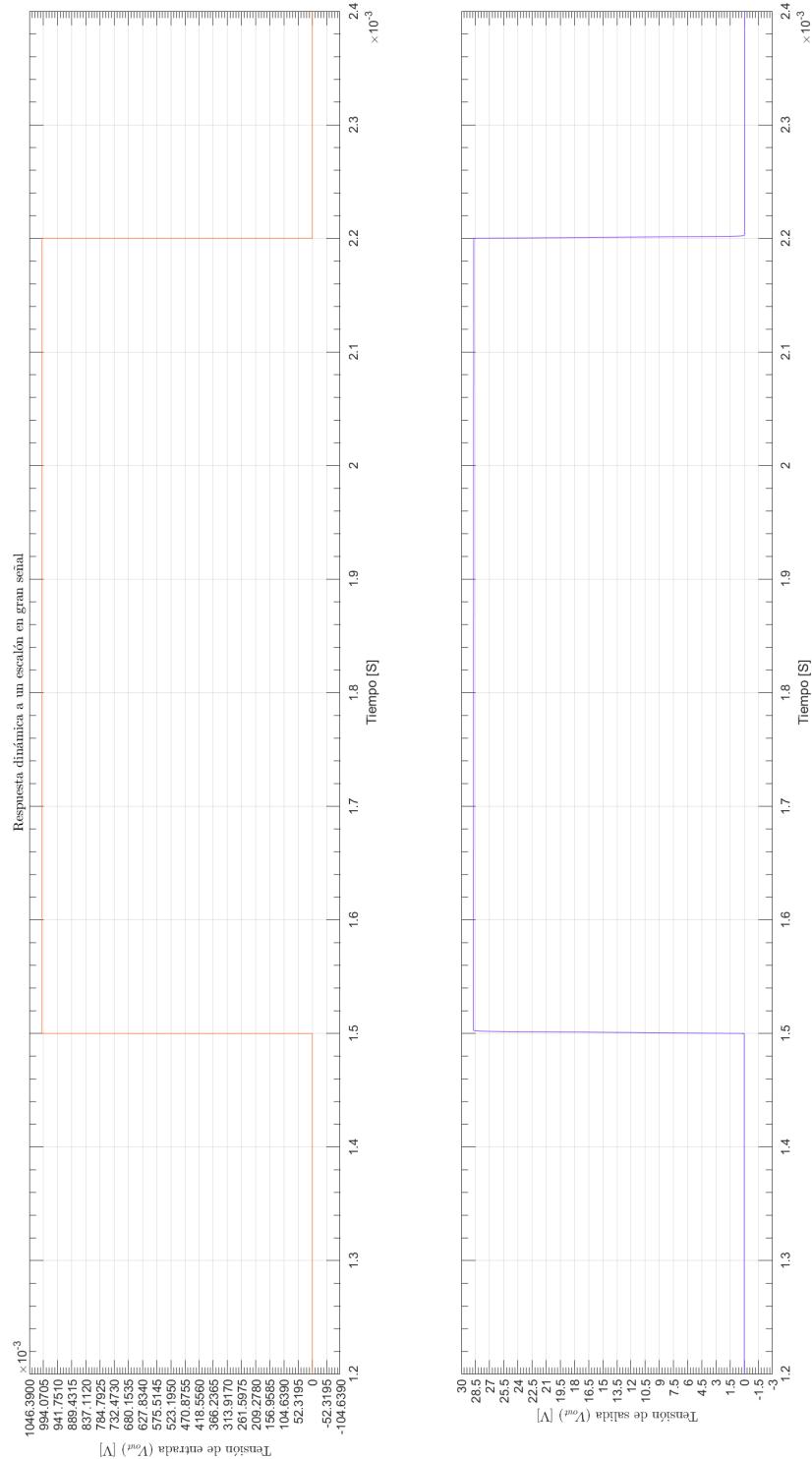
La figura [4.3], por su parte, muestra resultados de simulaciones de distorsión a máxima excusión en función de la frecuencia, puede verse como alrededor de los 80kHz crece mas abruptamente la distorsión, esto se justifica en la próxima sección con el Slew-Rate del circuito, puede verse como la distorsión crece acercándose al 12% que corresponde a una triangular.

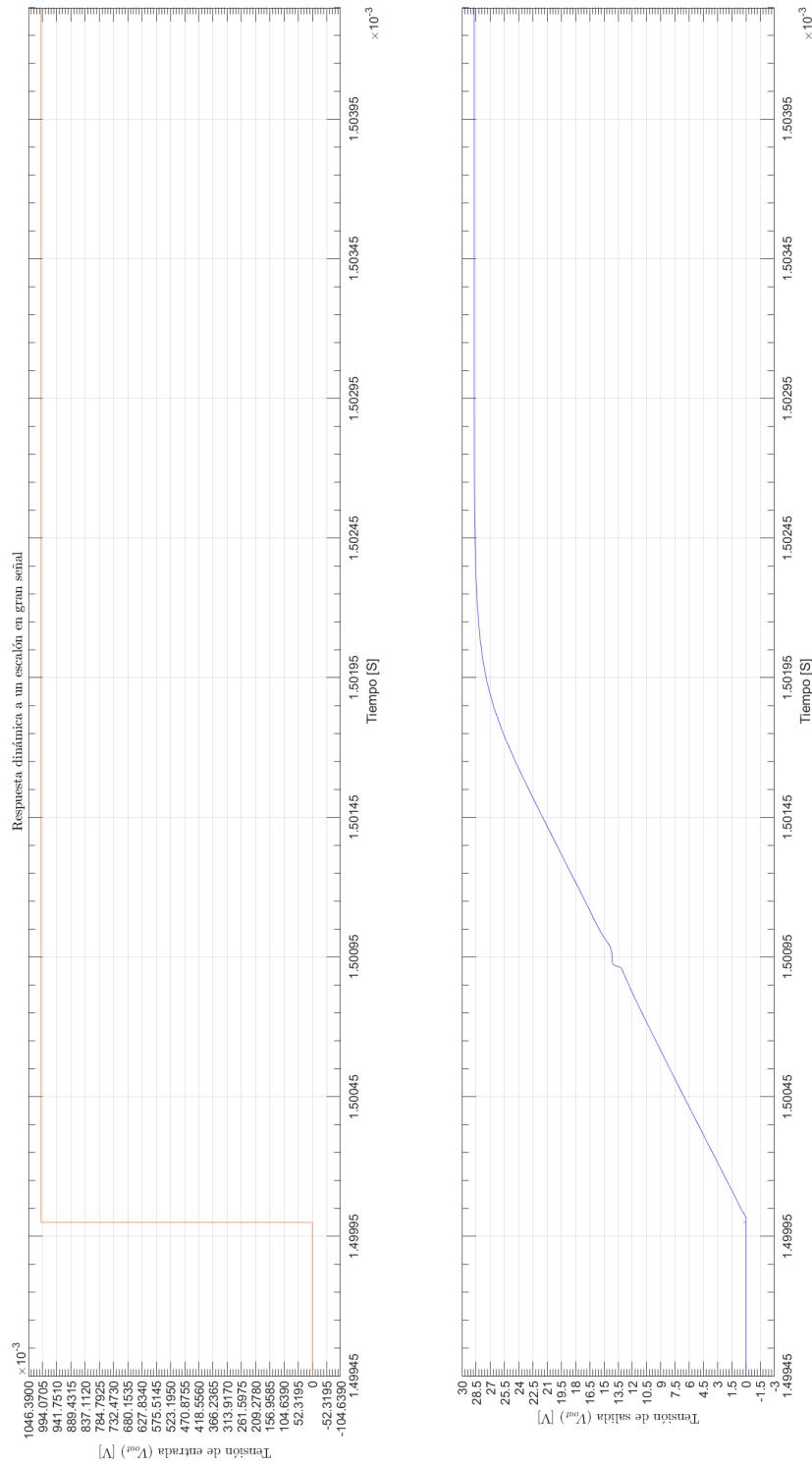
4.2. Slew Rate

Simulando una entrada escalón en el amplificador, se observa la salida de la figura [4.5] en la carga.

La pendiente es de 19,3V/ μ s. Esto es mayor a la máxima pendiente de la salida en máxima potencia a la máxima frecuencia especificada de 30kHz, por lo que el ancho de banda de potencia cumplirá lo especificado (15V/ μ s < 19,3V/ μ s).

Para hallar el SR de manera teórica, partimos de la fuente de corriente de un par diferencial. La corriente que generan es de 3,15mA, es decir, 1,57mA por rama. Si dividimos este valor por el capacitor de Miller (100pF), nos queda un SR de 15,7V/ μ s. Si calculamos el ancho de banda de potencia, con este **SR**, nos da que la frecuencia máxima a la que el amplificador puede desarrollar 31V pico, de salida, es 80,6kHz. A pesar de que el **SR** nos dio menos que en la simulación, el ancho de banda sigue cumpliendo con las especificaciones. Esta diferencia se debe a que la simulación utiliza un método numérico para hallar las respuestas con un error pequeño, y el cálculo teórico se basa en varias hipótesis para simplificar el cálculo. Será importante, a la hora de armar el circuito, que éste funcione dentro de los parámetros esperados.

**Figura 4.4:** Respuesta frente a una entrada escalón.



4.3. CMRR - factor de rechazo de modo común

Un amplificador diferencial ideal debería amplificar, como dice su nombre, las diferencias entre las tensiones de entrada, e ignorar la tensión media. El parámetro **CMRR** mide cuan bien esto se logra, como el cociente entre la ganancia de modo común A_c y la de modo diferencial A_d .

4.3.1. Modo común

Se simuló la primera etapa frente una entrada común de 100mV con el circuito de la figura [4.6] y se obtuvo la ganancia de modo común. Para cada par diferencial del doble par, cuyas salidas son o_1 y o_2 en la figura [4.6], se obtuvieron $A_d^{NPN} = \frac{V_{o_1}}{100\text{mV}}$ y $A_d^{PNP} = \frac{V_{o_2}}{100\text{mV}}$ como la relación entre la salida (pico) correspondiente al par y la entrada común (pico).

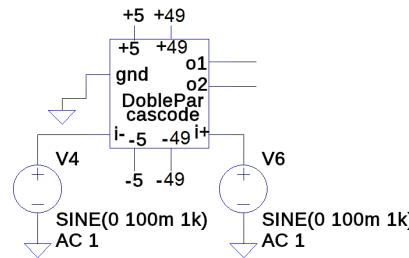


Figura 4.6: Circuito usado para simular la amplificación de modo común.

4.3.2. Modo diferencial

La amplificación de modo diferencial se obtuvo de forma análoga, con las fuentes de la figura [4.6] conectadas a contrafase. Las tensiones pico de las fuentes usadas fueron de sólo 1mV porque se esperaba una amplificación mucho mayor que para el caso de modo común. Es decir, $A_d^{NPN} = \frac{V_{o_1}}{2\text{mV}}$, y $A_d^{PNP} = \frac{V_{o_2}}{2\text{mV}}$.

4.3.3. CMRR

El factor de rechazo es simplemente $\frac{A_d}{A_c}$, en valor absoluto.

	NPN	PNP
A_c	-36,23dB	-41,32dB
A_d	35,37dB	36,49dB
RRMC	71,6dB	77,81dB

4.4. PSRR - factor de rechazo del ripple la fuente

El **PSRR** se define como la relación entre el cambio en la tensión de alimentación y el cambio equivalente en la tensión de entrada. Idealmente este valor sería infinito.

Simulando utilizando una fuente en forma de rampa invertida de 100Hz en serie con las fuentes de alimentación, pasivando la fuente de entrada y midiendo la amplitud de la señal de 100Hz y sus armónicos resultantes a la salida se obtuvo:

$$PSRR := \frac{\Delta V_{\text{fuente}}}{\Delta V_o} \cdot A_d = 111,3 \text{dB}$$

Es decir, con la ganancia de 29dB de este circuito, por cada 1V de ripple en la fuente de +49V se superponen aproximadamente 76,74µV en la salida ($111,3 \text{dB} - 29 \text{dB} = 82,3 \text{dB}$ y $10^{\frac{-82,3}{20}} \cong 76,74 \mu\text{V}$)

También, se simuló y verificó el comportamiento correcto del amplificador para una posible caída de tensión en los rieles del 20%: sólo se reduce la máxima excursión, de donde se tomó la máxima excursión de 31V en esta, la peor condición.

En nuestro caso, al utilizarse una fuente de alimentación no regulada, es realmente importante el rechazo de ripple de la fuente, ya que este es del orden de 2,5V de pico cuando el amplificador está funcionando a máxima potencia, según lo simulado.

4.5. Resistencia de salida

Para la simulación de la resistencia de salida, se colocó una fuente de corriente alterna de 1A a la salida, con la entrada pasivada, y se capturó la tensión de salida en un barrido de frecuencias.

El circuito simulado, con una caja representando el amplificador, se observa en la figura [4.7].

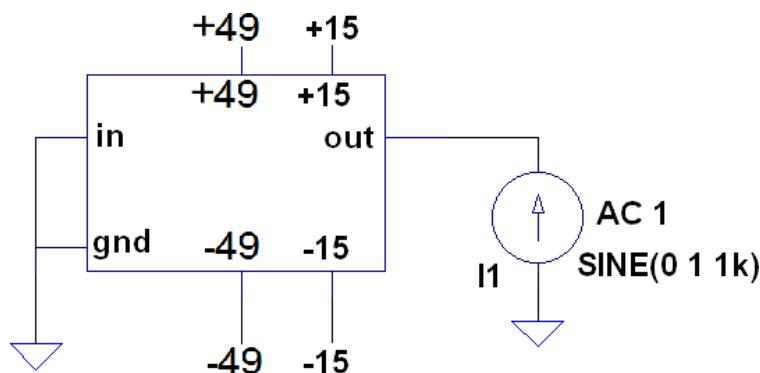


Figura 4.7: Circuito usado para simular la resistencia de salida. La caja representa al amplificador.

Los resultados del barrido se muestran en la figura [4.8], y un zoom en las frecuencias de trabajo especificadas en la figura [4.9].

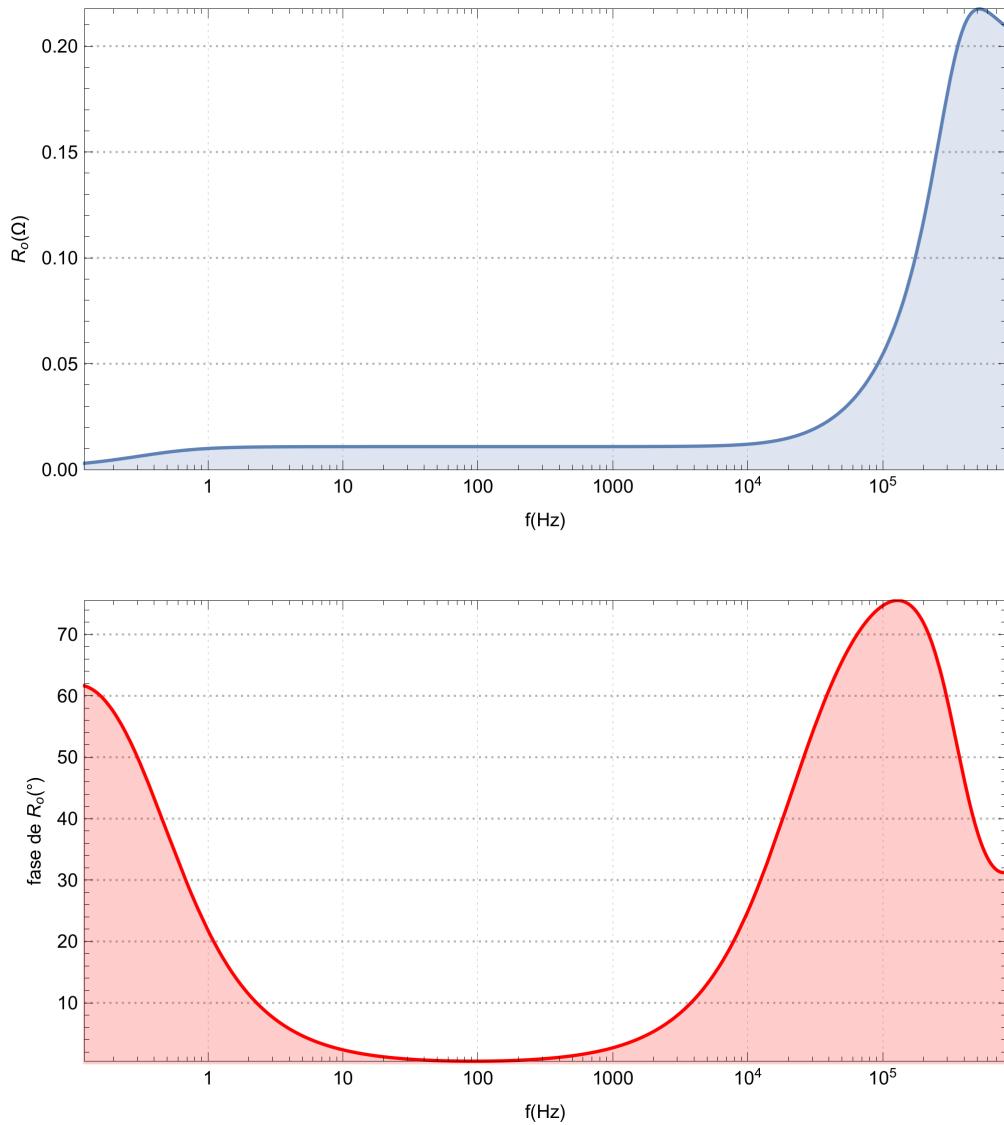


Figura 4.8: Barrido en frecuencias de la impedancia de salida simulada.

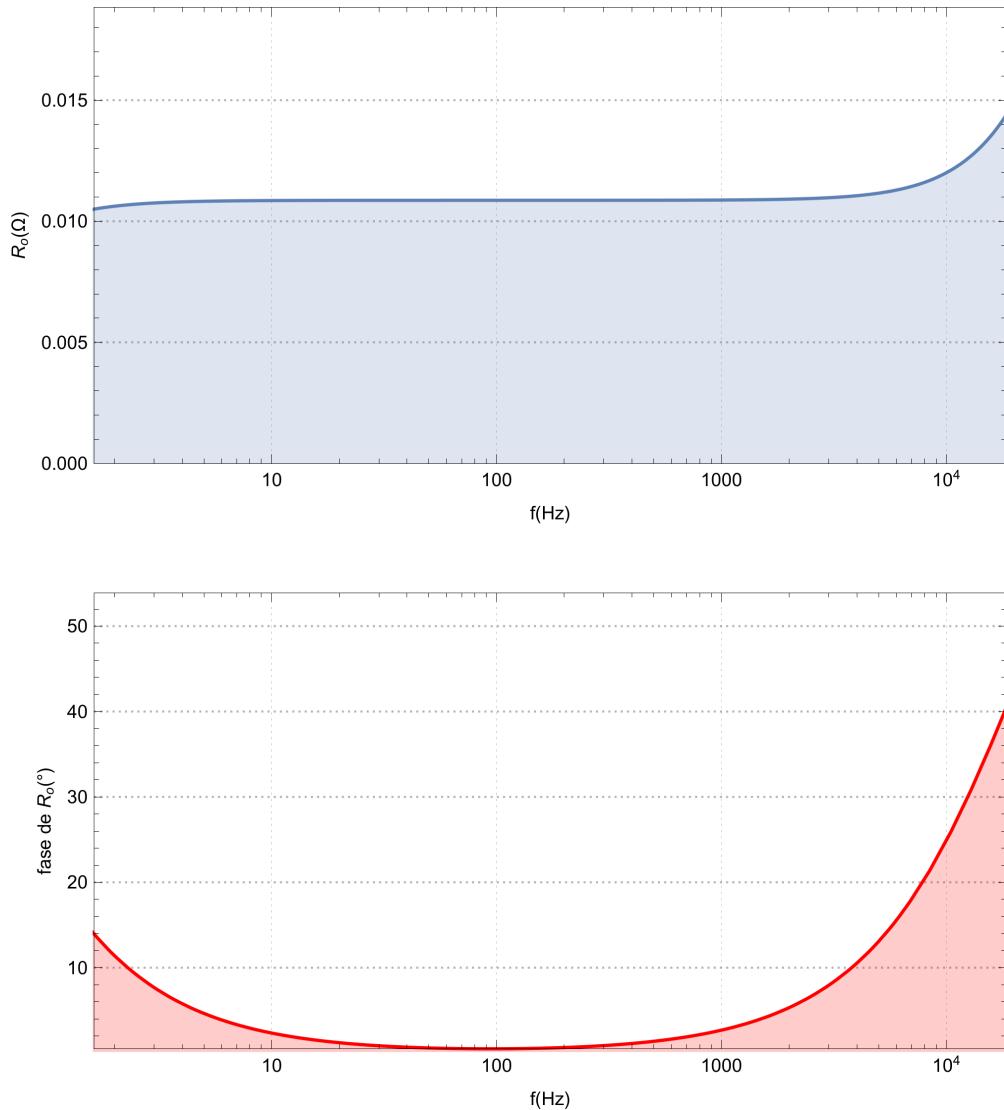


Figura 4.9: Barrido en frecuencias de la impedancia de salida simulada para frecuencias hasta 30kHz.

El módulo de la media geométrica de la impedancia de salida para las frecuencias entre 1Hz – 30kHz es $11m\Omega$.

$$R_{out} \cong 11m\Omega$$

La realimentación global serie-paralelo logra que la resistencia de salida sea muy baja, tanto que las resistencias parásitas pueden terminar siendo un factor no despreciable. Si se desprecian, el factor de amortiguamiento es $DP \cong 730$, cumpliendo cómodamente con lo especificado.

4.6. Resistencia de entrada

Se simuló en el cociente entre la tensión de entrada y la corriente entregadas por el generador, para un barrido de frecuencias. El módulo de la media geométrica de la impedancia para las frecuencias entre 1Hz – 30kHz es $35,28\text{k}\Omega$.

$$R_{in} = 35,28\text{k}\Omega$$

En la figura [4.10] se puede ver un barrido en frecuencias de la resistencia de entrada para pequeña señal.

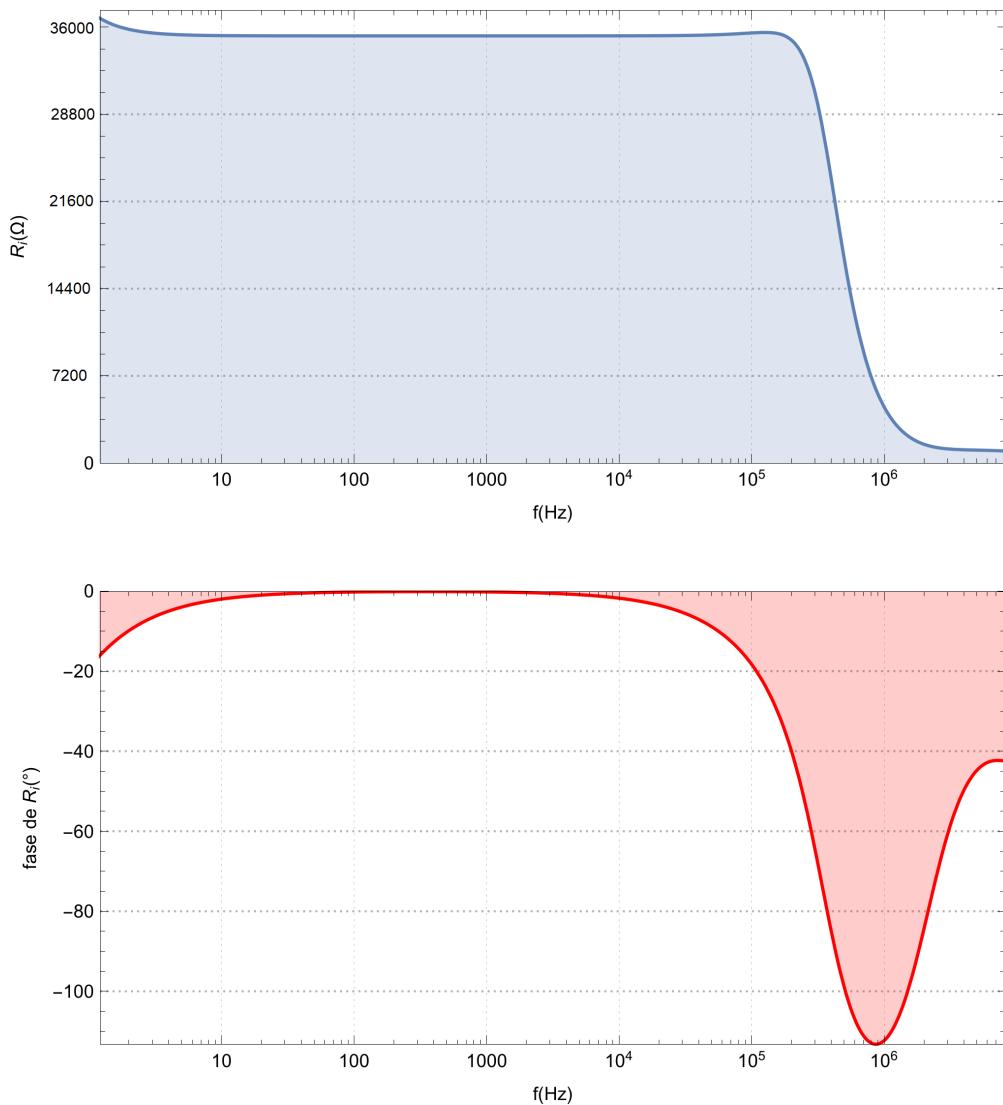


Figura 4.10: Resistencia de entrada. Cociente entre tensión y corriente de entrada simuladas para pequeña señal de distintas frecuencias.

4.7. Ancho de banda de potencia

En la figura [4.11] se puede observar el gráfico de módulo y fase del ancho de banda de potencia para el amplificador, el ancho de banda obtenido es de 798,45kHz, pero como sabemos mucho antes que esta frecuencia, a 80,6kHz, el Slew-Rate limitará la excusión del amplificador, no obstante se cumple holgadamente con la especificación establecida de 30kHz de ancho de banda de potencia, aún teniendo en cuenta la limitación por Slew-Rate.

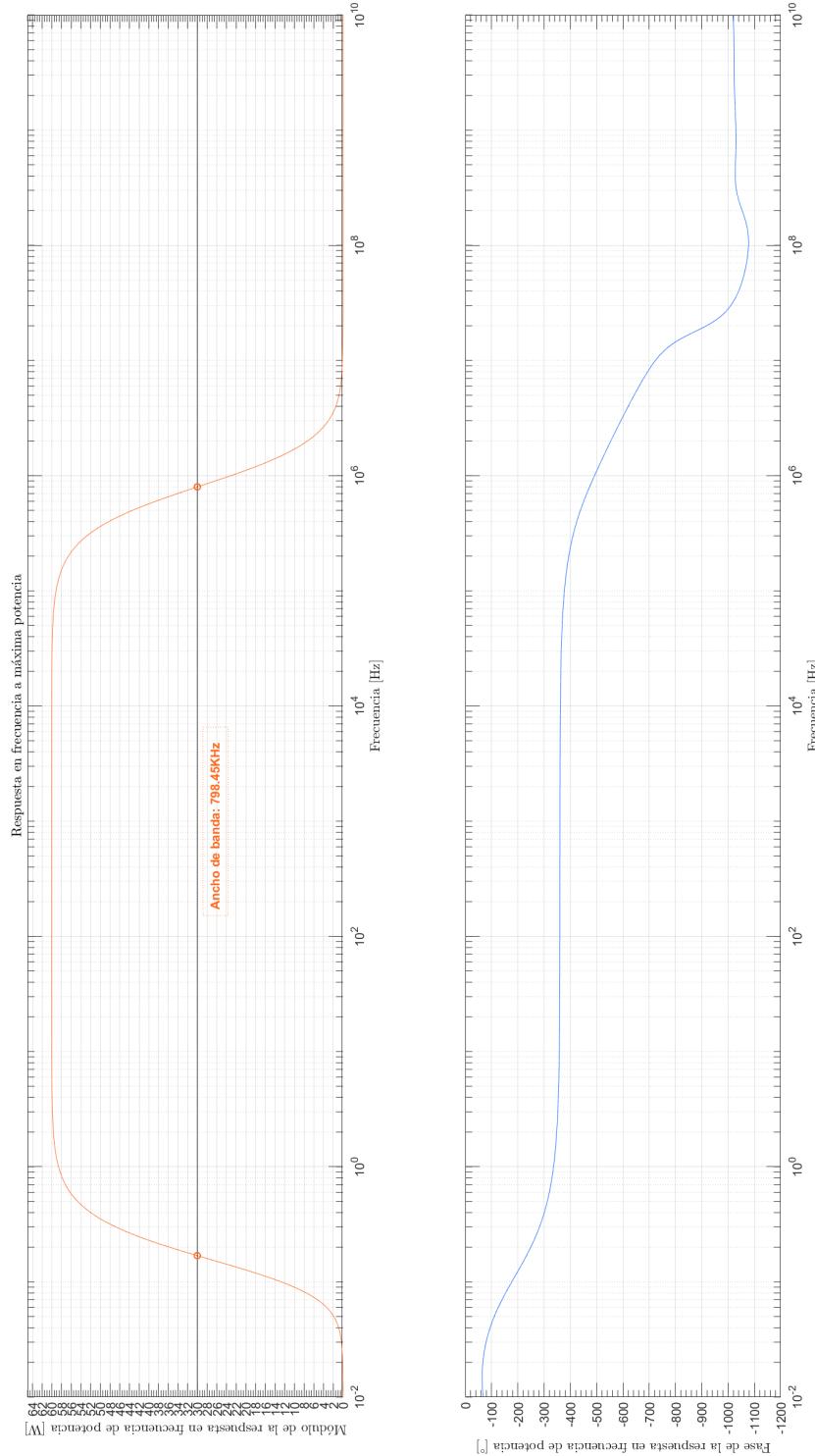


Figura 4.11: Ancho de banda de potencia.

5. Alimentación

Se colocaron capacidores (C4,C5,C6 y C7) en los 4 rieles de alimentación ($\pm 50V$ y $\pm 15V$) para filtrar ruidos en los rieles de alimentación.

En nuestro proyecto como ya acordamos vamos a utilizar la fuente comutada realizada por el grupo Arias-Caracciolo-Luna. A continuación se detallan las especificaciones basicas de la misma:

- Tensión nominal de entrada: 220 V AC rms
- Rango de tension de entrada: 176 V AC rms – 242 V AC rms
- Rango de frecuencia de entrada: 45 Hz – 60 Hz
- Tension nominal de salida: $V_{OUT} = \pm 15V$, $V_{OUT} = \pm 50V$
- Rango de corriente de carga: Para $\pm 50 V$: 2,5 A , Para $\pm 15 V$: 0,7 A , Minima corriente de carga: 0 A
- Potencia de entrada sin carga: Menor a 5 W para todo el rango de tensión de entrada.
- Potencia de salida: Para el limite superior de la corriente de carga es 125 W
- Rendimiento: Mayor a 70 %
- Protecciones de sobretensión a $\pm 60 V$ (para las salidas de $\pm 50 V$) y a $\pm 20 V$ (paralas salidas de $\pm 15 V$)
- Protección de cortocircuito: Clamp.
- Factor de rizado (ripple): Para todas las salidas es menor a 300 mV p-p
- Estabilidad a largo plazo: Tensión de ruido a la salida: Menor al 5 %
- Tipo/s de conector/es de salida: Banana hembra de 4 mm (tipo RC170). Fijados al chasis de montaje

6. Diseño de PCB

6.1. Lista de materiales

Descripción	Nombre	Referencia	Potencia	Cantidad	Tipo	Tensión	Tensión de zener	Tolerancia
TERM-BLK HEADER ASSY90 2P - serie 282822 - 5.00mm	B1	C-282822-2-C		1				
TERM-BLK HEADER ASSY90 2P - serie 282822 - 5.00mm	B2	C-282822-2-C		1				
TERM-BLK HEADER ASSY90 2P - serie 282822 - 5.00mm	B3	C-282822-2-C		1				
TERM-BLK HEADER ASSY90 2P - serie 282822 - 5.00mm	B4	C-282822-2-C		1				
TE Barrier Terminal Block, 2P	BO	SPCV-02-000		1		600V		
Aluminum Electrolytic Capacitor 1000uF 16V 20% 105°	CAF	AL_Elect. 1000u 16V 20% 105°		1		16V		20%
Aluminum Electrolytic Capacitor 47uF 35V 20% 105°	CAI	AL_Elect. 47u 35V 20% 105°		1		35V		20%
Ceramic Capacitor 10uF 50V 10%	CCI	Cer. 10n 50V 10%		1		50V		10%
Ceramic Capacitor 6.8uF 50V 10%	CC2	Cer. 6.8n 50V 10%		1		50V		10%
Ceramic Capacitor 6.8pF 50V 10%	CC3, CC4	Cer. 68p 50V 10%		2		50V		10%
Ceramic Capacitor 100pF 50V 10%	CC5, CC6	Cer. 100p 50V 10%		2		50V		10%
Ceramic Capacitor 1.2pF 50V 10%	CC7	Cer. 1.2p 50V 10%		1		50V		10%
Aluminum Electrolytic Capacitor 220uF 16V 20% 85°	CCF32, CF31	AL_Elect. 220u 16V 20% 85°		2		16V		20%
Aluminum Electrolytic Capacitor 470uF 100V 20% 105°	CF1, CF2, CF3, CF4, CF9, CF10	AL_Elect. 470u 100V 20% 105°		6		100V		20%
Polyester Capacitor 100nF 100V 10%	CF5, CF6, CF7, CF8, CF11, CF12	Poly. 100n 100V 10%		6		100V		10%
Ceramic Capacitor 100nF 50V 10%	CF33, CF34, CF37, CF38	Cer. 100n 50V 10%		4		50V		10%
Aluminum Electrolytic Capacitor 220uF 35V 20% 105°	CF35, CF36	AL_Elect. 220u 35V 20% 105°		2		35V		20%
Tantalum Electrolytic Capacitor 1pF 25V 10%	CF39, CF40	Tant. Elect. 1u 25V 10%		2		25V		10%
45 V, 16 A SWITCHMODE(TM) Schottky Power Rectifier, 2-Pin TO-220, Pb-Free, Tube	D1, D2	MBR1645		2				
FAST SWITCHING DIODE	D3, D4	IN4148	400mW	2				
FAST SWITCHING DIODE	D5, D6, D31, D32, D33, D34	IN4148	400mW	6				
SURFACE MOUNT FAST SWITCHING DIODE	D35, D36, D37, D38	IN4148W	400mW	4				
Zener Diode, 2.7V, 500mW	DZ1, DZ2	IN4371A	500mW	2		2.7V		
Zener Diode, 2V, 500mW	DZ3, DZ4	IN4370	500mW	2		22V		
5V fixed regulator - 100mA	IC1	LM78L05		1				
5V fixed regulator - 100mA	IC2	LM79L05		1				
Conn Phono Jack F 3 POS Solder RA Thru-Hole 3 Terminal 1 Port	J1	P1RAN1XU01X		1				
Jumpers Wire	JU1, JU2, JU3, JU4	Jumpers 3pin		4				
Jumpers Wire	JU5	Jumpers		1				
Typical LED (GREEN)	LED1	LED (GREEN)		1				
Typical LED (YELLOW)	LED2	LED (YELLOW)		1				
Transistor GP BJT NPN 230V 15A 3-Pin_3+Tab_ TO-264 Tube	Q1, Q3, Q5	2SC5200	150W	3				
Transistor GP BJT PNP 230V 15A 3-Pin_3+Tab_ TO-264 Tube	Q2, Q4, Q6	2SA1943	150W	3				
Plastic Medium-Power NPN Silicon Transistor, 300 VOLTS, 0.5 AMPERE, 20 WATTS	Q7, Q9, Q15, Q16, Q19	MJE340G	20W	5				
Plastic Medium-Power NPN Silicon Transistor, 300 VOLTS, 0.5 AMPERE, 20 WATTS	Q8, Q10, Q20	MJE350G	20W	3				
High Voltage NPN Bipolar Transistor	Q21	MPSA32	20W	2				
High Voltage NPN Bipolar Transistor	Q32	MPSA32	20W	2				
High Voltage NPN Bipolar Transistor	Q31, Q35, Q37	MMBTA42	20W	3				
High Voltage NPN Bipolar Transistor	Q32, Q36, Q38	MMBTQ42	20W	3				
Quad NPN and PNP General-Purpose Amplifier	Q4	MMPCQ6700	180mW	1				
Resistor 0.1Ω 2W 5%	R1, R2, R5, R6	Resistor 0.1 2W 5%	2W	4		(TH) Carbon film		5%
Cemented resistor 0.15Ω 5% 5W	R3, R4	Cemented resistor 0.15 5W 5%	5W	2		(TH) Wired cemented		5%
Resistor 68Ω 1W 1%	R7, R8	Resistor 68 1W 1%	1/4W	2		(TH) Metal film		1%
Resistor 100Ω 1/4W 1%	R9, R10, R11, R12, R17, R18	Resistor 100 1/4W 1%	1/4W	6		(TH) Metal film		1%
Resistor 22KΩ 1/4W 1%	R13, R14	Resistor 22K 1/4W 1%	1/4W	2		(TH) Metal film		1%
Resistor 30Ω 1/4W 1%	R15, R16	Resistor 30 1/4W 1%	1/4W	2		(TH) Metal film		1%
Resistor 360Ω 1/4W 1%	R19, R20	Resistor 360 1/4W 1%	1/4W	2		(TH) Metal film		1%
Resistor 4.7KΩ 1/4W 1%	R21, R22	Resistor 4.7K 1/4W 1%	1/4W	2		(TH) Metal film		1%
Resistor 10KΩ 1/4W 1%	R23	Resistor 10K 1/4W 1%	1/4W	2		(TH) Metal film		1%
Resistor 16KΩ 1/4W 1%	R24	Resistor 16K 1/4W 1%	1/4W	2		(TH) Metal film		1%
RES 150R SM0805 YAGEO RC_L	R33, R34	RC0805FR-07150RL		3				
Resistor 15KΩ 1/4W 1%	R35, R36	Resistor 15K 1/4W 1%	1/4W	2		(TH) Metal film		1%
RES 1K 2SM0603 YAGEO RC_L	R37, R38	RC0603FR-071K2L		2				
Resistor 15Ω 1/4W 1%	RF1, RF2	Resistor 15 1/4W 1%	1/4W	2		(TH) Metal film		1%
Resistor 36KΩ 1/4W 1%	RFB1, RIOF	Resistor 36K 1/4W 1%	1/4W	2		(TH) Metal film		1%
Resistor 1.3KΩ 1/4W 1%	RFB2	Resistor 1.3K 1/4W 1%	1/4W	1		(TH) Metal film		1%
Resistor 20KΩ 1W 5%	RL1	Resistor 20K 1W 5%	1W	1		(TH) Carbon film		5%
Resistor 5.6KΩ 1.2W 5%	RL2	Resistor 5.6K 1.2W 5%	1.2W	1		(TH) Metal film		5%
Resistor 1.2KΩ 1.4W 1%	RMVM	Resistor 1.2K 1.4W 1%	1/4W	1		(TH) Metal film		1%
Trimmer Vertical 100 500mW 25-turn	RV1, RV2	RES TRIMMER 100 25T VERTICAL		2				±10%
Trimmer Vertical 2K 500mW 25-turn	RVC1, RVC2	RES TRIMMER 2K 25T VERTICAL		2				±10%
Trimmer Vertical 1K 500mW 25-turn	RVD1	RES TRIMMER 1K 25T VERTICAL		1				±10%
Test Point PCB mount Multi-purpose Black	TP-PV, TP-LV, TP-RIV, TP+, TP2, TP3, TP5, TP6, TP7, TP8, TP9, TP10, TP11, TP12, TPGND, TPIN, TPOUT	TESTPOINT_THT		21				
Jumpers Wire	TPMIDMV	Pin		1				

Cuadro 6.1.1: Lista de materiales

6.2. Consideraciones al diseñar los PCB

6.2.1. Fuentes de Ruido Intrínsecas

En esta subsección se analizan los distintos tipos de ruidos presentes en el amplificador.

6.2.1.1. Ruido Térmico o Ruido Johnson Es producido por los movimientos aleatorios de los electrones en componentes que disipan energía (resistores, transistores).

6.2.1.2. Ruido Shot Es el ruido asociado a la circulación de corriente a través de una barrera de potencial y es proporcional a la corriente en continua que circula. Por lo tanto, para reducir este tipo de

ruido es necesario mantener la corriente DC lo más pequeña posible. Por esto se intento bajar las corrientes de polarización del par diferencial.

6.2.1.3. Ruido Popcorn Asociado a deficiencias en el proceso de fabricación de semiconductores. En el diseño no se tiene control sobre este tipo de ruido.

6.2.2. Capacitancias parásitas

Por pistas y planos en PCB:

A la hora de diseñar el PCB se tuvieron en cuenta muchas de las técnicas para reducir estos efectos. Sin embargo estos efectos no se pueden evitar al 100 %. Esos efectos deberían ser mínimos; los mismos van a ser medidos y compensados en el momento de tener el PCB fabricado.

6.3. PCB del amplificador

En las siguientes páginas se incluyen las capas del PCB del amplificador diseñado en Altium.

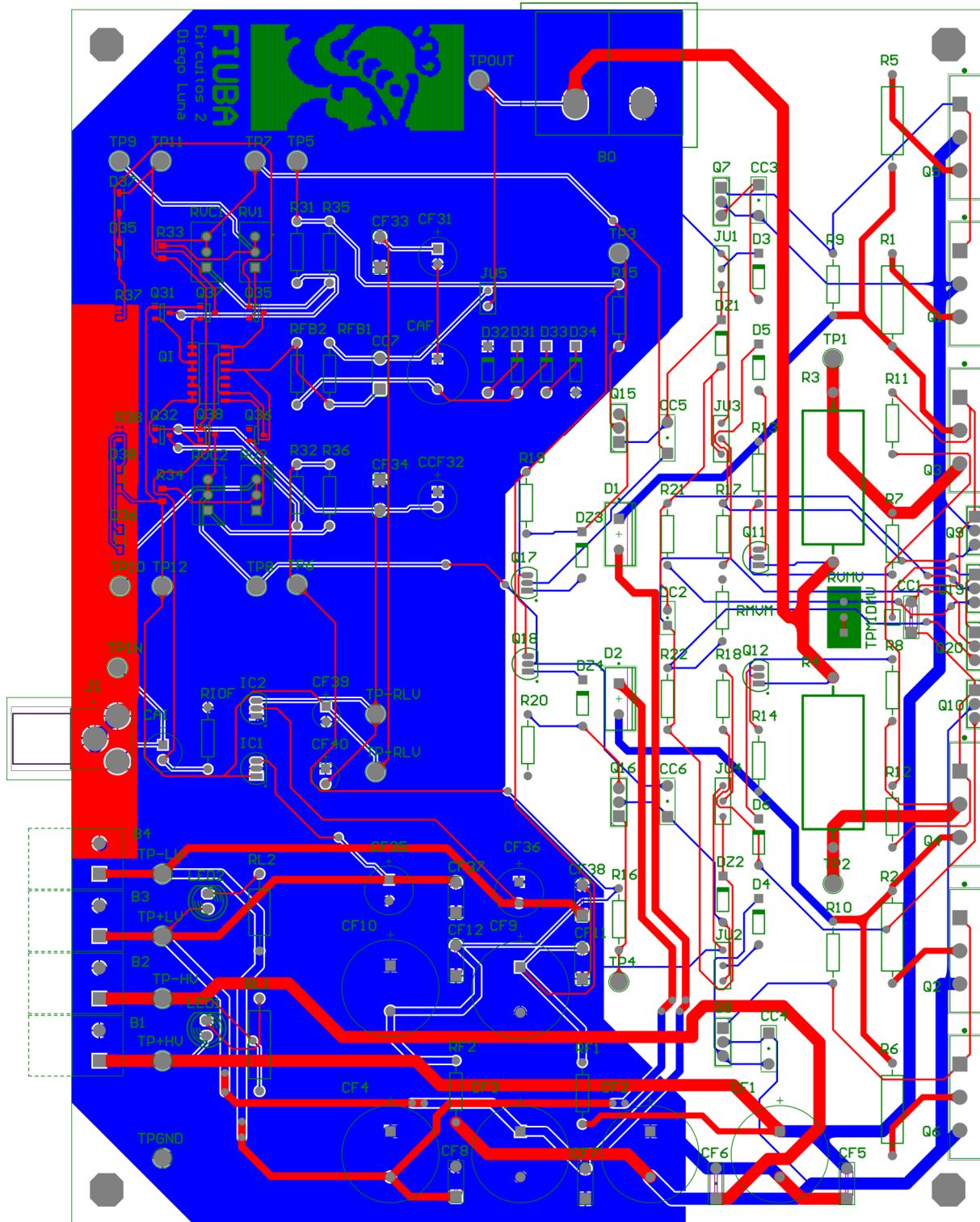


Figura 6.1: PCB del amplificador diseñado en Altium, todas las capas

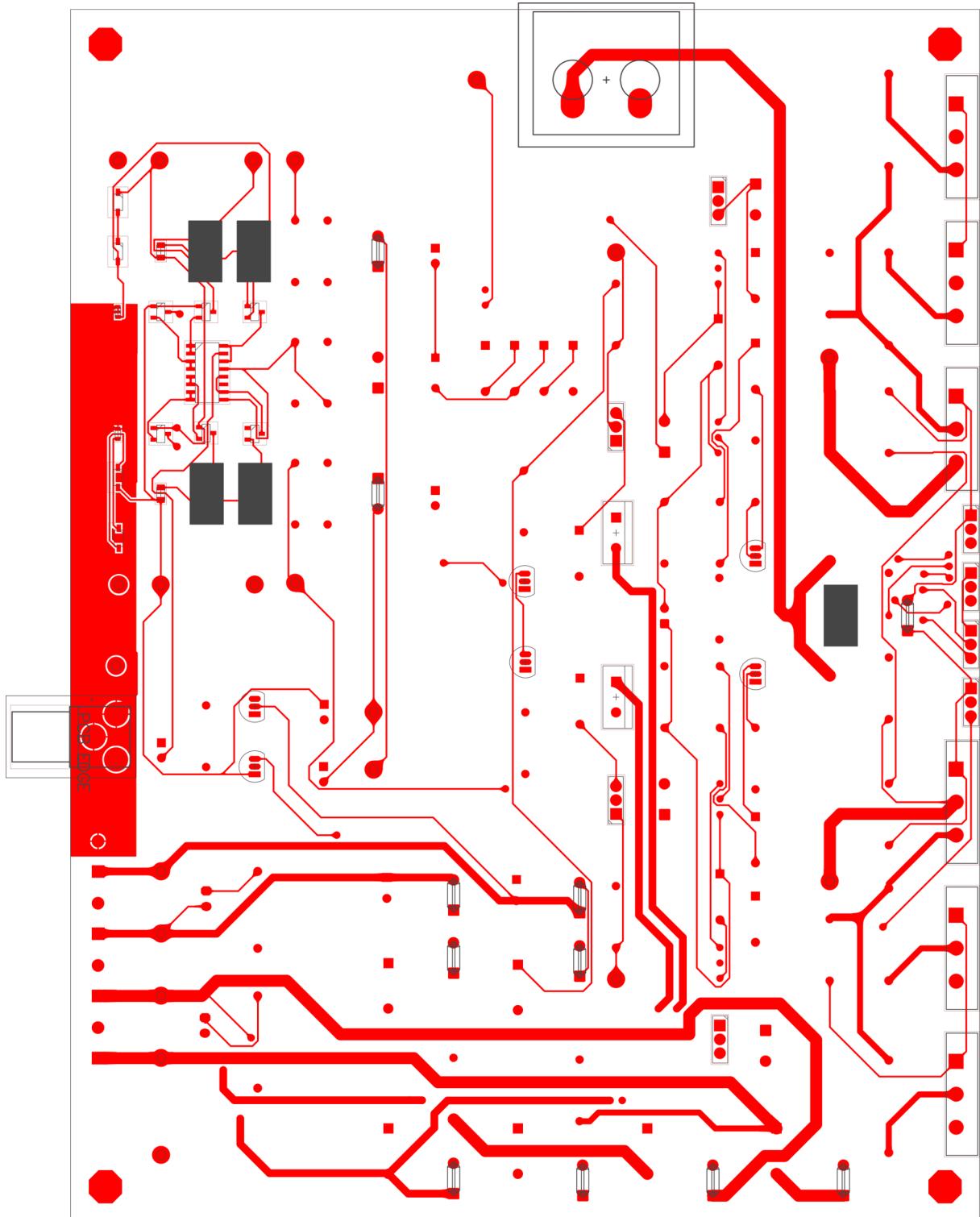


Figura 6.2: del amplificador diseñado en Altium, cobre superior

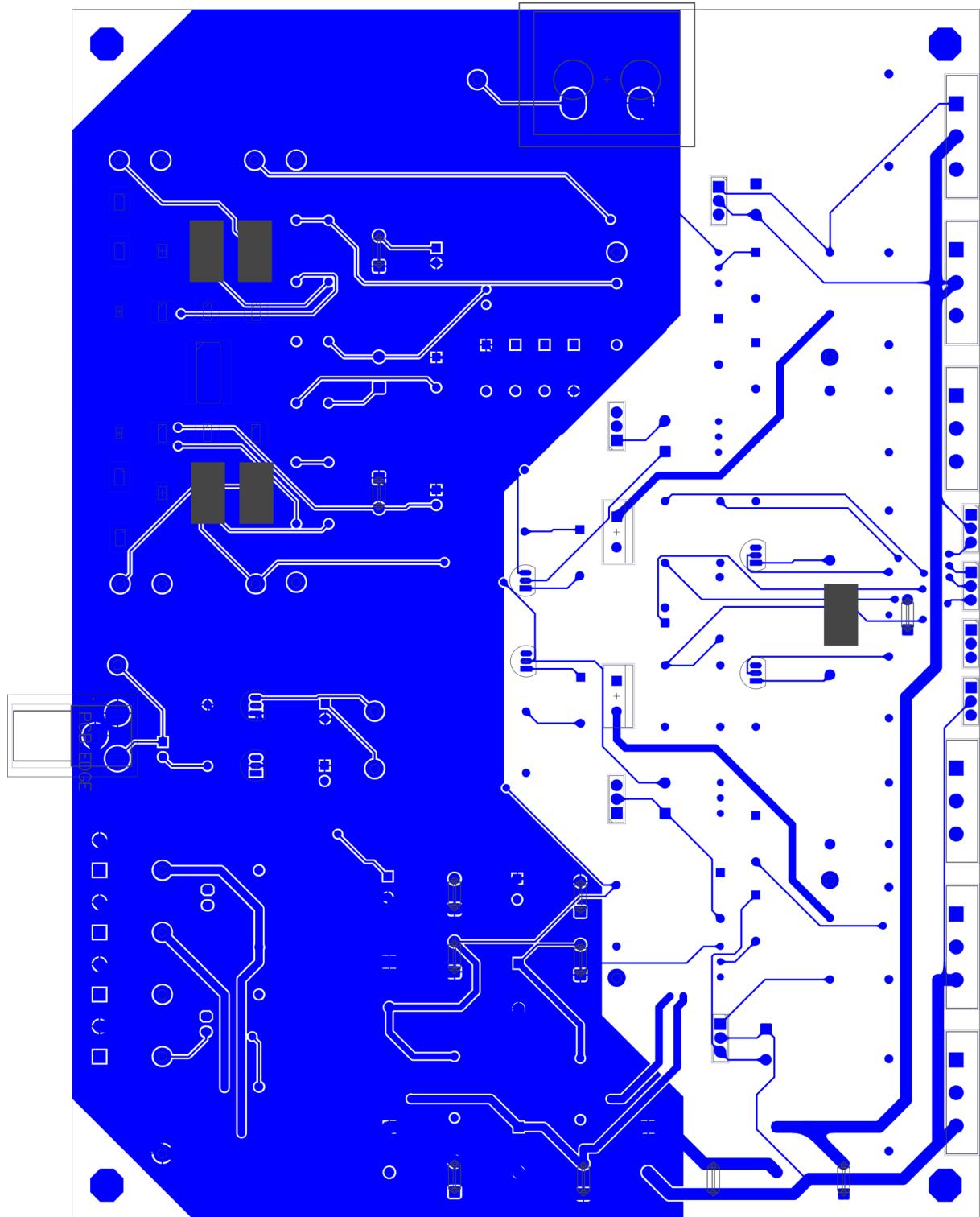


Figura 6.3:
PCB del amplificador diseñado en Altium, cobre inferior

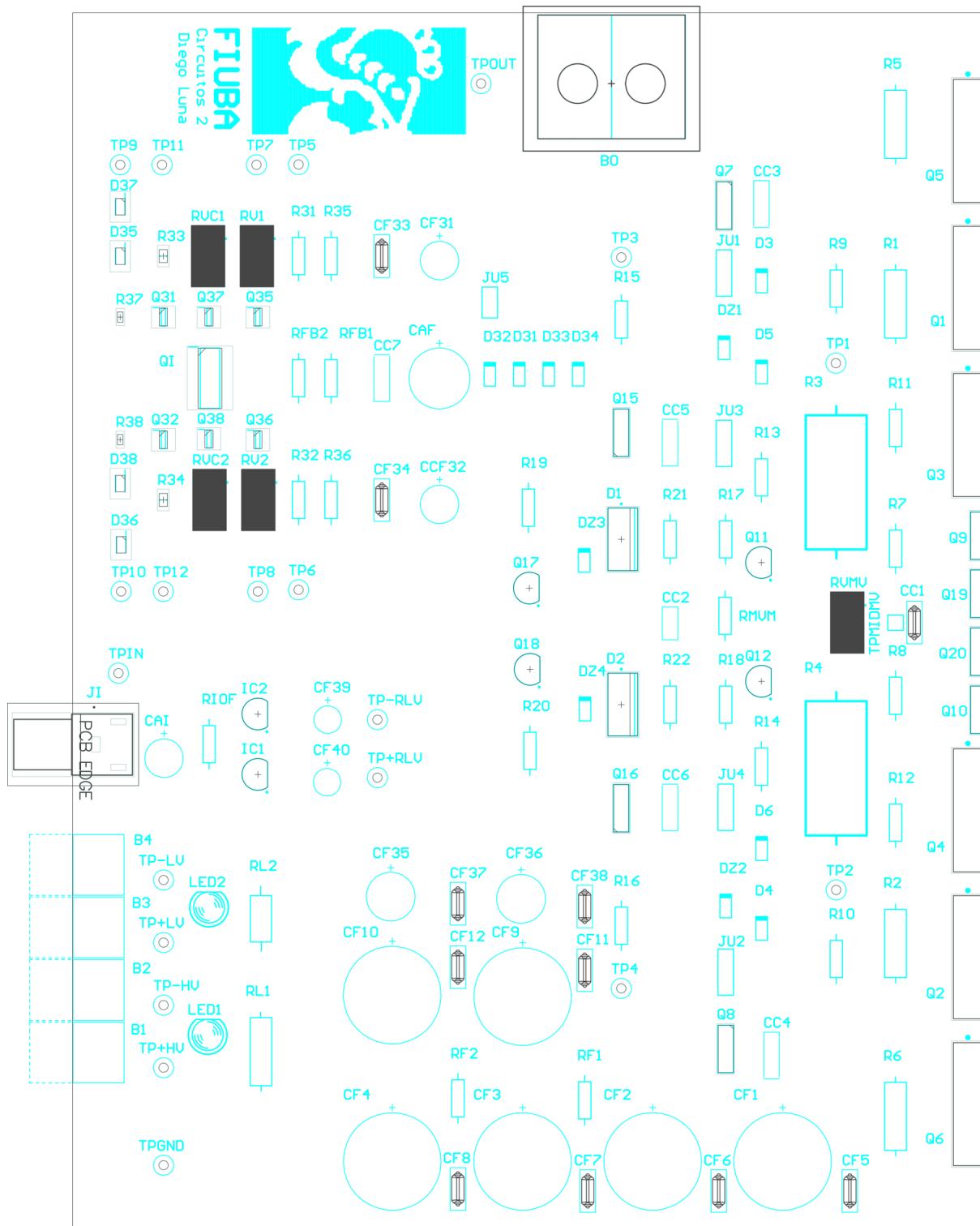


Figura 6.4:
PCB del amplificador diseñado en Altium, leyendas superiores

6.3.1. amplificadorr PCB 3D

7. Disipación de calor

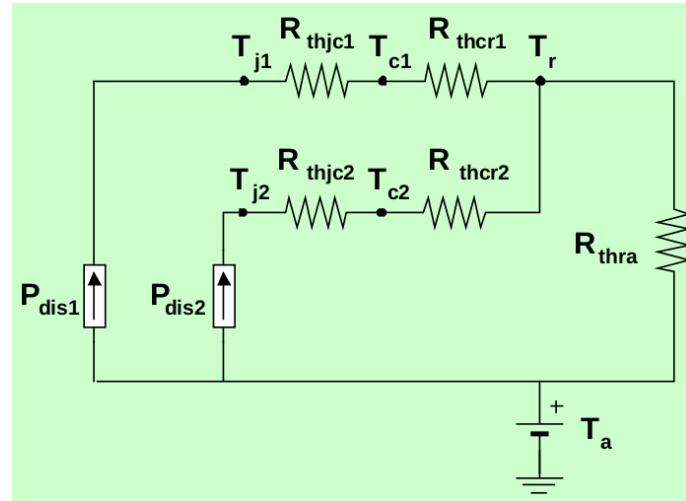


Figura 7.1: Modelo térmico estacionario.

En el peor caso, los transistores de potencia 2SC3281 de la etapa de salida y su par complementario 2SA1302 disipan cada uno 18 W, ya que los mismos se utilizan en paralelo.

$$T_r = R_{thra} * (P_{dis1} + P_{dis2}) + T_a$$

$$T_r = T_{juntura_N} - (R_{t_{j-case}} + R_{t_{c-heat}}) * P_{disN}$$

$$T_r = 130C - (0,85C/W + 0,1C/W) * (18 * 2W) = 95,8C$$

$$95,8C = R_{thra} * (18 * 2 * 2W) + 40C$$

$$R_{tha} = 0,77C/W$$

En la parte interna de la etapa de salida, tenemos que en el peor caso se disipan 3.25 W por cada transistor. Haciendo las mismas cuentas con otros valores.

$$T_r = 120C - (6,25C/W + 0,1C/W) * (3,25W) = 99,36C$$

$$R_{tha} = 9,13C/W$$

7.0.0.1. Disipadores elegidos: Para la parte externa de la salida ZD-23 $0.65^{\circ}\text{C}/\text{W}$, elegimos este modelo porque nos da un poco de margen.

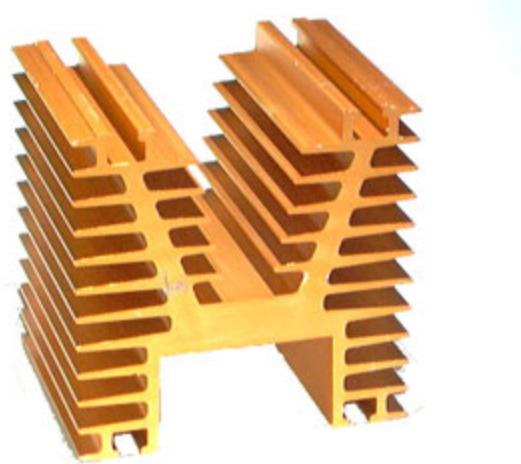


Figura 7.2: Disipador ZD-23

Para parte interna ZD-14 $2^{\circ}\text{C}/\text{W}$, si bien solo necesitamos $9^{\circ}\text{C}/\text{W}$, elegimos este modelo porque nos da mas margen:

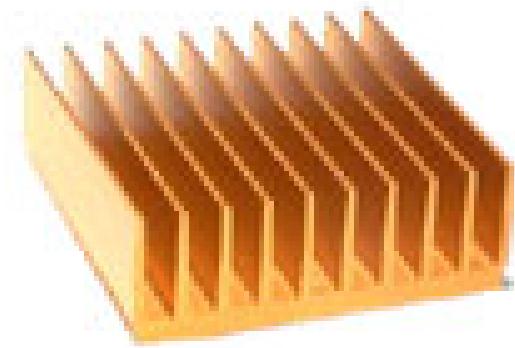


Figura 7.3: Disipador ZD-14

8. Observaciones y conclusiones

8.1. Grado de avance

Hasta el momento, hemos elegido las configuraciones de las distintas etapas, realizamos los cálculos para hallar los valores de realimentación, resistencias para el embalamiento térmico y los disipadores para los transistores; realizamos simulaciones del circuito.

8.2. Dificultades encontradas

Para el desarrollo del proyecto, nos encontramos con varios obstáculos. En el primer diseño que realizamos, nos encontramos con una disparidad en las corrientes del par diferencial, que resolvimos comprando transistores de más, midiendo sus parámetros β , y agrupándolos para poder trabajar con valores apareados. Otra solución que encontramos, y que aplicaremos en esta versión del circuito, es utilizar transistores integrados, que asegura que todos los transistores tengan las mismas propiedades, y estén apareados. Esto también equilibraría más las amplificaciones en modo diferencial de los comparadores NPN y PNP.

La simulación de distorsión se hacía con pocos períodos en el LTSpice y, por cuestiones numéricas, eso parece resultar en valores de distorsión mucho menores a los que devuelve simulando con más períodos. Por otra parte, para valores de distorsión pequeños, se requiere un parámetro de paso máximo bastante reducido o el LTSpice sobreestima la distorsión. Se pasó mucho tiempo creyendo que el diseño resultaba en valores satisfactorios o insatisfactorios de distorsión hasta que se descubrió esto.

En un principio, la primera etapa estaba diseñada con cargas activas. Esto simulaba a veces correctamente, pero la polarización de todo el circuito resultaba poco estable e implicó el rediseño de la etapa con resistores.

8.3. Resumen de actividades a desarrollar

Habiendo establecido todo lo anterior, queda ver cómo mejorar el circuito para lograr mejores valores de distorsión. También, implementaremos protecciones que por el momento fueron dejadas afuera porque dificultan llegar a los grados de distorsión deseados. Luego procederemos con el armado del circuito, verificando el correcto funcionamiento de las etapas, durante el armado de la placa, y luego tendremos que revisar que esté andando correctamente, y que cumpla con las parámetros que propusimos. Finalizado esto, procederemos a realizar las mediciones pertinentes.

Una vez hechas las mediciones tenemos pensado agregarle a nuestro amplificador las siguientes mejoras:

- Carcasa protectora
- Integración compatible con los 3 PCB diseñados
- Plug de entrada para audio con carcasa metálica contra ruidos

9. Bibliografía

Referencias

- [1] *Analysis and Design of Analog Integrated Circuits (3rd Edition)*
Author: Paul R. Gray
Author: Robert G. Meyer
Publisher: John Wiley & Sons, Inc.; 3rd Edition (January 15, 1993)
Copyright: © 1993, John Wiley & Sons, Inc.
ISBN 10: 0471574953
Website: [Analysis and Design of Analog Integrated Circuits \(3rd Edition\)](#)
- [2] *Analysis and Design of Analog Integrated Circuits (4th Edition)*
Author: Paul R. Gray
Author: Paul J. Hurst
Author: Stephen H. Lewis
Author: Robert G. Meyer
Publisher: John Wiley & Sons, Inc.; 4th Edition (2001)
Copyright: © 2001, John Wiley & Sons, Inc.
ISBN 10: 0471321680
ISBN 13: 9780471321682
Website: [Analysis and Design of Analog Integrated Circuits \(4th Edition\)](#)
- [3] *Analysis and Design of Analog Integrated Circuits (5th Edition)*
Author: Paul R. Gray
Author: Paul J. Hurst
Author: Stephen H. Lewis
Author: Robert G. Meyer
Publisher: John Wiley & Sons, Inc.; 5th Edition (2009)
Copyright: © 2001, John Wiley & Sons, Inc.
ISBN 10: 0470245999
ISBN 13: 9780470245996
Website: [Analysis and Design of Analog Integrated Circuits \(5th Edition\)](#)

[4] *Circuitos microelectrónicos (4^{ta} Edición) español*

Author: Adel. S. Sedra

Author: Kenneth C. Smith

Publisher: Oxford, University press; 4^{ta} Edición (2001)

Copyright: © 1999, Oxford, University press México.

Original Copyright: © 1998, 1991, 1987, 1982, Oxford, University press Inc.

ISBN 10: 01951166310

Website: [Circuitos microelectrónicos \(4^{ta} Edición\) español](#)

[5] *Microelectronic circuits (5th Edition)*

Author: Adel. S. Sedra

Author: Kenneth C. Smith

Publisher: Oxford, University press; 5th Edition (2004)

Copyright: © 2004, 1998, 1991, 1987, 1982, Oxford, University press Inc.

ISBN 10: 0195142527

Website: [Microelectronic circuits \(5th Edition\)](#)

[6] *AUDIO POWER AMPLIFIER DESIGN HANDBOOK (5th Edition)*

Author: Douglas Self

Publisher: Elsevier Ltd; 5th Edition (2009)

Copyright: © 2009, Douglas Self. Published by Elsevier Ltd. All rights reserved.

ISBN 13: 9780240521626

Website: [AUDIO POWER AMPLIFIER DESIGN HANDBOOK \(5th Edition\)](#)

Apéndices

A. Hojas de datos

A.1. BC548

BC548

NPN Epitaxial Silicon Transistor

Manufacturer page: <https://www.onsemi.com/PowerSolutions/product.do?id=BC548>

Manufacturer Datasheet: <https://www.onsemi.com/pub/Collateral/BC550-D.pdf>

A.2. BC558

BC558

PNP Bipolar Transistor

Manufacturer page: <https://www.onsemi.com/PowerSolutions/product.do?id=BC558B>

Manufacturer Datasheet: <https://www.onsemi.com/pub/Collateral/BC556B-D.PDF>

A.3. BD135

BD135

1,5A, 45V NPN Bipolar Power Transistor

Manufacturer page: <https://www.onsemi.com/PowerSolutions/product.do?id=BD135>

Manufacturer Datasheet: <https://www.onsemi.com/pub/Collateral/BD135-D.PDF>

A.4. BD136

BD136

1,5A, 45V PNP Bipolar Power Transistor

Manufacturer page: <https://www.onsemi.com/PowerSolutions/product.do?id=BD136>

Manufacturer Datasheet: <https://www.onsemi.com/pub/Collateral/BD136-D.PDF>

A.5. TIP41

TIP41

NPN Bipolar Power Transistor, 6A, 60V

Manufacturer page: <https://www.onsemi.com/PowerSolutions/product.do?id=TIP41>

Manufacturer Datasheet: <https://www.onsemi.com/pub/Collateral/TIP41A-D.PDF>

A.6. Metal film resistor

Metal film resistor

Metal film resistor

Manufacturer page: <https://www.vishay.com/resistors-fixed/metal-film/tabc/doclibrary/>

A.7. Carbon film resistor

Carbon film resistor

Carbon film resistor

Manufacturer page: <http://www.vishay.com/resistors-fixed/carbon-film/tabc/doclibrary/>

A.8. Ceramic capacitor

Ceramic capacitor

Ceramic disk capacitor

Manufacturer page: <https://www.vishay.com/capacitors/ceramic/disc/>

A.9. Electrolitic Aluminum capacitor

Electrolitic capacitor

Electrolitic aluminum capacitor

Manufacturer page: <https://www.vishay.com/capacitors/aluminum/>