



FACULTAD DE INGENIERIA

Universidad de Buenos Aires

CIRCUITOS ELECTRÓNICOS II - 66.10

Trabajo práctico N° 2

Analizar el amplificador de potencia del Turner 730

Alumnos:

IRUSTA Pablo Padrón N° 80171

pabirus@gmail.com

LUNA Diego Padrón N° 75451

diegorluna@gmail.com

NIERO Adrián Padrón N° 80533

adrianniero@gmail.com

ROMERO Daniel Padrón N° 69456

danielosrom@gmail.com

Docentes:

Ing. BERTUCCIO José Alberto

Ing. ACQUATICCI Fabián*

Ing. MARCHI Edgardo

Ing. BULACIO Matías

Ing. D'ANGIOLO Federico

Ing. GAMEZ Pablo

(*) Docente asignado.

13 de mayo de 2019

Índice

Índice	I
1. Objetivos	1
1.1. Resumen de objetivos	1
1.2. Desarrollo	1
2. Análisis cualitativo	2
3. Punto de reposo	4
4. Respuestas a preguntas en el enunciado	6
4.1. Punto 1	6
4.2. Punto 2	7
4.2.1. Ganancia a lazo abierto del amplificador (“a”)	8
4.3. Punto 3	10
4.4. Punto 4	11
4.5. Punto 5	12
4.6. Punto 6	13
4.7. Punto 7	14
4.8. Punto 8	15
4.9. Punto 9	16
4.10. Punto 10	17
4.10.1. Tamaño de los disipadores para cada transistor (resistencia térmica disipador-ambiente)	17
4.10.2. Disipador comercial que podría utilizarse para construir un prototipo funcional	20
4.10.3. Comparación con los disipadores utilizados originalmente por Turner	20
4.11. Punto 11	21
4.11.1. Punto de reposo hallado por simulación	22
4.11.2. Impedancia de entrada hallada por simulación	23
4.11.3. Impedancia de salida hallada por simulación	24
4.11.4. Respuesta en frecuencia para 1W sobre la carga	25
4.11.5. Ancho de banda de potencia, a máxima potencia sobre la carga	26
4.11.6. Respuesta al escalón en pequeña señal	27
4.11.7. Respuesta al escalón en gran señal	29
4.11.8. Margen de fase del amplificador	31
4.11.9. Distorsión armónica del amplificador	33
4.11.10. Distorsión por intermodulación del amplificador	34
4.11.11. Rechazo de Ruido de la Fuente de Alimentación (“PSNR”).	35
5. Observaciones y conclusiones	36
5.1. Observaciones y conclusiones	36
6. Bibliografía	37

Apéndices	39
A. Hojas de datos	39
A.1. BC548	39
A.2. BC558	39
A.3. BD135	39
A.4. BD136	39
A.5. TIP41	39
A.6. Metal film resistor	40
A.7. Carbon film resistor	40
A.8. Ceramic capacitor	40
A.9. Electrolytic Aluminum capacitor	40

Índice de figuras

1.1. Circuito del amplificador de potencia Turner 730	1
2.1. Circuito esquematizado con las etapas indicadas.	2
4.1. Punto de reposo del circuito.	6
4.2. Circuito de señal esquematizado.	7
4.3. Circuito de señal esquematizado aplicando parámetros h al realimentador.	7
4.4. Circuito térmico para los transistores de salida.	19
4.5. Disipador térmico seleccionado (6225M ZD-5).	20
4.6. Punto de reposo del circuito hallado por simulación.	22
4.7. Impedancia de entrada hallada por simulación.	23
4.8. Impedancia de salida hallada por simulación.	24
4.9. Respuesta en frecuencia para 1W sobre la carga.	25
4.10. Respuesta en frecuencia para máxima potencia sobre la carga.	26
4.11. Respuesta al escalón en pequeña señal.	27
4.12. Respuesta al escalón en pequeña señal, ampliación del flanco.	28
4.13. Respuesta al escalón en gran señal.	29
4.14. Respuesta al escalón en gran señal, ampliación del flanco.	30
4.15. Margen de fase.	31
4.16. Circuito usado para simular la ganancia de lazo.	32

Índice de cuadros

3.0.1. Elementos del modelo de pequeña señal de los transistores (f_{IC}).	5
4.10. Potencia disipada en los transistores de señal y media potencia.	17
4.11. Distorsión armónica total (THD).	33
4.11. Distorsión armónica total (IMD).	34
4.11. Rechazo de Ruido de la Fuente de Alimentación (" PSNR ").	35

1. Objetivos

1.1. Resumen de objetivos

El objetivo del presente trabajo, es el análisis del amplificador de potencia **Turner 730**, el circuito del mismo se muestra en la figura [1.1]. El amplificador es un modelo que se comercializó hace varios años, pero que hasta hoy en día es buscado por aficionados al audio y es también construido en su versión original, o en varias variantes que se pueden encontrar en foros sobre audio.

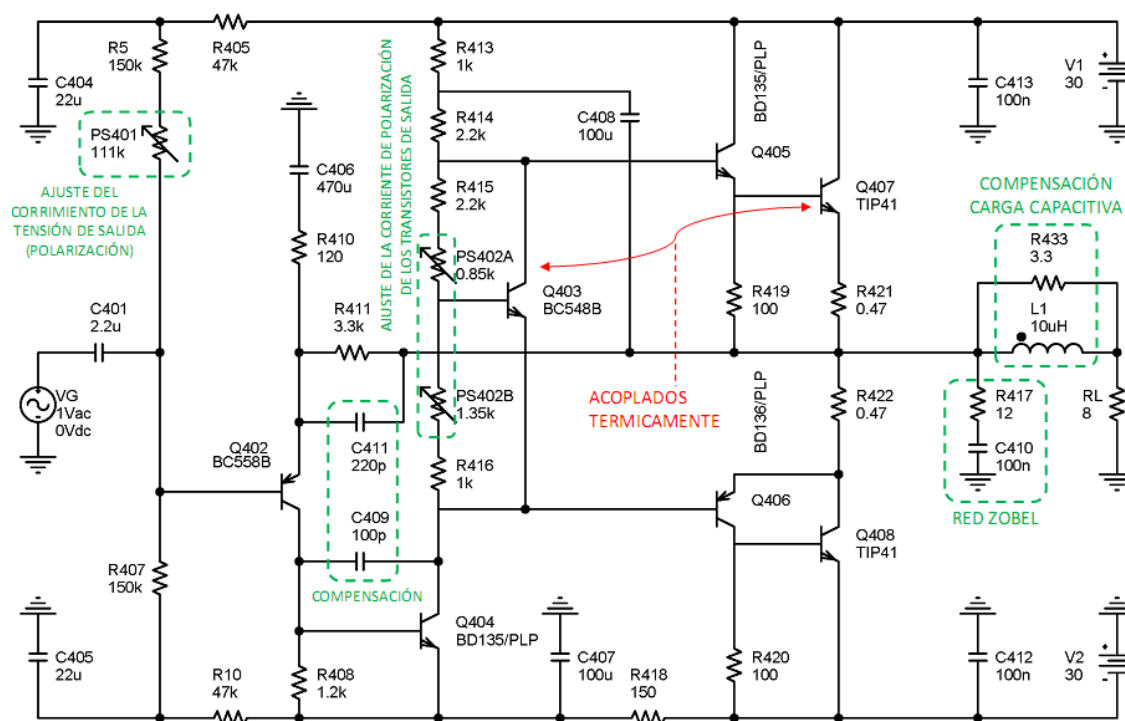


Figura 1.1: Circuito del amplificador de potencia **Turner 730**.

1.2. Desarrollo

El desarrollo se hace en base a los puntos del enunciado, pero básicamente es el mismo esquema que con cualquier circuito, primero se analiza en forma manual el punto de reposo de todos los transistores en la sección [3], para luego analizar el circuito en señal, encontrando la ganancia del camino directo, mediante el análisis de cada etapa, sección [4.2.1], luego se analiza la realimentación y se encuentra la ganancia de lazo, sección [4.2.1], ganancia global, sección [4.3], y así siguiendo con otras características pedidas del amplificador. Se hace también un análisis de potencia, sección [4.10], de los transistores, para determinar si es necesario un disipador térmico, y de ser así cuál sería el indicado. Finalmente luego de los cálculos manuales, los mismos se verifican con un análisis por simulación con **SPICE** (**LTSPICE** en nuestro caso), a partir de la sección [4.11].

2. Análisis cualitativo

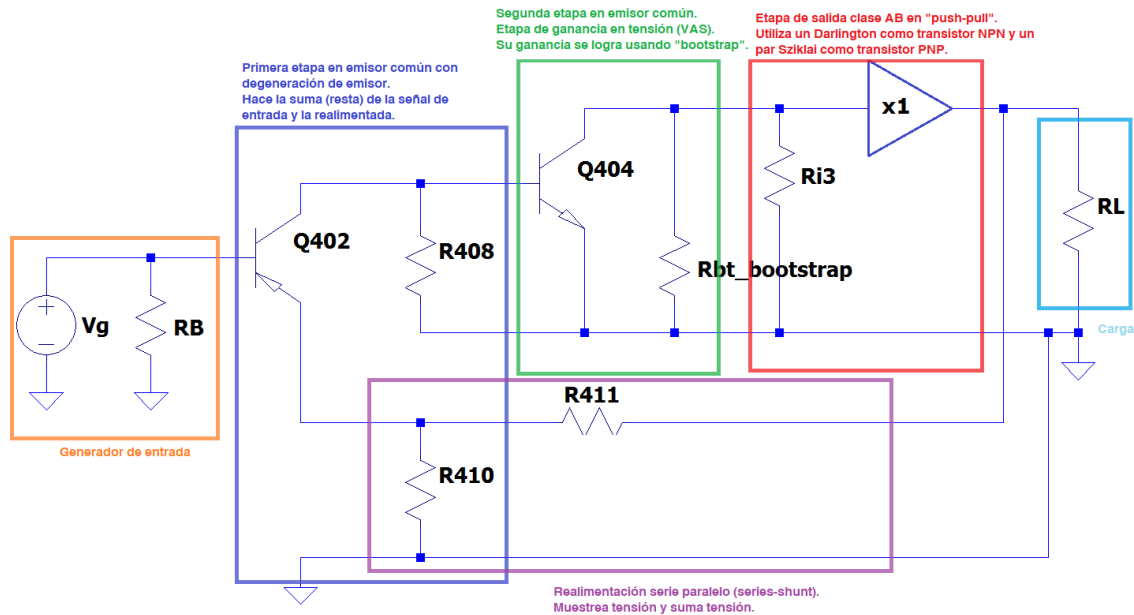


Figura 2.1: Circuito esquematizado con las etapas indicadas.

En la figura [2.1] se muestra el circuito de señal simplificado del amplificador, en donde se detallan las etapas que lo conforman, se trata de las tres típicas etapas de un amplificador de potencia, una primera etapa en emisor común con degeneración de emisor, donde se realiza la suma (resta) de la señal de entrada y la realimentada, esta etapa, como se verá mas adelante en la sección [4.2.1], tiene muy poca ganancia de tensión, una segunda etapa (VAS), en emisor común, que gana casi toda la ganancia en tensión en el amplificador, esta etapa contiene también el circuito multiplicador de V_{BE} que polariza la siguiente etapa, no se muestra en este esquema simplificado. Finalmente tenemos una etapa de salida **clase A-B**, un **push-pull** implementado con transistores compuestos, donde el transistor **NPN** está conformado por un **Darlington** y el transistor **PNP** está conformado por un par **Sziklai**.

Los pares compuestos de la etapa de salida tienen además unas resistencias de degeneración de emisor para mejorar la estabilidad térmica, además de que el transistor del **Darlington** está térmicamente acoplado al transistor del multiplicador de V_{BE} , de manera de compensarlo térmicamente. Los transistores de salida de ambos pares van montados sobre disipadores, como el cálculo en la sección [4.10.1], muestra que es necesario.

La realimentación **serie-paralelo** (series-shunt) estabiliza la ganancia de tensión, ya que como se demuestra en la sección [4.2.1], la ganancia de lazo, es mucho mayor a 1.

El amplificador no amplifica desde continua, ya que además de estar acoplado con un capacitor el generador de entrada (el punto de entrada no está a tensión nula), se tienen otros capacitores que desacoplan para la señal otras partes del circuito, con lo que se espera tener una frecuencia de corte inferior, cosa que es aceptable para un amplificador de audio, como lo es en este caso.

3. Punto de reposo

Para el cálculo manual del punto de reposo, se procedió a tomar en cuenta primero los requisitos de salida, $V_{oQ} = 0V$, $I_{CQ407} = 10mA$ y $I_{CQ408} = 10mA$, se despreciaron además todas las corrientes de base de los transistores (se verificó la asunción luego de cada cálculo), excepto I_{BQ402} , para ajustar PS_{401} .

Todas las V_{BE} de los transistores se tomaron de las curvas dadas en las hojas de datos correspondientes, una vez obtenida la corriente de colector, para tener algo más de precisión en los cálculos.

En detalle, se realizaron los siguientes pasos (los mismos están marcados y se pueden seguir en la figura [4.1]) para hallar el punto de reposo:

- (1) $V_{BQ407} = V_{oQ} + V_{BEQ407} = 0V + 0,6V = 0,6V$, se desprecia la caída en R_{421} y el V_{BE} es tomado de la **Figura 10**, “On Voltages”, de la hoja de datos del transistor **TIP41**, apéndice [A.5].

- (1') Despreciando la caída en R_{421} , se tiene $I_{R419} = \frac{V_{BEQ407}}{R_{419}} = \frac{0,6V}{100\Omega} = 6mA$.

- (2) $V_{BQ405} = 1,2V$, a V_{BQ407} se suma $V_{BEQ405} = 0,6V$, este último tomado de la **Figura 4**, “Base-Emitter On Voltage”, de la hoja de datos del transistor **BD135**, apéndice [A.3], tomando la corriente obtenida en (1').

- (3) $I_{CQ404} = \frac{V_{CC} - V_{BQ405}}{R_{413} + R_{414}} = \frac{30V - 1,2V}{1k\Omega + 2,2k\Omega} = 9mA$.

- (4) $I_{CQ402} = \frac{V_{BEQ404}}{R_{408}} = \frac{0,65V}{1,2k\Omega} = 0,54mA$, donde V_{BEQ404} se toma igual que antes de las hoja de datos, usando la corriente obtenida en (3).

- (5) $V_{EQ402} = V_{oQ} - I_{CQ402} \cdot R_{411} = 0V - 0,54mA \cdot 3,3k\Omega \approx -1,8V$.

- (5') $V_{BQ402} = V_{EQ402} + V_{BEQ402} = -1,8V - 0,65V = -2,45V$, donde V_{BEQ402} se toma de la **Figura 2**, “Saturation and On Voltages”, de la hoja de datos del transistor **BC558**, apéndice [A.2], usando la corriente obtenida en (4).

- (6) $I_{R422} = I_{CQ407} + I_{R419} - I_{R411} = 10mA + 6mA - 0,5mA = 15,5mA$.

- (7) $V_{BQ408} = V_{SS} + V_{BEQ408} = -30V + 0,55V = -29,45V$, el V_{BE} se toma igual que antes de las hoja de datos, se elige menor que en (1) debido a que en este caso no tenemos resistencia de emisor y además coincide con I_{CQ406} , que hallamos en el siguiente ítem.

- (7') $I_{CQ406} = 15,5mA - 10mA = 5,5mA$, $V_{BQ406} = -0,6V$, calculado despreciando la caída en R_{422} a partir de V_{BE} tomado de la **Figura 4**, “Base-Emitter On Voltage”, de la hoja de datos del transistor **BD136**, apéndice [A.4], usando I_{CQ406} , recién obtenida.

- (8) $V_{CEQ403} = V_{CQ403} - V_{EQ403} = 1,2V - (-0,6V) = 1,8V$.

- (9) $I_{R415} = \frac{V_{CEQ403}}{R_{415} + PS_{402} + R_{416}} = \frac{1,8V}{2,2k\Omega + 2,2k\Omega + 1k\Omega} = 0,33mA$.

$$(9') I_{C_{Q403}} = I_{R414} - I_{R415} = 9\text{mA} - 0,33\text{mA} = 8,67\text{mA}.$$

- (10) Primeramente obtenemos $V_{BE_{Q403}} = 0,7\text{V}$, se toma de la **Figura 2**, “Saturation and On Voltages”, de la hoja de datos del transistor **BC548**, apéndice [\[A.1\]](#).

$$\text{Luego tenemos que } PS_{402B} = \frac{V_{BE_{Q403}}}{I_{R415}} - R_{416} = \frac{0,7\text{V}}{0,33\text{mA}} - 1\text{k}\Omega = 1121\Omega, \text{ con lo que } PS_{402A} = 2200\Omega - 1121\Omega = 1079\Omega$$

Finalmente:

$$PS_{402A} = 1079\Omega \text{ y } PS_{402B} = 1121\Omega$$

- (11) Primero se considera que $I_{R418} = 9,54\text{mA}$, la suma de $I_{C_{Q404}}$ e I_{R408} , circulan por R_{418} , con esto se obtuvo un primer valor de $V_{E_{Q404}} = -28,57\text{V}$, primera aproximación (se calcula en el punto (12)), con esto último se obtiene $I_{R407} = \frac{V_{B_{Q402}} - V_{E_{Q404}}}{R_{407} + R_{10}} = \frac{-2,45\text{V} - (-28,57\text{V})}{197\text{k}\Omega} = 132,6\mu\text{A}$, con esto obtenemos el valor final de $I_{R418} = 9,67\text{mA}$.

$$(12) V_{E_{Q404}} = I_{R418} \cdot R_{418} + V_{SS} = 9,67\text{mA} \cdot 150\Omega - 30\text{V} = -28,55\text{V}.$$

- (13) Con este valor reajustamos I_{R407} para ajustar mejor PS_{401} , quedando finalmente

$$I_{R407} = \frac{V_{B_{Q402}} - V_{E_{Q404}}}{R_{407} + R_{10}} = \frac{-2,45\text{V} - (-28,55\text{V})}{197\text{k}\Omega} = 132,5\mu\text{A}.$$

$$(14) I_{B_{Q402}} = \frac{I_{C_{Q402}}}{\beta_{402}} = \frac{0,54\text{mA}}{330} = 1,6\mu\text{A}.$$

$$(14') I_{PS_{401}} = I_{R407} - I_{B_{Q402}} = 130,9\mu\text{A}.$$

$$(15) PS_{401} = \frac{V_{CC} - V_{B_{Q402}}}{I_{PS_{401}}} - R_5 - R_{405} = \frac{30\text{V} - (-2,45\text{V})}{130,9\mu\text{A}} - 150\text{k}\Omega - 47\text{k}\Omega \approx 50,9\text{k}\Omega$$

Se verifica que todos los transistores están en modo activo directo. El punto de reposo obtenido se muestra sobre el circuito en la figura [\[4.1\]](#), las corrientes de colector y los elementos del modelo de pequeña señal para los transistores se resumen en el cuadro [\[3.0.1\]](#).

	Q_{402}	Q_{403}	Q_{404}	Q_{405}	Q_{406}	Q_{407}	Q_{408}
I_C [mA]	0,54	8,66	9	6	5,5	10	10
gm [mA/V]	21,6	346	360	240	220	400	400
r_π [Ω]	15,3k	953,8	388,9	583,3	636,4	125	125
$r_o^{(*)}$ [k Ω]	128	7,43	15,9	25,9	22,4	12,8	12,9
$\beta^{(**)}$	330	330	140	210	200	50	50

Cuadro 3.0.1: Elementos del modelo de pequeña señal de los transistores ($f_{(I_C)}$).

(*) Las tensiones de Early (V_A) de los transistores usadas para el cálculo de los r_o fueron obtenidas de las simulaciones, ya que no todas las hojas de datos proveían el dato.

(**) Los β de los transistores fueron obtenidos de las hojas de datos, usando las curvas cuando estas se proveían, o valores aproximados en otros casos, de acuerdo al punto de trabajo.

4. Respuestas a preguntas en el enunciado

4.1. Punto 1

Enunciado:

Calcular las tensiones de todos los nodos y las corrientes de todas las ramas para $V_G = 0V$.

El detalle del cálculo del punto de reposo se realiza en la sección [3], en la figura [4.1] se muestra lo calculado.

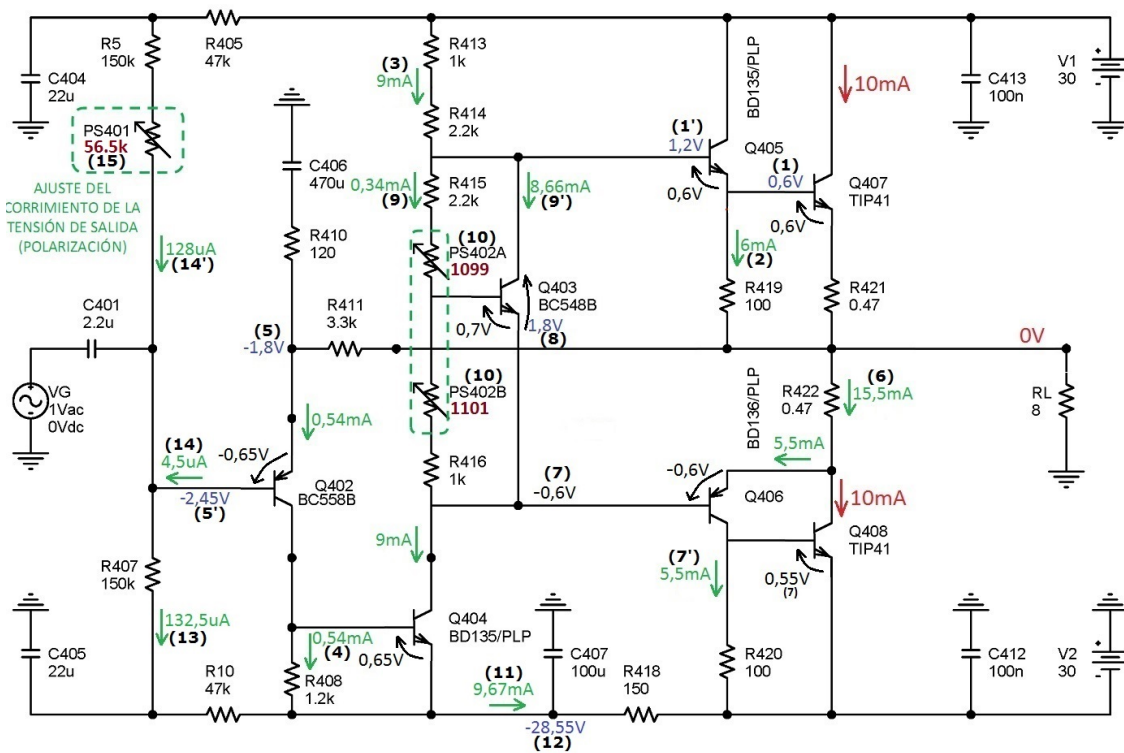


Figura 4.1: Punto de reposo del circuito.

Donde el parámetro $h_{11} = R_{410} // R_{411}$ queda como resistor de emisor de Q_{402} y $h_{22} = R_{410} + R_{411}$ queda en paralelo con la carga, se desprecia el efecto de h_{21} , que es el efecto de la entrada en la salida a través de la realimentación.

$$\text{Se tiene además que } f = h_{12} = \frac{R_{410}}{R_{410} + R_{411}} = \frac{120\Omega}{120\Omega + 3,3k\Omega} \approx 0,035$$

4.2.1. Ganancia a lazo abierto del amplificador (“a”)

Para calcular la ganancia del camino directo, ganancia a lazo abierto del amplificador (“a”), se desactiva la realimentación haciendo $f = 0$, el amplificador resultante es la cascada de los dos emisores comunes y la etapa de salida, incluyendo el efecto de carga del realimentador. Todos los cálculos se realizan por inspección, pero teniendo cuidado de usar aproximaciones solo cuando estas sean válidas.

La ganancia total será el producto de las ganancias de las tres etapas y no consideramos atenuación en la entrada por calcular suponiendo un generador ideal:

$$a = A_{V_1} \cdot A_{V_2} \cdot A_{V_3} \quad (4.2.1)$$

Para A_{V_1} , se cumple que $\beta \gg 1 \wedge r_o \gg R_E \wedge gm \cdot r_o \gg 1$, podemos usar entonces la expresión aproximada para A_V :
 $A_V \approx -\frac{gm}{1+gm \cdot R_E} \cdot R_{ca}$, queda entonces:

$$A_{V_1} \approx -\frac{gm_{402}}{1+gm_{402} \cdot (R_{410} // R_{411})} \cdot R_{ca1} = -\frac{gm_{402}}{1+gm_{402} \cdot (R_{410} // R_{411})} \cdot (R_{408} // r_{\pi_{404}}) \approx -1,8 \quad (4.2.2)$$

Para A_{V_2} , tenemos la ganancia de un emisor común:

$$A_{V_2} = -gm_{404} \cdot R_{ca2} = -gm_{404} \cdot (r_{o_{404}} // R_{bt} // R_{i_3}) \quad (4.2.3)$$

En la figura [4.3], R_{i_3} representa la resistencia de entrada de la etapa de salida, y R_{bt} la resistencia que el circuito **bootstrap** presenta a la segunda etapa, esta última se obtiene en forma aproximada por reflexión de **Miller** como $R_{bt} = \frac{1}{1-A_{V_3}} \cdot R_{414}$. La R_{i_3} es un tanto mas difícil de calcular, ya que la etapa de salida no funciona en **clase A**, pero dado que es **clase AB**, se puede hacer una aproximación suponiendo que se trata de un seguidor por emisor construido alrededor de un **par Darlington**, en este caso la etapa ni siquiera es completamente simétrica, ya que el papel de transistor **PNP**, lo cumple un **par Sziklai**, pero como aproximación para el cálculo manual no es mucho mas lo que se puede hacer, podemos decir que el β efectivo del segundo transistor se ve disminuido un poco por la resistencia conectada en su base, teniendo en cuenta esto, aproximamos la resistencia de entrada de la etapa de potencia, como:

$$R_{i_3} = \beta_{405} \cdot \beta_{405_{eff}} \cdot R_L \approx \beta_{405} \cdot gm_{407} \cdot (r_{\pi_{407}} // R_{419}) \cdot R_L = 35,56k\Omega$$

Para la ganancia de tensión de la etapa de salida, nuevamente por lo anteriormente dicho, es difícil calcular manualmente un valor, sin embargo por tratarse aproximadamente de un seguidor formado por pares compuestos, asumimos un valor de $A_{V_3} = 0,99$, se obtiene valor muy cercano para el **par Sziklai** realizando todos los cálculos, no tanto para el **par Darlington**.

Las simulaciones nos dirán que tan cercanas a la realidad son estas suposiciones.

Tenemos entonces:

$$R_{bt} \approx \frac{1}{1 - A_{V_3}} \cdot R_{414} \approx \frac{1}{1 - 0,99} \cdot 2,2\text{k}\Omega = 220\text{k}\Omega$$

Nos queda entonces:

$$A_{V_2} = -g_{m_{404}} \cdot R_{ca_2} = -g_{m_{404}} \cdot (r_{o_{404}} // R_{bt} // R_{i_3}) = -360\text{mA/V} \cdot (15,9\text{k}\Omega // 220\text{k}\Omega // 35,56\text{k}\Omega) \approx -3770 \quad (4.2.4)$$

Con esto, tenemos:

$$a = A_{V_1} \cdot A_{V_2} \cdot A_{V_3} = -1,8 \cdot -3770 \cdot 0,99 \approx 6718 \quad (4.2.5)$$

Finalmente para la ganancia de lazo del amplificador tenemos:

$$T = a \cdot f = 6718 \cdot 0,035 \approx 221 \quad (4.2.6)$$

4.3. Punto 3

Enunciado:

Calcular la ganancia global para frecuencias medias (1kHz).

La ganancia global del amplificador, por tratarse de un circuito realimentado, tomando los valores calculados anteriormente para a y f en la sección [4.2], será:

$$A = \frac{a}{1 + a \cdot f} = \frac{6718}{1 + 6718 \cdot 0,035} \approx 28,5 \quad (4.3.1)$$

El valor es prácticamente igual a $\frac{1}{f} \approx 28,6$, dado que se verifica muy bien la condición $a \gg 1$.

4.4. Punto 4

Enunciado:

Calcular la máxima potencia obtenible sobre la carga para frecuencias medias (1kHz).

Para obtener la potencia máxima, debemos suponer algo, en una primera aproximación si suponemos que los transistores son ideales y no hay caídas extra en la etapa de salida, podemos decir que la tensión de pico máxima corresponderá a la tensión de alimentación, que es simétrica, con esta suposición obtenemos:

$$P_{max} = \frac{\hat{V}_{Lmax}^2}{2 \cdot R_L} = \frac{V_{CC}^2}{2 \cdot R_L} = \frac{30V}{2 \cdot 8\Omega} \approx 56,3W \quad (4.4.1)$$

Por supuesto la asunción es falsa en cualquier caso, una estimación mas cercana a la realidad sería utilizar la tensión máxima de salida, que se obtiene de suponer que los transistores de llevan al borde de la operación en modo activo directo, este cálculo se realiza en la sección [4.8], usando ese valor de tensión máxima, obtenemos:

$$P_{max} = \frac{\hat{V}_{Lmax}^2}{2 \cdot R_L} = \frac{26,6V}{2 \cdot 8\Omega} \approx 44,2W \quad (4.4.2)$$

4.5. Punto 5

Enunciado:

Calcular la impedancia de entrada para frecuencias medias (1kHz).

Para calcular la impedancia de entrada a lazo cerrado, debemos primero calcular la impedancia de entrada a lazo abierto, tenemos:

$$\begin{aligned}
 R_{i_{OL}} &= R_{i_{B_{402}}} \approx r_{\pi_{402}} + R_{E_1} \cdot \beta_{402} = \\
 &= r_{\pi_{402}} + (R_{410} // R_{411}) \cdot \beta_{402} = \\
 &= 15,3\text{k}\Omega + (120\Omega // 3,3\text{k}\Omega) \cdot 330 = 53,5\text{k}\Omega
 \end{aligned} \tag{4.5.1}$$

Luego por tratarse de un circuito realimentado que suma tensión, tenemos

$$\begin{aligned}
 R_i &= [(1 + a \cdot f) \cdot R_{i_{OL}}] // R_B = \\
 &= [(1 + a \cdot f) \cdot R_{i_{OL}}] // [(R_5 + PS_{401}) // R_{407}] = \\
 &= [(1 + 6718 \cdot 0,035) \cdot 53,5\text{k}\Omega] // [(150\text{k}\Omega + 50,9\text{k}\Omega) // 150\text{k}\Omega] \approx 85,3\text{k}\Omega
 \end{aligned} \tag{4.5.2}$$

$$\boxed{R_i \approx 85,3\text{k}\Omega} \tag{4.5.3}$$

4.6. Punto 6

Enunciado:

Calcular la impedancia de salida para frecuencias medias (1kHz).

Para calcular la impedancia de salida a lazo cerrado, debemos primero calcular la impedancia de salida a lazo abierto, como se dijo antes la etapa de salida es **clase AB**, por lo tanto los cálculos usando el modelo de pequeña señal son solo una aproximación, en este caso suponemos la salida de un seguidor por emisor, tenemos:

$$R_{oOL} = (R_{421} + R_{ofol}) // R_{413} // (R_{410} + R_{411}) \quad (4.6.1)$$

Para el Darlington se tiene (asumiendo un β efectivo para Q_{407} , ya que se tiene a R_{419}):

$$\beta_{407_{ef}} \approx (r_{\pi_{407}} // R_{419}) \cdot g_{m_{407}} = (125\Omega // 100\Omega) \cdot 400\text{mA/V} \approx 22,2 \quad (4.6.2)$$

$$R_{ofol} \approx r_{d_{407}} + \frac{r_{d_{405}} + \frac{R_{414_{reflec}} // r_{o_{404}}}{\beta_{405}}}{\beta_{407_{ef}}} = 2,5\Omega + \frac{4,17\Omega + \frac{220\text{k}\Omega // 15,9\text{k}\Omega}{210}}{22,2} \approx 6,5\Omega \quad (4.6.3)$$

$$R_{oOL} = (0,47\Omega + 6,5\Omega) // 1\text{k}\Omega // (120\Omega + 3,3\text{k}\Omega) \approx 7\Omega \quad (4.6.4)$$

Luego por tratarse de un circuito realimentado que muestrea tensión, tenemos

$$R_o = \frac{R_{oOL}}{(1 + a \cdot f)} = \frac{7\Omega}{(1 + 6718 \cdot 0,035)} = 29,6\text{m}\Omega \quad (4.6.5)$$

A pequeñas señales donde ambos transistores conduzcan la resistencia de salida a lazo abierto será mas parecida al paralelo de dos seguidores.

4.7. Punto 7

Enunciado:

Calcular el factor de amortiguamiento para frecuencias medias (1kHz).

El factor de amortiguamiento, DF (damping factor), es la relación entre la impedancia especificada de la carga, 8Ω en este caso, y la impedancia de salida del amplificador, ambas consideradas como resistivas puras, a frecuencias medias, se tiene entonces:

$$DF = \frac{R_L}{R_o} = \frac{8\Omega}{29,6m\Omega} \approx 270,3 \quad (4.7.1)$$

4.8. Punto 8

Enunciado:

Calcular la máxima tensión pico sobre la carga para frecuencias medias (1kHz).

Para obtener la máxima tensión pico sobre la carga, debemos hacer la suposición que la misma se obtiene al límite donde los transistores del amplificador están al borde salir de modo activo directo, en general no son solo los transistores de la etapa de salida, sino que dependiendo la configuración el límite será impuesto por los transistores de mas de una etapa.

En particular para este amplificador podemos ver que para los ciclos positivo de la señal, lo siguiente:

$$\hat{V}_{Lmax} + V_{BE407} + V_{BE405} + \hat{V}_{R421max} = V_{CC} \quad (4.8.1)$$

Condición que lleva a Q_{407} y Q_{405} al límite de la saturación, por supuesto en esta condición la distorsión por alinealidad será máxima, pero mas allá el amplificador comenzará a recortar.

además tenemos que:

$$\hat{V}_{R421max} = \hat{I}_{Lmax} \cdot R_{421} = \frac{\hat{V}_{Lmax}}{R_L} \quad (4.8.2)$$

Combinando 4.8.1 y 4.8.2 tenemos:

$$\hat{V}_{Lmax} = \frac{V_{CC} - V_{BE407} - V_{BE405}}{1 + \frac{R_{421}}{R_L}} \quad (4.8.3)$$

Pero 4.8.3 es una expresión trascendente , ya que V_{BE405} y V_{BE407} dependen de la corriente de colector de cada transistor. Asumiendo para el par una relación de β veces en las corrientes, se tiene:

$$\hat{I}_{C407max} = \frac{\hat{I}_{Lmax}}{1 + \frac{1}{\beta_{407}}} = \frac{\hat{V}_{Lmax}}{R_L \cdot \left(1 + \frac{1}{\beta_{407}}\right)} \quad (4.8.4)$$

Podemos operar iterativamente usando las curvas de $I_C = f(V_{BE})$ de cada transistor, **Figura 10**, “On Voltages”, de la hoja de datos del transistor **TIP41**, apéndice [A.5], y **Figura 4**, “Base-Emitter On Voltage”, de la hoja de datos del transistor **BD135**, apéndice [A.3], empezamos asumiendo que $V_{BE} = 0,7$ para ambos transistores, calculamos una tensión de pico máxima y con esta una corriente de colector máxima para el transistor Q_{407} y de esta un nuevo valor para el V_{BE} , que nos permite calcular un nuevo valor para la tensión pico máxima, en este caso con una iteración es suficiente, se obtiene:

$$\boxed{\hat{V}_{Lmax} = 26,6V} \quad (4.8.5)$$

Para el ciclo negativo se obtiene un valor cercano, haciendo un análisis similar, pero que involucra a los transistores Q_{406} y Q_{404} , tomamos este valor para el ciclo positivo, de todos modos es solo una aproximación.

4.9. Punto 9

Enunciado:

Calcular la máxima eficiencia obtenible con éste amplificador para frecuencias medias (1kHz).

Para calcular la máxima eficiencia del amplificador, utilizamos la definición de eficiencia:

$$\eta_{max} = \max \left\{ \frac{P_L}{P_{sources}} \right\} \cdot 100 \% \quad (4.9.1)$$

Donde P_L es la potencia entregada a la carga y $P_{sources}$ es la potencia entregada por las fuentes de alimentación. Se puede observar fácilmente que la potencia consumida por todos los transistores que trabajan en **clase A**, no varía, salvo al tener señal aplicada, parte de esa potencia es entregada a la siguiente etapa, pero todos los transistores, excepto los de la etapa de salida, no entregan potencia a la carga, por lo que no contribuyen a la potencia útil, solo a la consumida, con esto en mente, basta ver las corrientes de reposo de todas las ramas, excepto la de los transistores de potencia, para obtener la parte fija del consumo en la fuente. Luego para ver el cuando se da el caso de mayor eficiencia, se ve fácilmente que será cuando se entregue la máxima potencia a la carga.

Usando la expresión general de la potencia máxima en un **clase AB**, pero con correcciones para tener en cuenta el consumo de potencia en las primeras etapas en **clase A** y la potencia disipada en las resistencias de emisor de la etapa de salida, llamando I_{cA} a la corriente que circula por las ramas de las primeras etapas, y usando los valores máximos obtenidos en la sección [4.4], tenemos:

$$\eta_{max} = \frac{\frac{\hat{I}_{Lmax} \cdot \hat{V}_{Lmax}}{2}}{\frac{2 \cdot \hat{I}_{Lmax} \cdot V_{CC}}{\pi} + (V_{CC} + V_{SS}) \cdot I_{cA} + \hat{I}_{Lmax} \cdot R_{421}} \cdot 100 \%$$

$$\eta_{max} = \frac{\frac{3,33A \cdot 26,6V}{2}}{\frac{2 \cdot 3,33A \cdot 30V}{\pi} + 60V \cdot 9,25mA + 3,33A \cdot 0,47\Omega} \cdot 100 \% \approx 67,4 \% \quad (4.9.2)$$

4.10. Punto 10

Enunciado:

Determinar:

- El tamaño de los disipadores para cada transistor (resistencia térmica disipador-ambiente).
- Encontrar el disipador comercial que podría utilizarse para construir un prototipo funcional.
- Comparar con los disipadores utilizados originalmente por Turner y obtener conclusiones.

4.10.1. Tamaño de los disipadores para cada transistor (resistencia térmica disipador-ambiente)

Primero determinamos de los puntos de trabajo calculados en la sección [3], las potencias disipadas en cada uno de los transistores de señal y potencia media, los resultados se resumen en el cuadro [4.10.1]

	Q_{402}	Q_{403}	Q_{404}	Q_{405}	Q_{406}
I_C [mA]	0,54	8,66	9	6	5,5
V_{CE} [V]	26,1	1,8	27,95	29,4	29,4
P_D [W]	14,1m	15,6m	251m	228m	228m
$P_{D_{max}}^*$ [W]	625m	625m	1,25	1,25	1,25
θ_{ja}^* [°C/W]	200	200	100	100	100
θ_{jc}^* [°C/W]	83,3	83,3	10	10	10

Cuadro 4.10.1: Potencia disipada en los transistores de señal y media potencia.

(*) Los datos se tomaron de las correspondientes hojas de datos.

Para todos los transistores que trabajan en **clase A**, Q_{402} , Q_{403} y Q_{404} , las potencias disipadas se calcularon simplemente como $V_{CE} \cdot I_C$, ya que esto corresponde a la máxima potencia disipada en el transistor, que se da cuando no hay señal en el mismo.

Para los transistores Q_{405} y Q_{406} , los drivers de los pares compuestos que integran la etapa de salida en **clase AB**, se hizo las siguientes suposiciones simplificadoras, que la tensión colector-emisor en los mismos coincide con la de los transistores de salida y que por los mismos circula una corriente que es β veces menor que en los transistores de salida, de esta forma la potencia termina siendo β veces menor que en estos. De todas formas se trata de unas suposiciones conservadoras.

Para los dos transistores de salida, la potencia máxima disipada se calcula como:

$$P_{C_{max}Q_{407}} = P_{C_{max}Q_{408}} = \frac{V_{CC}^2}{\pi^2 \cdot R_L} = 11,4W \quad (4.10.1)$$

Y se obtiene entonces para los transistores drivers de los pares:

$$P_{C_{max}Q_{405}} = P_{C_{max}Q_{406}} = \frac{P_{C_{max}Q_7}}{\beta_{407}} = \frac{11,4W}{50} = 228mW \quad (4.10.2)$$

Para determinar la necesidad de un disipador térmico en cada uno de los transistores, suponemos su operación sin el mismo y planteamos el circuito térmico correspondiente. Para este planteo se necesitan también los siguientes parámetros:

T_{jmax} Temperatura máxima de operación de la juntura del transistor (150°C para todos los transistores analizados).

T_{je} Temperatura de operación estimada de la juntura del transistor.

T_a Temperatura ambiente (tomamos 40°C como un caso de un circuito encerrado en un gabinete).

θ_{ja} Resistencia térmica de la juntura del transistor al ambiente.

Entonces solo tenemos una fuente de potencia, P_D (modelada por una fuente de corriente) circulando por la resistencia térmica θ_{ja} (modelada como una resistencia eléctrica), con lo que la temperatura (modelada por tensión) que se desarrolla sobre la juntura se suma a la temperatura ambiente (modelada por una fuente de tensión), con lo que nos queda:

$$T_{je} = P_D \cdot \theta_{ja} + T_a \quad (4.10.3)$$

Nos queda para cada uno de los transistores de señal y para los drivers de los pares:

$$Q_{402} \quad T_{je_{402}} = 41,2^\circ\text{C}$$

$$Q_{403} \quad T_{je_{403}} = 41,3^\circ\text{C}$$

$$Q_{404} \quad T_{je_{404}} = 65,1^\circ\text{C}$$

$$Q_{405} \quad T_{je_{405}} = 62,8^\circ\text{C}$$

$$Q_{406} \quad T_{je_{406}} = 62,8^\circ\text{C}$$

$$Q_{407} \quad T_{je_{407}} = 62,8^\circ\text{C}$$

$$Q_{408} \quad T_{je_{408}} = 62,8^\circ\text{C}$$

Podemos ver que ninguno de los transistores supera la máxima temperatura de trabajo, con lo que concluimos que no necesitan disipador térmico.

Para los transistores de salida, ambos son el mismo tipo de transistor, obtenemos las resistencias térmicas de la **figura 7**, “Power Derating” de la hoja de datos del transistor **TIP41**, apéndice [\[A.5\]](#). Obtenemos:

$$\theta_{ja_{Q407}} = \theta_{ja_{Q408}} = 60^\circ\text{C/W} \text{ y } \theta_{jc_{Q407}} = \theta_{jc_{Q408}} = 1,9^\circ\text{C/W}.$$

Si aplicamos la expresión 4.10.3 nuevamente, obtenemos para ambos transistores de salida:

$$T_{je_{407}} = T_{je_{408}} = 724^\circ\text{C}$$

Muy por encima de la temperatura máxima de trabajo para la juntura, con lo que es necesario un disipador térmico. Para calcular la resistencia térmica máxima del disipador que se necesita, se plantea un circuito térmico, pero ahora conteniendo las resistencias térmicas de la juntura al encapsulado, del encapsulado al disipador y del disipador al ambiente, esta última es la que se necesita determinar, en la figura [\[4.4\]](#) se muestra el circuito térmico completo.

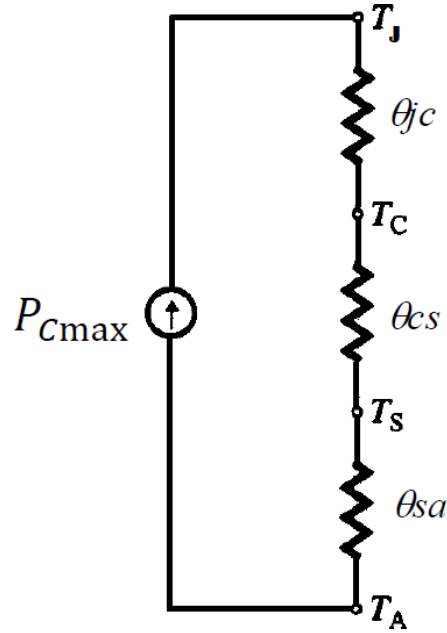


Figura 4.4: Circuito térmico para los transistores de salida.

Del planteo de este circuito se despeja la expresión para la resistencia térmica del disipador, θ_{sa} , se obtiene:

$$\theta_{sa} = \frac{T_J - T_a}{P_{Cmax}} - \theta_{jc} - \theta_{cs} \quad (4.10.4)$$

Donde θ_{jc} ya se obtuvo de las hojas de datos y θ_{cs} , la resistencia térmica del encapsulado al disipador, depende del montaje mecánico que se realiza del transistor sobre el disipador, el mismo puede ser con mica, grasa siliconada, o ambas, el transistor se puede justar mas o menos sobre la superficie del disipador, etc. Teniendo en cuenta estas variantes se estima que $1^\circ\text{C/W} \leq \theta_{cs} \leq 0,5^\circ\text{C/W}$, tomamos 1°C/W , el peor caso. Obtenemos entonces para los transistores de salida:

$$\theta_{sa_{max}} = \frac{T_J - T_a}{P_{Cmax}} - \theta_{jc} - \theta_{cs} = \frac{150^\circ\text{C} - 40^\circ\text{C}}{11,4\text{W}} - 1,9^\circ\text{C/W} - 1^\circ\text{C/W} \approx 6,8^\circ\text{C/W} \quad (4.10.5)$$

Con lo que solo necesitamos disipadores para los transistores de salida que cumplan:

$$\boxed{\theta_{sa} \leq 6,8^\circ\text{C/W}} \quad (4.10.6)$$

4.10.2. Disipador comercial que podría utilizarse para construir un prototipo funcional

En la sección anterior calculamos la resistencia térmica que debe tener el disipador térmico de los transistores de salida, se encontró que, $\theta_{sa} \leq 6,8^{\circ}\text{C}/\text{W}$, usando este valor como referencia se seleccionó un disipador que sería adecuado, el mismo se muestra en la figura [4.5], tiene $\theta_{sa} = 5,1^{\circ}\text{C}/\text{W}$, es el modelo **6225M ZD-5**.

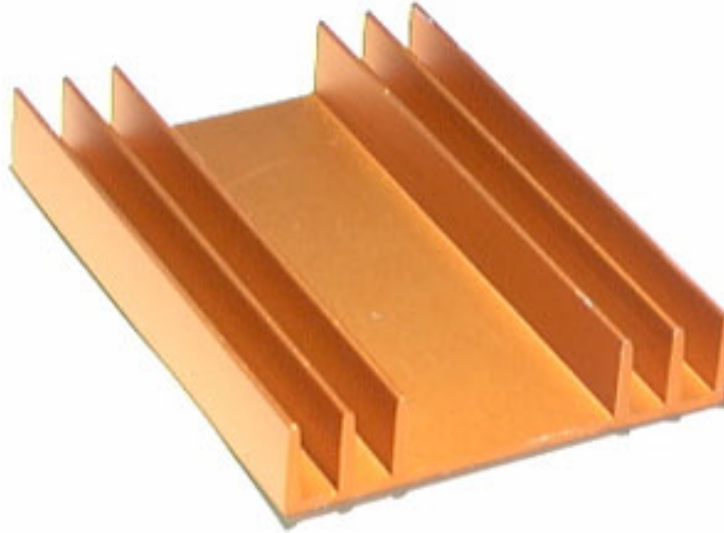


Figura 4.5: Disipador térmico seleccionado (6225M ZD-5).

4.10.3. Comparación con los disipadores utilizados originalmente por Turner

No pudimos encontrar información acerca del valor de la resistencia térmica de los disipadores usados originalmente, pero de las fotos que hay disponibles, los disipadores eran tipo U, el tamaño y el largo aparente de las aletas hacen parecer que tiene una masa metálica aproximadamente del mismo tamaño, pero no hay mucho más que podamos decir, salvo que es probable que los disipadores hayan sido sobre-dimensionados al tratarse de un producto comercial, y que probablemente la temperatura interna del gabinete sea superior a la que nosotros consideramos.

4.11. Punto 11

Enunciado:

Simular el comportamiento estático y dinámico del amplificador determinando:

- a) Medir las tensiones de todos los nodos y las corrientes de todas las ramas para $V_G = 0V$.
- b) Medir la impedancia de entrada en función de la frecuencia (desde 0,1Hz hasta 1GHz).
- c) Medir la impedancia de salida en función de la frecuencia (desde 0,1Hz hasta 1GHz).
- d) Respuesta en frecuencia para 1W sobre la carga.
- e) Ancho de banda de potencia.
Es la máxima frecuencia para la que el amplificador logra reproducir una señal sinusoidal a máxima potencia (hallada en el punto 4) sin deformación.
- f) Respuesta al escalón
 - i. Pequeña señal (la tensión pico de salida estará entre 0,1V y 1V).
 - ii. Gran señal (amplitud de salida apenas menor que la máxima tensión pico de salida hallada en el punto 8).
 - iii. En base a lo medido en i. determinar el ancho de banda para pequeña señal asumiendo que el amplificador está compensado por polo dominante.
 - iv. En base a lo medido en ii. determinar la velocidad de crecimiento de la tensión de salida ("slew rate").
- g) Determinar el margen de fase.
- h) Determinar la distorsión armónica a 1kHz y a 10kHz para potencias de 0,1W, 1W, 10W y 90 % de la máxima calculada en el punto 4.
- i) Determinar la distorsión por intermodulación para potencias de 0,1W, 1W, 10W y 90 % de la máxima calculada en el punto 4.
- j) Determinar el Rechazo de Ruido de la Fuente de Alimentación ("PSNR").

4.11.2. Impedancia de entrada hallada por simulación

En la figura [4.7] se muestra lo obtenido al simular para obtener la impedancia de entrada, el valor a frecuencias medias 86,02k Ω se acerca bastante al valor calculado en la sección [4.5], se había calculado 85,3k Ω .

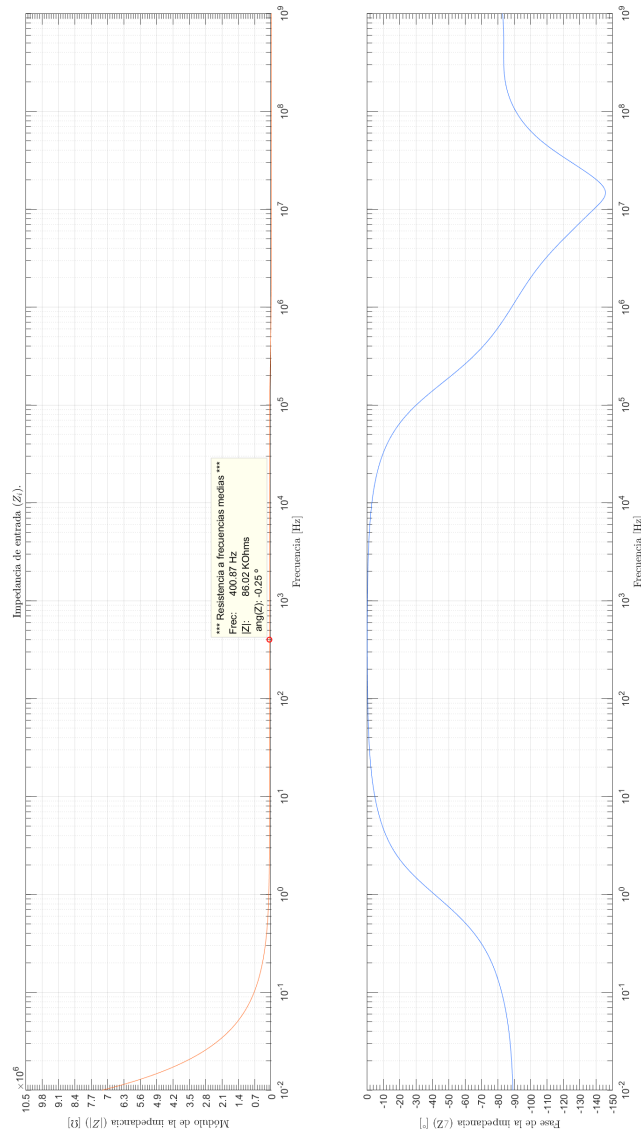


Figura 4.7: Impedancia de entrada hallada por simulación.

4.11.3. Impedancia de salida hallada por simulación

En la figura [4.8] se muestra lo obtenido al simular para obtener la impedancia de salida, el valor a frecuencias medias 17,58mΩ se aparta un poco del valor calculado en la sección [4.6], se había calculado 29,6mΩ, pero por lo dicho en dicha sección acerca del cálculo de la impedancia de salida a lazo abierto y por la fuerte dependencia del valor con la ganancia de lazo, que se calcula en forma aproximada, era esperable la diferencia.

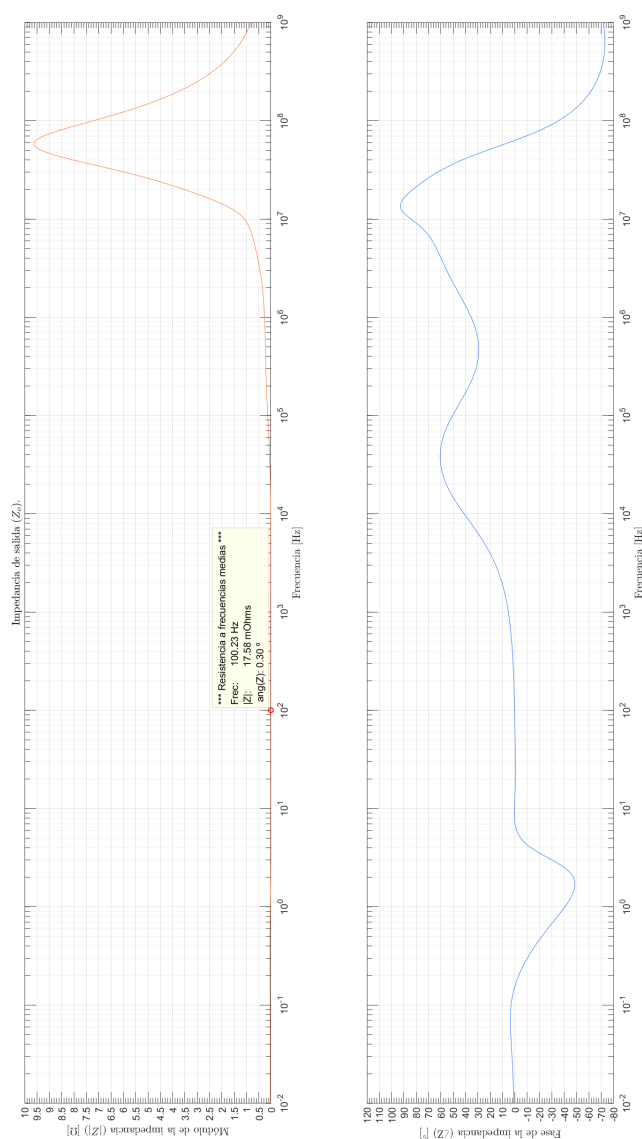


Figura 4.8: Impedancia de salida hallada por simulación.

4.11.4. Respuesta en frecuencia para 1W sobre la carga

En la figura [4.9] se muestra lo obtenido al simular para obtener la respuesta en frecuencia a 1W de potencia sobre la carga, en la misma se puede ver el valor del ancho de banda encontrado, 129,55kHz.

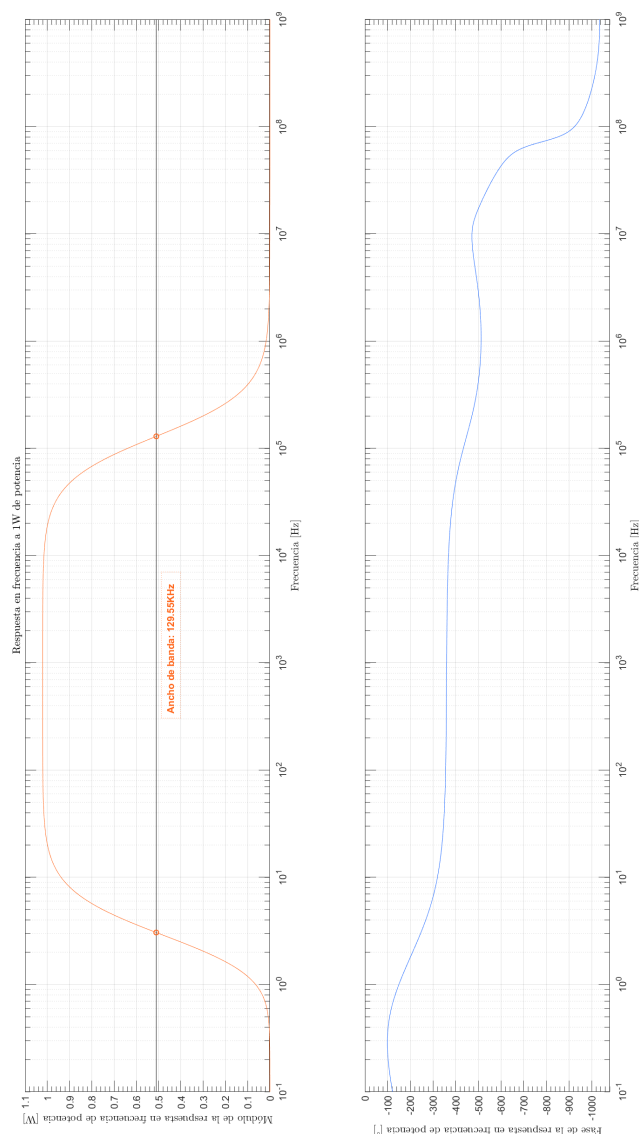


Figura 4.9: Respuesta en frecuencia para 1W sobre la carga.

4.11.5. Ancho de banda de potencia, a máxima potencia sobre la carga

En la figura [4.10] se muestra lo obtenido al simular para obtener la respuesta en frecuencia a 1W de potencia sobre la carga, en la misma se puede ver el valor del ancho de banda encontrado, 129,55kHz, idéntico que para el caso de 1W .

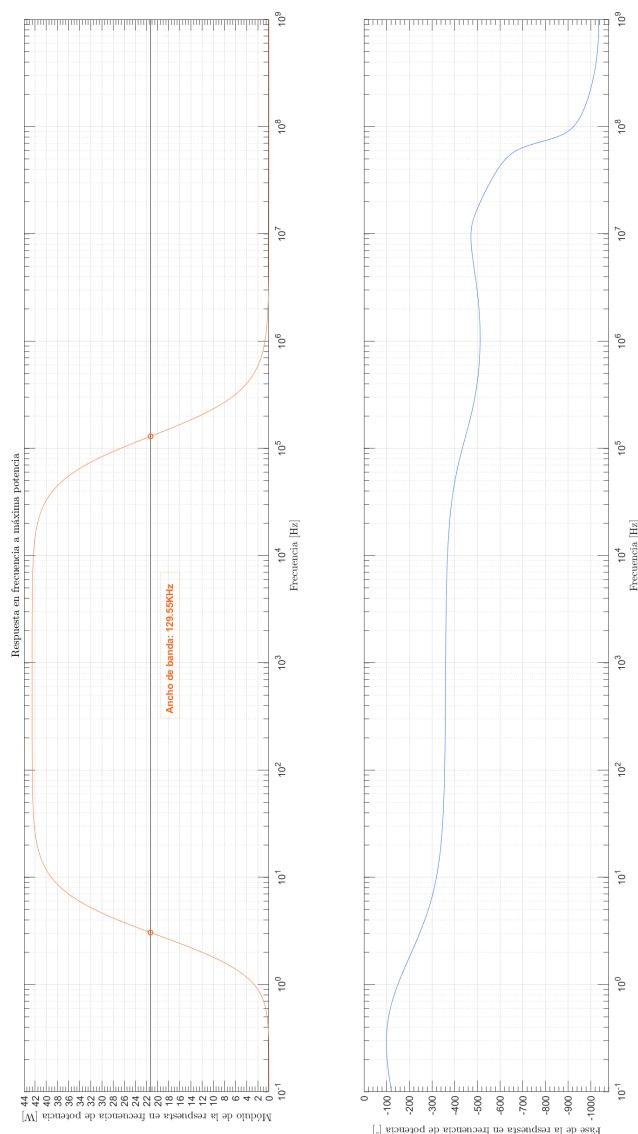


Figura 4.10: Respuesta en frecuencia para máxima potencia sobre la carga.

4.11.6. Respuesta al escalón en pequeña señal

En la figura [4.11] se muestra lo obtenido al simular para obtener la respuesta al escalón en pequeña señal, se limitó la salida a un valor de 1V de pico. La respuesta tiene la forma esperada para un amplificador con acoples capacitivos.

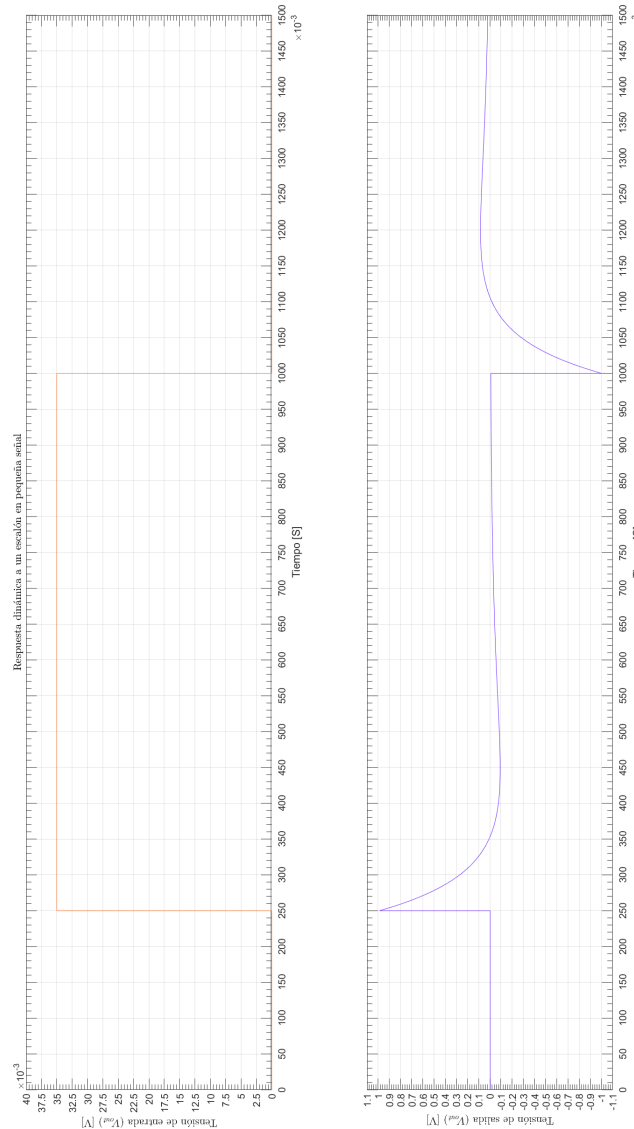


Figura 4.11: Respuesta al escalón en pequeña señal.

En la figura [4.12] se muestra la ampliación del flanco ascendente de la salida, donde se puede apreciar el tiempo de crecimiento, usando la directiva de **SPICE**, *.measure*, se calculó directamente de la simulación el tiempo de crecimiento entre 10% y 90% y se computó en base a este el ancho de banda del circuito. Se utilizó la expresión que relaciona ancho de banda con el tiempo de crecimiento en un circuito con un solo polo:

$$BW = \frac{0,35}{T_{rise}} \quad (4.11.1)$$

Se obtuvo:

$$T_{rise} = 2,78\mu s \quad (4.11.2)$$

$$BW = 125,863\text{kHz} \quad (4.11.3)$$

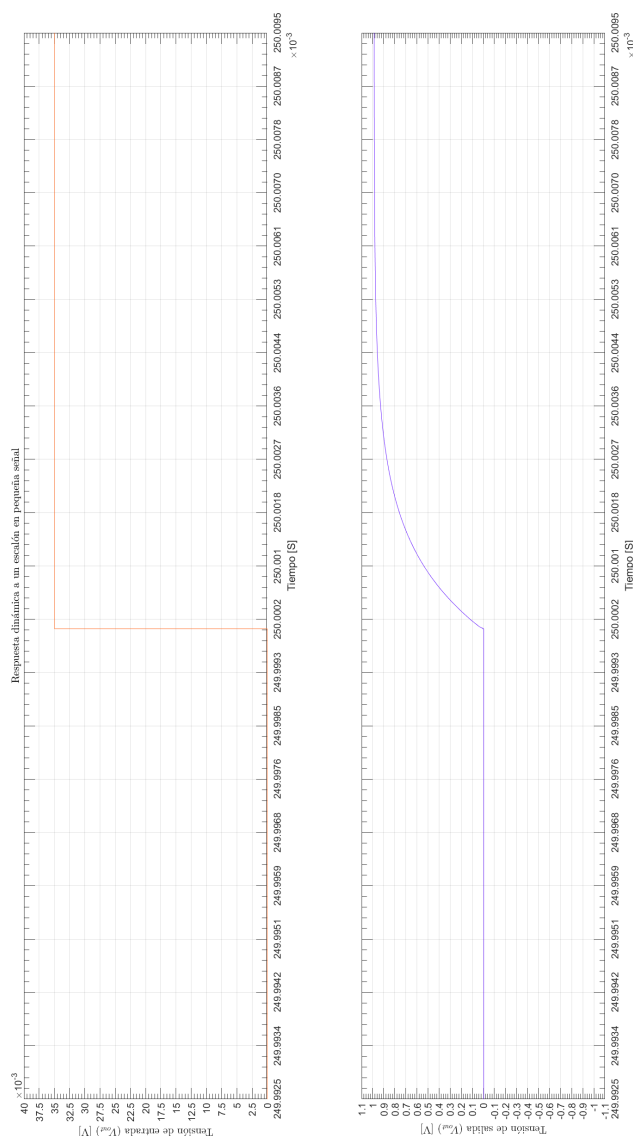


Figura 4.12: Respuesta al escalón en pequeña señal, ampliación del flanco.

4.11.7. Respuesta al escalón en gran señal

En la figura [4.13] se muestra lo obtenido al simular para obtener la respuesta al escalón en gran señal, se llevó la salida a un valor cercano al máximo sin distorsión.

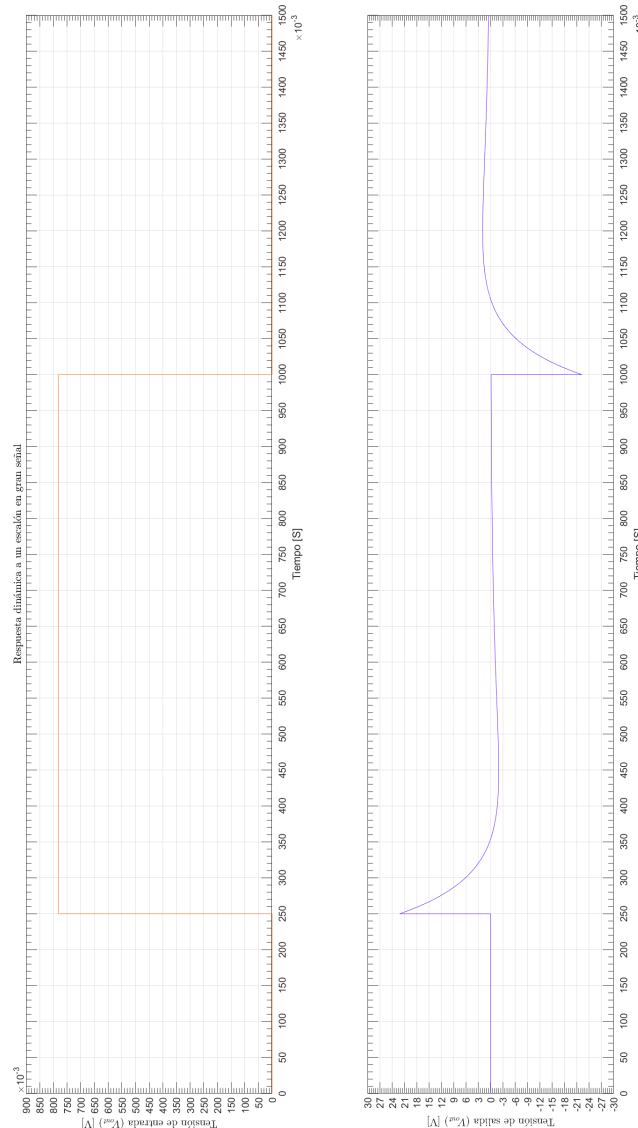


Figura 4.13: Respuesta al escalón en gran señal.

En la figura [4.14] se muestra la ampliación del flanco ascendente de la salida, donde se puede apreciar el tiempo de crecimiento, usando la directiva de **SPICE**, *.measure*, se calculó directamente de la simulación el “**slew rate**”, como la pendiente de subida en el flanco ascendente, se obtuvo:

$$SR = 4,39V/\mu s \quad (4.11.4)$$

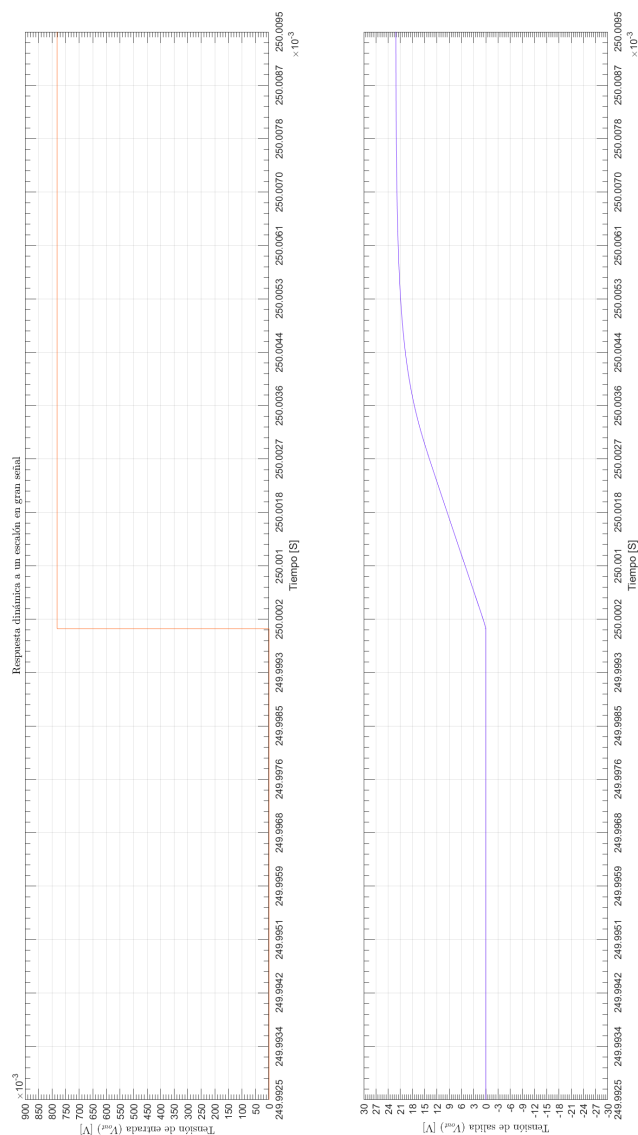


Figura 4.14: Respuesta al escalón en gran señal, ampliación del flanco.

4.11.8. Margen de fase del amplificador

En la figura [4.15] se muestra lo obtenido al simular para obtener el margen de fase del circuito, para esta simulación se abrió el lazo de realimentación para la señal y se tomó la respuesta de la cascada del amplificador con la realimentación, en la figura [4.16], se puede ver el circuito utilizado para esta simulación. El valor obtenido para el margen de fase es:

$$PM = 113,72^\circ$$

(4.11.5)

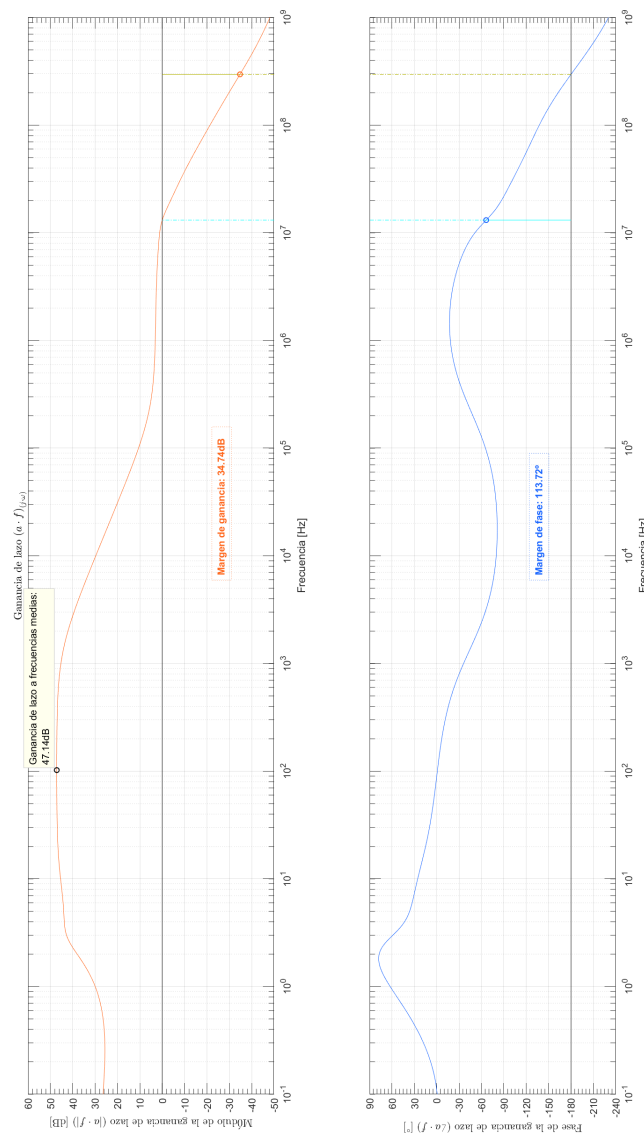


Figura 4.15: Margen de fase.

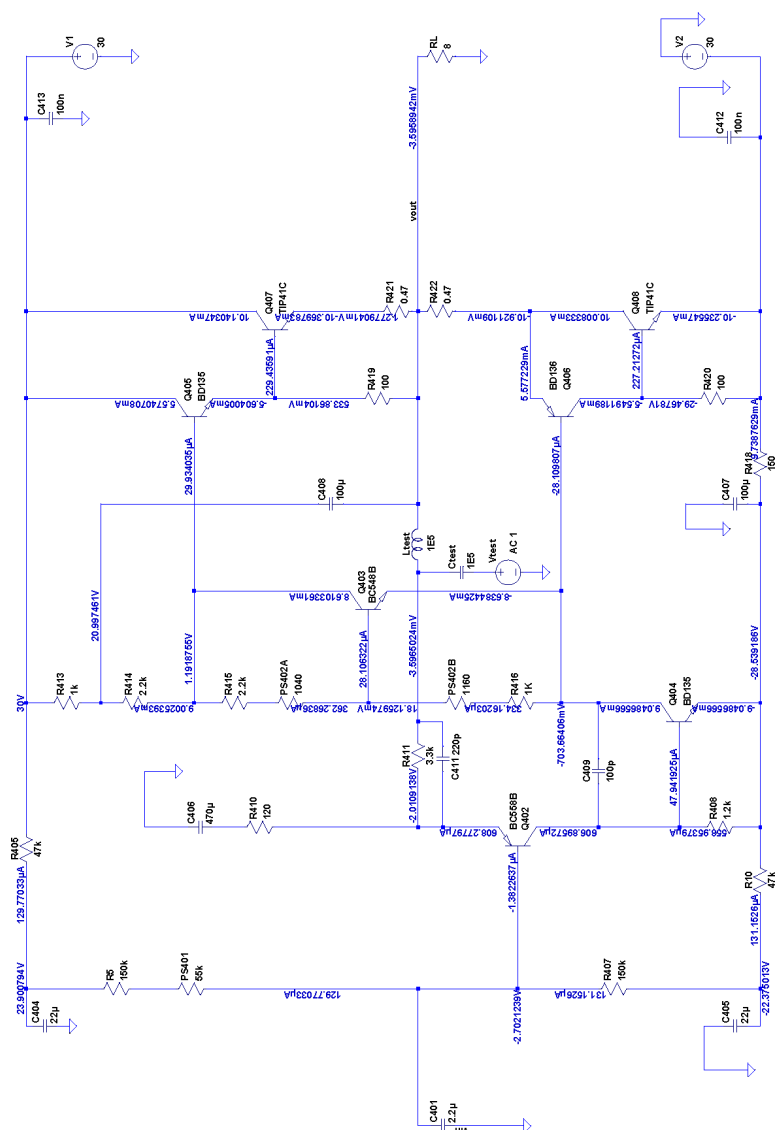


Figura 4.16: Circuito usado para simular la ganancia de lazo.

4.11.9. Distorsión armónica del amplificador

En el cuadro [4.11.1] se resumen los resultados obtenidos al realizar la simulación para determinar la distorsión armónica total (**THD**) para 8 combinaciones de frecuencia y potencia de salida sobre la carga. El cálculo se realizó directamente con el comando **SPICE** *.fourier*, teniendo en cuenta nueve armónicas de la señal y usando todos los datos de aproximadamente 1s de simulación.

	0,1W	1W	10W	90 % de max.
1kHz	0,055 %	0,023 %	0,014 %	0,055 %
10kHz	0,144 %	0,077 %	0,057 %	0,107 %

Cuadro 4.11.1: Distorsión armónica total (**THD**).

Vemos que la distorsión es menor para 1kHz de frecuencia de entrada y también que presenta un mínimo alrededor de las potencias medias, es decir, disminuye de bajas a medias potencias y sube de medias a altas potencias.

4.11.10. Distorsión por intermodulación del amplificador

En el cuadro [4.11.2] se resumen los resultados obtenidos al realizar la simulación para determinar la distorsión por intermodulación (**IMD**) para 4 potencias de salida sobre la carga. El cálculo se realizó con el comando **SPICE** *.fourier*, se tomaron las armónicas de 100Hz hasta la armónica 55, de modo de tomar 5 armónicas por arriba y 5 armónicas por debajo del tono puro de 5kHz, y usando todos los datos de aproximadamente 1s de simulación.

Se observa que la **IMD** parece crecer para valores bajos y altos de la potencia de salida, teniendo un mínimo a potencias medias.

	0,1W	1W	10W	90% de max.
IMD	0,108 %	0,043 %	0,048 %	0,51 %

Cuadro 4.11.2: Distorsión armónica total (**IMD**).

4.11.11. Rechazo de Ruido de la Fuente de Alimentación (“PSNR”).

En el cuadro [4.11.3] se resumen los resultados obtenidos al realizar la simulación para determinar el rechazo de ruido de la fuente de alimentación (**PSNR**) para 4 frecuencias de la señal de ruido presente en la fuente de alimentación y para una tensión de pico de ruido de 1mV.

	50Hz	100Hz	1kHz	10kHz	50kHz	100kHz
PSNR	53,2dB	59,1dB	78,99dB	93,07dB	89,18dB	84,82dB

Cuadro 4.11.3: Rechazo de Ruido de la Fuente de Alimentación (“**PSNR**”).

El rechazo al ruido de la fuente parece ser mayor cerca del centro de la banda del amplificador.

5. Observaciones y conclusiones

5.1. Observaciones y conclusiones

El análisis del circuito del amplificador en general fue muy similar a analizar el amplificador de la fuente de alimentación del **TP1**, excepto por la presencia de una etapa de salida en clase **AB**. Es justamente en la etapa de salida donde se presentaron los mayores problemas, ya que estrictamente no se trata de un circuito que se pueda analizar con el modelo de pequeña señal de los transistores, complicando todos los cálculos y obligando a valerse de simulaciones para saber como se comporta el circuito.

6. Bibliografía

Referencias

- [1] *Analysis and Design of Analog Integrated Circuits (3rd Edition)*
Author: Paul R. Gray
Author: Robert G. Meyer
Publisher: John Wiley & Sons, Inc.; 3rd Edition (January 15, 1993)
Copyright: © 1993, John Wiley & Sons, Inc.
ISBN 10: 0471574953
Website: [Analysis and Design of Analog Integrated Circuits \(3rd Edition\)](#)
- [2] *Analysis and Design of Analog Integrated Circuits (4th Edition)*
Author: Paul R. Gray
Author: Paul J. Hurst
Author: Stephen H. Lewis
Author: Robert G. Meyer
Publisher: John Wiley & Sons, Inc.; 4th Edition (2001)
Copyright: © 2001, John Wiley & Sons, Inc.
ISBN 10: 0471321680
ISBN 13: 9780471321682
Website: [Analysis and Design of Analog Integrated Circuits \(4th Edition\)](#)
- [3] *Analysis and Design of Analog Integrated Circuits (5th Edition)*
Author: Paul R. Gray
Author: Paul J. Hurst
Author: Stephen H. Lewis
Author: Robert G. Meyer
Publisher: John Wiley & Sons, Inc.; 5th Edition (2009)
Copyright: © 2001, John Wiley & Sons, Inc.
ISBN 10: 0470245999
ISBN 13: 9780470245996
Website: [Analysis and Design of Analog Integrated Circuits \(5th Edition\)](#)
- [4] *Circuitos microelectrónicos (4^{ta} Edición) español*
Author: Adel S. Sedra
Author: Kenneth C. Smith
Publisher: Oxford, University press; 4^{ta} Edición (2001)
Copyright: © 1999, Oxford, University press México.
Original Copyright: © 1998, 1991, 1987, 1982, Oxford, University press Inc.
ISBN 10: 01951166310
Website: [Circuitos microelectrónicos \(4^{ta} Edición\) español](#)

[5] *Microelectronic circuits (5th Edition)*

Author: Adel. S. Sedra

Author: Kenneth C. Smith

Publisher: Oxford, University press; 5th Edition (2004)

Copyright: © 2004, 1998, 1991, 1987, 1982, Oxford, University press Inc.

ISBN 10: 0195142527

Website: [Microelectronic circuits \(5th Edition\)](#)

Apéndices

A. Hojas de datos

A.1. BC548

BC548*NPN Epitaxial Silicon Transistor*Manufacturer page: <https://www.onsemi.com/PowerSolutions/product.do?id=BC548>Manufacturer Datasheet: <https://www.onsemi.com/pub/Collateral/BC550-D.pdf>

A.2. BC558

BC558*PNP Bipolar Transistor*Manufacturer page: <https://www.onsemi.com/PowerSolutions/product.do?id=BC558B>Manufacturer Datasheet: <https://www.onsemi.com/pub/Collateral/BC556B-D.PDF>

A.3. BD135

BD135*1,5A, 45V NPN Bipolar Power Transistor*Manufacturer page: <https://www.onsemi.com/PowerSolutions/product.do?id=BD135>Manufacturer Datasheet: <https://www.onsemi.com/pub/Collateral/BD135-D.PDF>

A.4. BD136

BD136*1,5A, 45V PNP Bipolar Power Transistor*Manufacturer page: <https://www.onsemi.com/PowerSolutions/product.do?id=BD136>Manufacturer Datasheet: <https://www.onsemi.com/pub/Collateral/BD136-D.PDF>

A.5. TIP41

TIP41*NPN Bipolar Power Transistor, 6A, 60V*Manufacturer page: <https://www.onsemi.com/PowerSolutions/product.do?id=TIP41>

Manufacturer Datasheet: <https://www.onsemi.com/pub/Collateral/TIP41A-D.PDF>

A.6. Metal film resistor

Metal film resistor

Metal film resistor

Manufacturer page: <https://www.vishay.com/resistors-fixed/metal-film/tab/doclibrary/>

A.7. Carbon film resistor

Carbon film resistor

Carbon film resistor

Manufacturer page: <http://www.vishay.com/resistors-fixed/carbon-film/tab/doclibrary/>

A.8. Ceramic capacitor

Ceramic capacitor

Ceramic disk capacitor

Manufacturer page: <https://www.vishay.com/capacitors/ceramic/disc/>

A.9. Electrolytic Aluminum capacitor

Electrolytic capacitor

Electrolytic aluminum capacitor

Manufacturer page: <https://www.vishay.com/capacitors/aluminum/>