



# FACULTAD DE INGENIERIA

Universidad de Buenos Aires

CIRCUITOS ELECTRÓNICOS II - 66.10

## Trabajo práctico final

---

### Diseño de un amplificador clase G

---

*Alumnos:*

IRUSTA Pablo                      Padrón N° 80171

[pabirus@gmail.com](mailto:pabirus@gmail.com)

LUNA Diego                      Padrón N° 75451

[diegorluna@gmail.com](mailto:diegorluna@gmail.com)

NIERO Adrián                      Padrón N° 80533

[adrianniero@gmail.com](mailto:adrianniero@gmail.com)

ROMERO Daniel                      Padrón N° 69456

[danielosrom@gmail.com](mailto:danielosrom@gmail.com)

*Docentes:*

Ing. BERTUCCIO José Alberto

Ing. ACQUATICCI Fabián\*

Ing. MARCHI Edgardo

Ing. BULACIO Matías

Ing. D'ANGIOLO Federico

Ing. GAMEZ Pablo

(\*) Docente asignado.

5 de julio de 2019



# Índice

<b>Índice</b>	<b>I</b>
<b>1. Actividades previas al diseño</b>	<b>1</b>
1.1. Objetivo y requerimientos de usuario . . . . .	1
1.2. Especificaciones . . . . .	1
1.2.1. Acerca de la máxima excursión . . . . .	1
1.2.2. Acerca del slew-rate . . . . .	2
1.3. Diseño conceptual . . . . .	3
1.3.1. Realimentación global . . . . .	3
1.3.2. Amplificador a lazo abierto . . . . .	4
1.3.3. Antecedentes . . . . .	5
1.3.4. Etapa de entrada . . . . .	5
1.3.5. Etapa de amplificación de tensión (VAS). . . . .	7
1.3.6. Etapa de salida . . . . .	7
1.3.6.1. Protección de cortocircuito . . . . .	8
1.3.7. Diagrama en bloques . . . . .	9
1.4. Diseño circuital . . . . .	11
1.4.1. Etapa de entrada . . . . .	12
1.4.2. Etapa de amplificación de tensión . . . . .	13
1.4.3. Etapa de salida . . . . .	13
1.4.4. Realimentador . . . . .	14
1.4.5. Multiplicador de $V_{be}$ . . . . .	15
1.4.6. Compensación . . . . .	16
1.5. Simulaciones . . . . .	20
1.5.1. THD . . . . .	20
1.5.2. Slew Rate . . . . .	21
1.5.3. CMRR - factor de rechazo de modo común . . . . .	22
1.5.3.1. Modo común . . . . .	22
1.5.3.2. Modo diferencial . . . . .	22
1.5.3.3. CMRR . . . . .	22
1.5.4. PSRR - factor de rechazo a la fuente . . . . .	23
1.5.5. Resistencia de salida . . . . .	23
1.5.6. Resistencia de entrada . . . . .	25
1.5.7. Respuesta en frecuencia . . . . .	26
1.5.8. Ancho de banda de potencia . . . . .	27
1.5.9. Primera etapa . . . . .	28
1.5.10. Segunda etapa . . . . .	29
1.6. Análisis de los condicionantes de integración . . . . .	29
1.6.1. Redes de salida . . . . .	29
1.6.1.1. Red de Zobel - . . . . .	30

1.6.1.2. Red aisladora R-L - . . . . .	30
1.6.2. Alimentación . . . . .	32
1.6.3. Diagramas de conexiónado . . . . .	32
1.6.4. Disipación de Calor . . . . .	33
1.6.4.1. Disipadores elegidos: . . . . .	34
1.6.5. Fuentes de Ruido Intrínsecas . . . . .	35
1.6.5.1. Ruido Térmico o Ruido Johnson . . . . .	35
1.6.5.2. Ruido Shot . . . . .	35
1.6.5.3. Ruido Popcorn . . . . .	35
1.6.6. Fuentes Conmutadas . . . . .	35
1.6.7. Capacitancias parasitas . . . . .	36
1.6.8. Lista de materiales . . . . .	38
1.6.9. Diseño PCB . . . . .	39
<b>2. Grado de avance</b>	<b>41</b>
<b>3. Dificultades encontradas</b>	<b>41</b>
<b>4. Resumen de actividades a desarrollar</b>	<b>42</b>

## Índice de figuras

1.1. Modelo general de realimentación negativa. . . . .	3
1.2. Modelo amplificador-realimentación. El amplificador se encuentra realimentado con una topología serie-paralelo, midiendo tensión a la salida, y sumando tensión a la entrada, resultando un amplificador de ganancia de tensión estabilizado en tensión. . . . .	4
1.3. Tres etapas de un amplificador típico, su realimentación y su capacitor de Miller. Los valores son a modo de ejemplo y no representan al amplificador diseñado. . . . .	4
1.4. Amplificador clase G, Douglas Self . . . . .	6
1.5. Limitador de corriente simple . . . . .	8
1.6. Diagrama en bloques del amplificador clase G . . . . .	9
1.7. Circuito Diseñado . . . . .	11
1.8. Etapa primera del circuito diseñado. . . . .	12
1.9. VAS en CC-EC del riel negativo del circuito diseñado. . . . .	13
1.10. Realimentación global implementada, junto con su compensación por atraso de fase. . . . .	14
1.11. Modelo amplificador-reflejando resistencias . . . . .	15
1.12. Multiplicador de $V_{be}$ simétrico utilizado. . . . .	16
1.13. Bode - margen de fase y ganancia. . . . .	17
1.14. Bode de la ganancia de lazo sin compensación. La línea inferior corresponde a la fase y la superior a la amplitud. . . . .	18
1.15. Bode de la ganancia de lazo con compensación. La línea punteada corresponde a la fase y la llena a la amplitud. . . . .	19
1.16. Aumento del ancho de banda, debido a la realimentación. . . . .	19
1.17. Distorsión a $1kHz$ a distintos valores de tensión pico de salida. . . . .	21
1.18. Salida simulada frente a una entrada escalón. . . . .	22
1.19. Circuito usado para simular la amplificación de modo común. . . . .	22
1.20. Circuito usado para simular la resistencia de salida. La caja representa al amplificador. . . . .	23
1.21. Barrido en frecuencias de la impedancia de salida simulada. . . . .	24
1.22. Barrido en frecuencias de la impedancia de salida simulada para frecuencias hasta $30kHz$ . . . . .	25
1.23. Resistencia de entrada. Cociente entre tensión y corriente de entrada simuladas para pequeña señal de distintas frecuencias. . . . .	26
1.24. Diagrama de Bode del amplificador a lazo cerrado simulado. El módulo, en línea llena y la fase en línea punteada. . . . .	27
1.25. Distorsión a máxima excursión en función de la frecuencia. La línea verde marca la frecuencia a la cual comienza a afectar el slew rate ( $80kHz$ ) . . . . .	27
1.26. El capacitor $C8$ se agrega para anular la realimentación en señal. . . . .	28
1.27. Simulación de ganancia de la primera etapa. . . . .	29
1.28. Simulación de ganancia de la segunda etapa. . . . .	29
1.29. Redes de salida típicas para compensar cargas inductivas y capacitivas. . . . .	30
1.30. Simulación de la red de salida. . . . .	31
1.31. Respuesta al impulso de la red de salida en color verde. . . . .	31
1.32. Diagrama completo . . . . .	32

1.33. Diagrama interno . . . . .	33
1.34. Modelo termico estacionario. . . . .	33
1.35. Disipador ZD-23 . . . . .	34
1.36. Disipador ZD-14 . . . . .	35
1.37. Cable trenzado con malla metalica. . . . .	37
1.38. Diseñando en programa Kicad . . . . .	39
1.39. PCB, front . . . . .	40
1.40. PCB, back . . . . .	41

## Índice de cuadros

1.6.1.Lista de materiales . . . . .	38
-------------------------------------	----





# 1. Actividades previas al diseño

## 1.1. Objetivo y requerimientos de usuario

Nuestro objetivo es armar un circuito que amplifique una señal de audio que será reproducida en un Baffle (asumimos respuesta resistiva pura en todo el ancho de banda). Debe proveer al usuario con una buena calidad de sonido con volumen alto sin consumir mucha más energía de la necesaria ni ser muy grande y pesado. Es decir, debe tener baja distorsión, alta relación señal-ruido (SNR), eficiencia razonable y buena ganancia y potencia máxima de salida.

## 1.2. Especificaciones

- Máxima Potencia de Salida: 60W *RMS* @ 8Ω
- Salida clase **G**
- THD: < 0,01%@1kHz, < 0,02%@10kHz , a 60W*RMS*@8Ω y 1W*RMS*@8Ω
- Slew Rate: > 15  $\frac{V}{\mu S}$
- Impedancia de entrada: > 30kΩ
- Sensibilidad: 1,1V *pico* @ 8Ω
- Ancho de banda: 10Hz – 30kHz
- Factor de amortiguamiento: > 200
- Ancho de banda de potencia: > 30kHz
- Alimentación:
  - Baja tensión: ±15V, *ripple máximo* 10%
  - Alta tensión: ±49V, *ripple máximo* 10%
- Máxima excursión: 31V

### 1.2.1. Acerca de la máxima excursión

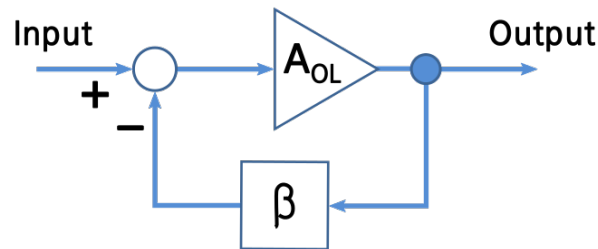
Para una salida senoidal de 60W *RMS*, su potencia pico es  $\frac{V_{max}^2}{R_L} = 120W$  que, con carga  $R_L = 8\Omega$  da una tensión pico de  $V_{max} \cong 31V$ . A esta tensión se llega cuando la entrada es la sensibilidad especificada, 1,1V*pico*@8Ω. Estos 31V serán la máxima excursión, la tensión máxima en la que el amplificador garantiza que no haya recortes bajo cualquier condición de alimentación, ya que al no ser regulada la fuente de alimentación se consideró el peor caso, con la tensión de línea a 80% de su valor nominal, esto se detalla en la sección sobre la fuente de alimentación.

**1.2.2. Acerca del slew-rate**

El slew rate especificado  $\left(15 \frac{V}{\mu s}\right)$  mas que duplica el valor mínimo para cumplir las otras especificaciones: el mayor ritmo de crecimiento para señales de ancho de banda 30kHz y máxima excursión 31V se da cuando la senoide cruza por cero, y su pendiente es  $2\pi \times 30\text{kHz} \times 31\text{V} \cong 5,8 \frac{V}{\mu s}$ .

### 1.3. Diseño conceptual

El diseño de un amplificador de tensión como un solo bloque que cumpla con las especificaciones, es una tarea de muy alta complejidad, pero se simplifica enormemente con el uso de técnicas de realimentación, comunes en la teoría de control, que se implementaron en este amplificador.



**Figura 1.1:** Modelo general de realimentación negativa.

#### 1.3.1. Realimentación global

Debido a la complejidad del circuito, cumplir con todas las especificaciones a lazo abierto es altamente complejo y requiere demasiada precisión en el cálculo y elección de componentes. Esto derivaría en un circuito altamente complejo y costoso. Es por este motivo que se emplea el realimentador. En esquema empleado se ve en la figura 1.2.

Dado que en un amplificador de audio se busca que la salida sea una versión de escalada de la señal de entrada, se busca tomar una muestra de la misma, y compararla con la señal de entrada.

Suponiendo que la ganancia a lazo abierto del circuito es mucho mayor que la ganancia del realimentador, este último es el encargado de fijar la ganancia a lazo cerrado, siendo la misma  $A_v \simeq \frac{1}{\beta}$ , y  $f$  la ganancia del realimentador.

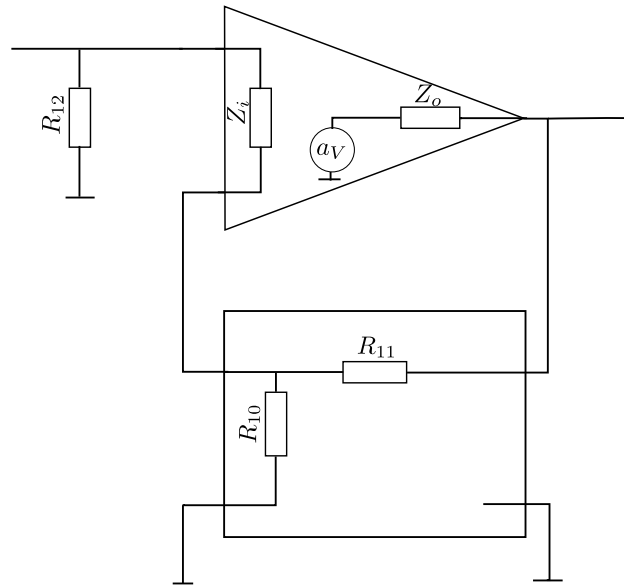
Una ventaja de esta técnica es que ayuda a que el amplificador se asemeje a un amplificador de tensión ideal, ya que aumenta la resistencia de entrada, mientras que disminuye la de salida.

La realimentación es muy beneficiosa siempre que sea negativa. Dado que el sistema introduce defasajes, para ciertas frecuencias la realimentación pasa de ser negativa a ser positiva (esto haría que las diferencias entre la señal de salida real y deseada se amplifiquen en lugar de reducirse). Para evitar que el circuito se vuelva inestable, es necesario que para las frecuencias donde se invierte la fase, el circuito pase de amplificar a atenuar. Si esto no ocurre naturalmente, es necesario agregar componentes adicionales para compensar el circuito y evitar que se vuelva inestable.

Otro factor a tener en cuenta, es que puede darse la aparición de frecuencias en la salida del circuito fuera del rango de las que se presentan naturalmente en la entrada (en este caso 20Hz - 20kHz por tratarse de audio). También para eliminar estos inconvenientes es que el sistema debe ser compensado.

El uso de realimentación global permite mejorar notablemente casi todas las especificaciones del amplificador y simplificar su diseño. En este caso, como el objetivo es armar un amplificador de tensión, utilizamos

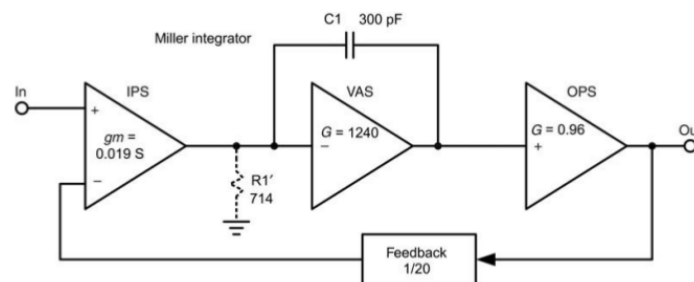
un circuito realimentador Serie-Paralelo (muestra tensión y suma tensión). El factor de realimentación queda definido por las especificaciones de sensibilidad y potencia RMS para una carga determinada.



**Figura 1.2:** Modelo amplificador-realimentación. El amplificador se encuentra realimentado con una topología serie-paralelo, midiendo tensión a la salida, y sumando tensión a la entrada, resultando un amplificador de ganancia de tensión estabilizado en tensión.

### 1.3.2. Amplificador a lazo abierto

Las etapas de un amplificador hacen referencia a su estructura a gran escala: el diagrama en bloques que modulariza los componentes y ayuda a diseñar, entender y evaluar su funcionamiento. La arquitectura de un amplificador típico consta, básicamente, de 3 etapas: una de entrada, diferencial, una intermedia, de ganancia de tensión, y una de salida, de ganancia de corriente o potencia (figura 1.3).



**Figura 1.3:** Tres etapas de un amplificador típico, su realimentación y su capacitor de Miller. Los valores son a modo de ejemplo y no representan al amplificador diseñado.

Se han propuesto arquitecturas de dos etapas (como en “Linsley-Hood, Simple Class-A amplifier, Wireless World ( April 1969 ) p. 148” y en “B. Olsson, Better audio from non-complements? Electronics World ( December 1994 ) p. 988”) unificando la segunda y la tercera etapa. Sin embargo, dificulta el proceso de diseño sin grandes beneficios visibles, es poco común entre amplificadores comerciales, y suele ofrecer mala distorsión. También se han propuesto arquitecturas de cuatro etapas, como Lohstroh y Ojala en su paper “An audio power amplifier for ultimate quality requirements”. Sin embargo, tampoco es muy usado en la industria, pues esta complejidad adicional no parece traer beneficios.

El amplificador diseñado entonces tiene una **estructura típica de tres etapas**. La última etapa es la responsable de proveer la potencia y la que determina la eficiencia, tamaño y peso del amplificador; en particular, es la etapa que le da el nombre de amplificador **Clase G**.

### 1.3.3. Antecedentes

El libro de Douglas-Self compila la vasta experiencia de un diseñador de amplificadores profesional. Es un libro de referencia y renombre en el mundo de los amplificadores de audio. Durante el diseño de este amplificador se tomó de referencia este libro para evaluar las opciones y sus ventajas y desventajas según la experiencia de la industria. El clase G de la figura 1.4 fue tomado directamente de su libro y estudiado.

### 1.3.4. Etapa de entrada

En el esquema de tres etapas, la primera cumple la función de amplificar la diferencia entre sus dos entradas, ignorando la suma. Esta capacidad de rechazo de la suma es importante no sólo para implementar el modelo de realimentación planteado, sino para reducir el efecto de ruidos que afecten de forma igual a ambas entradas. Sin embargo, esta simetría no es total: el comportamiento en un semiciclo difiere del comportamiento del semiciclo opuesto, por estas mismas alinealidades mencionadas. Se eligió entonces una topología de doble par diferencial. Es decir, propusimos agregar otro par, en paralelo, con componentes complementarios: donde originalmente usamos transistores NPN, colocamos PNP, y viceversa. De esta forma, la simetría cancela alinealidades y se reduce la distorsión aún más. Esto llevó a luego intentar mantener una simetría total en todo el circuito.

Otra opción de diseño más, es la de la carga de los pares diferenciales. Estos pueden ser activas o pasivas. Por lo general, se elige una carga de tipo activa, como por ejemplo, una fuente de corriente espejo, porque da una menor distorsión, pero en nuestro caso, elegimos un amplificador tipo cascode, con una carga pasiva, porque necesitamos la carga para polarizar la etapa siguiente, donde explicaremos el motivo.

Por último y no menos importante, es necesario determinar la forma de polarizar con corriente a los transistores de las ramas de los amplificadores diferenciales. Esto se hace mediante una fuente de corriente cuyo diseño puede tomar diversas formas: fuente espejo, semi-espejo, cascode, etc. Normalmente, se utiliza un transistor con una resistencia en serie en el emisor, y algún semiconductor entre base y emisor, para fijar una tensión de polarización, mientras la resistencia antes mencionada determina la corriente de polarización que luego se dividirá a la mitad por las ramas del diferencial. La opción elegida Una hace uso de un LED que no sólo polariza el transistor, sino que también sirve de indicador de que la fuente de corriente está en

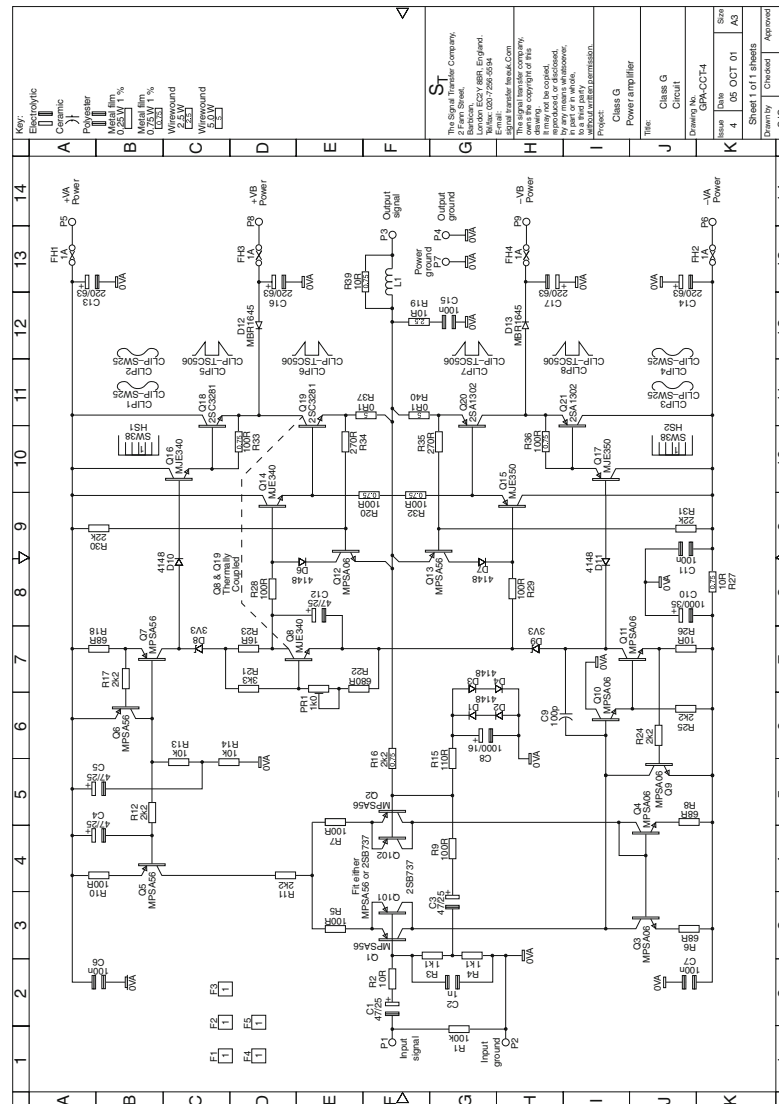


Figure 19.12. The full circuit diagram of the Class-G amplifier.

Figura 1.4: Amplificador clase G, Douglas Self

funcionamiento. Otras variantes proponen poner dos diodos en serie, que fijan 0,7 V en la resistencia en serie con el emisor, y facilitan la calibración de la corriente de polarización. Otra configuración, conocida por ser muy estable ante variaciones de tensión de riel, es reemplazar los diodos por un transistor, con emisor y base entre los terminales de la resistencia, y el colector a la base del primer transistor. Normalmente, estas fuentes, toman la referencia desde los rieles externos, porque son más estables que los internos, pero en este caso, al ser las tensiones de los rieles externos, muy elevados, preferimos utilizar un circuito regulador, para tomar de los rieles internos, y obtener 9 V de notable estabilidad, gracias al Rechazo de Ripple de 60 dB del regulador.

### 1.3.5. Etapa de amplificación de tensión (VAS).

Por lo general, la etapa de amplificación suele estar compuesta por un simple amplificador de configuración Emisor Común, entrando a la etapa de salida, por debajo del multiplicador de  $V_{be}$ , y polarizado por una fuente de corriente de colector. En este amplificador se optó por un diseño EF VAS: a este EC se le agrega una etapa colector común anterior, antes del amplificador. El seguidor cumple la función de para separar la etapa de entrada; esto mejora la distorsión. También se puede modificar para que la salida del VAS no sea por debajo del multiplicador de  $V_{be}$ , sino por el medio, para disminuir el offset a la salida, previo a la realimentación, y disminuir la distorsión. El inconveniente de este modo es que se necesitan dos fuentes de corriente más, ya que el modo anterior, aprovecha la fuente de polarización del EF VAS, para polarizar, también, el multiplicador de  $V_{be}$ . En nuestro caso, con el cambio a 2 pares diferenciales, duplicamos la etapa EF VAS, complementariamente, y se conectan a la etapa de salida, por arriba y por abajo del multiplicador de  $V_{be}$ . Como en este caso, cada uno de los dos EF VAS hace de carga del otro, los EF VAS no tienen fuente de polarización, entonces se necesita que la etapa diferencial tenga una carga resistiva, para fijar la tensión de base de los EF VAS. Si hubiéramos usado una carga tipo fuente espejo, habríamos logrado que la corriente en las ramas del par diferencial fuera igual, pero sin fijar ninguna tensión para polarizar la base de los EF VAS.

### 1.3.6. Etapa de salida

Esta etapa es la responsable de amplificar la potencia de la señal. Es decir, debe tener **alta eficiencia**, y **bajos niveles de distorsión**. Además, se busca **minimizar la impedancia de salida** para mantener un **alto factor de amortiguamiento** y evitar que el rebote acústico afecte el comportamiento del amplificador. La etapa de salida clase G está compuesta por dos o más niveles de alimentación que permiten incrementar la eficiencia del amplificador con respecto al clase B. Esto se logra ya que con tensiones bajas, se utilizará una fuente de tensión menor, preservando la máxima excursión posible sobre la carga que ofrece un clase B alimentado con la fuente de tensión mayor. Para señales con picos de baja amplitud en relación al valor medio, la mejora en la eficiencia es modesta. Sin embargo, en el caso en que la señal tenga picos considerables con respecto a su valor medio, la mejora es notable. Un punto importante, a la hora de diseñar una etapa de salida clase G, es la tensión de los rieles internos. Tomamos del libro de Douglas Self, los estudios realizados considerando los casos en los cuales la tensión de riel interno es de 30 y 60 % del externo, y se observó que

los beneficios en cuanto a eficiencia, del segundo caso, son pocos. En cambio, en el caso de rieles internos de 30 % respecto de los externos, la eficiencia aumenta considerablemente. Otro detalle de diseño, es la del multiplicador de  $V_{be}$  doble. El multiplicador de  $V_{be}$  más simple, tiene un transistor, y 2 resistencias, con las que forma el salto de potencial necesario para eliminar el problema de cruce por 0 de la etapa de salida. En este caso, se usan 2 transistores complementarios, con la misma idea que el del doble par diferencial, para que el corrimiento de tensión del multiplicador de  $V_{be}$  sea lo más lineal posible.

### 1.3.6.1. Protección de cortocircuito Opciones para protección de corriente

\* Limitación de corriente simple (figura 1.5)

Versión más básica. Cuando la corriente es tal que la caída en  $R_{e1}$  supera, aproximadamente, los 0,7V, los transistores  $TR1$  y  $TR4$  conducen y desvían corriente de la base de  $TR2$ . Análogamente, para el semiciclo negativo, si la caída en  $R_{e2}$  supera los 0,7V. Se muestrea corriente a través de  $R_{e1}$  y  $R_{e2}$ , que funcionan como resistencias de emisor y a la vez como sensores de corriente. Los valores de estas resistencias de emisor se determinan por los requerimientos de eficiencia o estabilidad, por lo que el valor de corriente límite queda determinado por los divisores de tensión ( $R1$ - $R2$  y el simétrico).

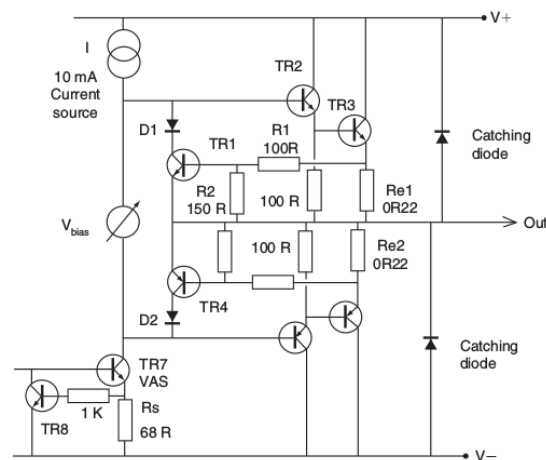
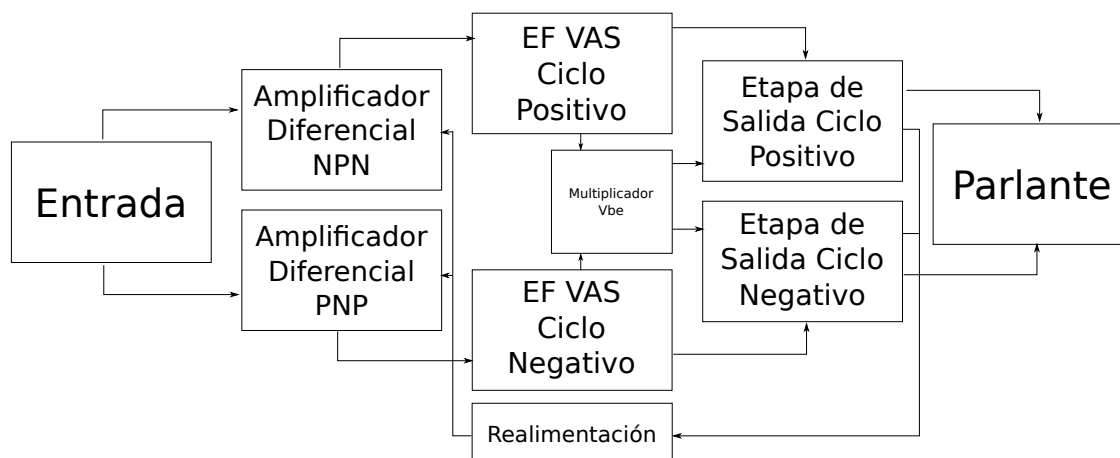


Figura 1.5: Limitador de corriente simple



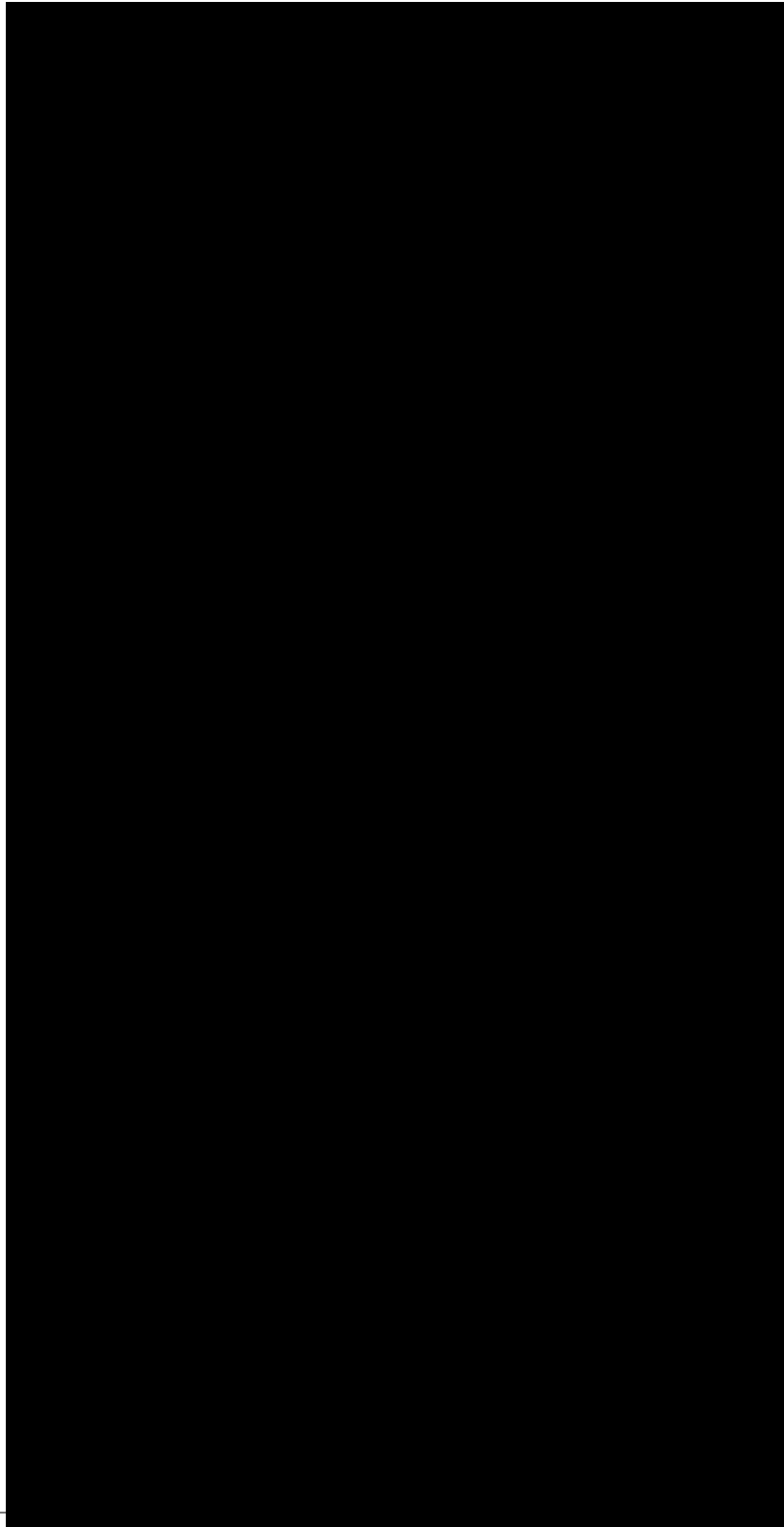
### 1.3.7. Diagrama en bloques



**Figura 1.6:** Diagrama en bloques del amplificador clase G



#### 1.4. Diseño circuital



### 1.4.1. Etapa de entrada

Se usó doble par diferencial para mantener la simetría total y reducir la distorsión por armónicos pares (figura 1.8). Cada par se diseñó teniendo en cuenta que la tensión de salida de polarización debía ser estable, pues la segunda etapa no estará polarizada por una fuente de corriente. Por esto, la resistencia de carga del par diferencial (RC1 y RC2) es de sólo  $2,4k\Omega$ , mucho menor que la resistencia dinámica de pequeña señal que le ofrece la segunda etapa ( $\cong 100k\Omega$ ), dominando el paralelo. Por la misma razón, se consideró de particular importancia garantizar que las corrientes de polarización por las ramas del par se independicen de posibles variaciones en la segunda etapa o del riel. Los transistores Q19 y Q21, en configuración cascode con Q17 y Q20 cumplen justamente la función de generar esta independencia.

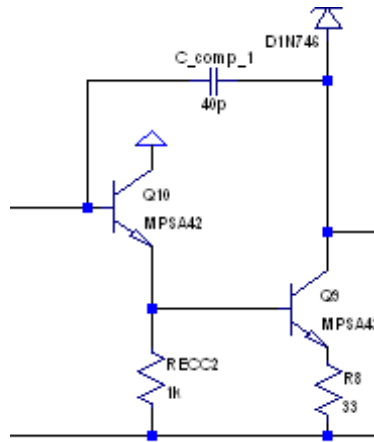
Se polarizó cada rama con una corriente de  $\cong 1mA$ . Mayor corriente no generaría una mucho mayor amplificación de la etapa, pues, para mantener una tensión de salida fija habría sido necesario reducir la resistencia de carga en igual proporción. Esta corriente se generó con una fuente hecha por un LED de 2,3V. Este LED permitirá visualizar rápidamente posibles errores de polarización en el amplificador armado.



**Figura 1.8:** Etapa primera del circuito diseñado.

### 1.4.2. Etapa de amplificación de tensión

Se optó por una configuración CC-EC, una para cada salida del doble par diferencial (figura 1.9). El colector común cumple la función de ofrecer una resistencia alta a la primera etapa, independizando la polarización de los parámetros variables de los transistores de la segunda etapa. Además, aumenta la diferencia de tensión de polarización requerida entre el riel y la entrada de la etapa, lo que permite el uso de una resistencia de carga mayor en la primera etapa, mejorando su ganancia. Esta configuración, además, ofrece un alto grado de independencia de las variaciones de tensión del riel, pues todas las tensiones involucradas varían en conjunto (la única que no lo hace es masa, pero está conectada al colector de Q13 y Q10, nodos de alta impedancia).



**Figura 1.9:** VAS en CC-EC del riel negativo del circuito diseñado.

Las resistencias de emisor del EC (R8 y R13) implementan realimentaciones locales que estabilizan la corriente de polarización y ganancia de la etapa. Son realimentaciones que serie-serie (muestran corriente y suman tensión). Son de valor reducido pues al estabilizar la ganancia, la reducen. Además, la caída de tensión en estas resistencias reduce la máxima excursión de la etapa antes de que saturan los transistores. Se eligieron los valores exactos (junto con los de las cargas de la primera etapa) para que la corriente de polarización sea  $\cong 25mA$ .

Las resistencias RECC2 y RECC1 aseguran una corriente de polarización del colector común  $> 1,5mA$ . De no existir, la polarización podría ser muy baja, y dependiente de las variabilidades del  $\beta$  del transistor del EC. Esta baja corriente implicaría, además, un  $r_d$  grande, y esto es indeseable: El EC es un amplificador de conductancia y, como tal, funciona mejor recibiendo una señal de entrada de baja impedancia por su base.

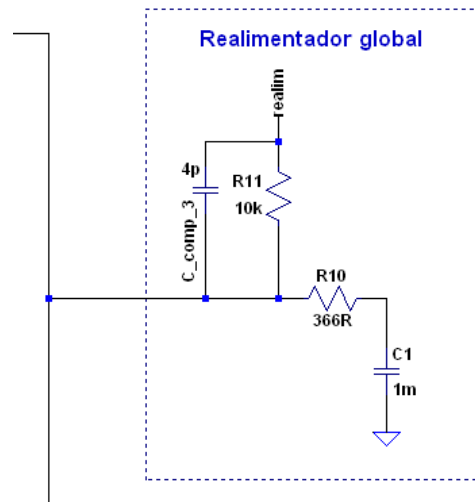
### 1.4.3. Etapa de salida

Se usan transistores en configuración Darlington, para tener una ganancia de corriente elevada, y con transistores en paralelo en la parte de mayor potencia para repartir la corriente y disminuir la disipación en

cada uno. Se colocaron las resistencias R14, R15, R16 y R17 de valor  $0,1\Omega$  para ayudar a que se reparta de forma equilibrada la potencia entre los transistores de potencia Q1-Q11 y Q7-Q12.

#### 1.4.4. Realimentador

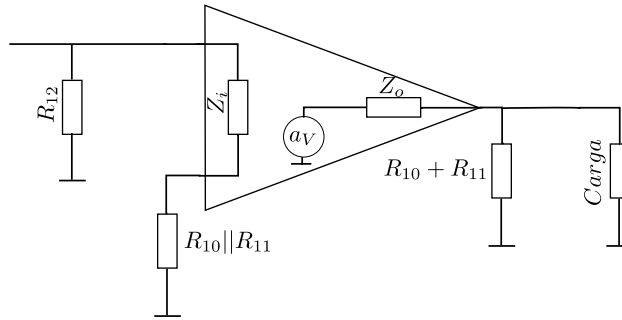
Como se había mencionado en el diseño conceptual, el factor de realimentación queda definido por las especificaciones de sensibilidad y potencia RMS que definen la ganancia. Para nuestras especificaciones, la ganancia del amplificador debe ser de  $29dB$  y por lo tanto el realimentador debe atenuar  $-29dB$ . Se implementa mediante un divisor de tensión que muestrea tensión y suma tensión. Deben ser resistencias lo suficientemente altas para que no afecten la salida al muestrear. Con una carga de  $8\Omega$ , esto es sencillo. Por otra parte, la corriente que entra a la base del par diferencial de la primera etapa debe ser despreciable frente a la que circula por el realimentador para no afectar al factor  $f$ . Los valores usados se ven en la figura 1.10.



**Figura 1.10:** Realimentación global implementada, junto con su compensación por atraso de fase.

El capacitor C1 cumple la función de modificar la realimentación en continua, a un factor unitario, y generar una simetría en las resistencias que ven las bases de los pares diferenciales de la primera etapa, y así reducir la tensión de offset. Por esta misma razón, la resistencia en paralelo a la entrada R12, que permite la polarización de Q17 y Q20 es del mismo valor que R11.

Consideremos el diagrama de la figura 1.2. Para hallar los valores de impedancia de entrada y salida, primero debemos reflejar las resistencias  $R_{10}$  y  $R_{11}$ , como vemos en el siguiente dibujo.



**Figura 1.11:** Modelo amplificador-reflejando resistencias

Este amplificador tiene una amplificación de tensión a lazo abierto, de aproximadamente 90 dB, con una impedancia de salida de aproximadamente  $6\ \Omega$ . La realimentación tiene un valor de  $\frac{1}{f} = \frac{R_{10}}{R_{10}+R_{11}} \rightarrow f = 0,035$ , resultando  $1+a_V \times f = 9K \times 0,035 = 318,77$ . La ganancia a lazo cerrado es  $A \cong f^{-1} = 28,6$ . En cuanto a la impedancia de entrada,  $R_{11}$  y  $R_{10}$  se reflejan en paralelo entre ellas, en serie a la impedancia de entrada del amplificador  $Z_i$ . Dada la relación entre las resistencias,  $R_{11}$  resulta despreciable, y a su vez,  $R_{10}$  resulta despreciable en serie con  $Z_i$ , que resulta despreciable, en paralelo con  $R_{12}$ , de  $10\ K\Omega$ . Para la resistencia de salida, tenemos la resistencia reflejada  $R_{10} + R_{11}$ , que es despreciable en paralelo con  $Z_o || R_{Carga} = 3,42\ \Omega$ . Luego  $\frac{3,42}{(1+a_V \times f)} = 0,01\ \Omega$ , que es la impedancia de salida resultante. La impedancia de entrada incrementada en la ganancia de lazo resulta ser mucho mayor a  $10k\Omega$ . En nuestro circuito, la resistencia  $R_{12}$  de valor  $10k\Omega$  en paralelo a la entrada del amplificador a lazo cerrado que domina la impedancia de entrada final.

#### 1.4.5. Multiplicador de $V_{be}$

Se diseñó (figura 1.12) con dos transistores para mantener la simetría total del circuito. La corriente de polarización de los transistores del VAS es  $\cong 25mA$ , y esta puede tener una excursión máxima de aproximadamente  $4mA$  pico-a-pico. Es decir, el multiplicador debe lograr polarizarse con corrientes de  $\cong 20mA$ . Las simulaciones muestran que se logra una mayor estabilidad en la tensión si los transistores están polarizados con corrientes bajas. Por lo tanto, se eligió **Rmvbe** tal que consuma una corriente  $< 20mA$ , pero del orden de los  $mA$ . Se podría haber elegido un valor más cercano a  $20mA$ , pero una simulación reemplazando al multiplicador por un generador de tensión ideal mostró que el funcionamiento y la distorsión del circuito no se veían afectados. Por esta misma razón, no se agregaron resistencias adicionales en los colectores, que usualmente se usan para generar una caída que compense el incremento de tensión con la corriente. Puede hacerse como posible optimización.

Las resistencias  $R_{18}$  y  $R_{19}$  se eligieron iguales por simetría, y de valor tal que la tensión generada sea levemente superior a  $2,8V$ . Esto permite colocar a los transistores de salida en modo levemente A-B, reduciendo la distorsión de su etapa.



**Figura 1.12:** Multiplicador de  $V_{be}$  simétrico utilizado.

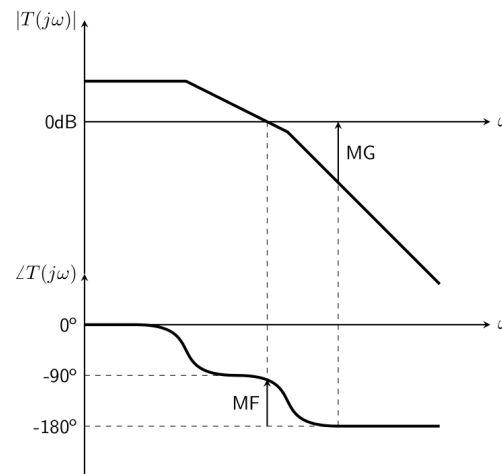
#### 1.4.6. Compensación

Un sistema realimentado puede sufrir de pérdidas de estabilidad debido al desfase que se produce en la señal. Si para algunas frecuencias se produce una inversión de fase y la ganancia es unitaria o mayor entonces el sistema pasa a estar realimentado positivamente para dichas frecuencias y oscila o se desestabiliza.

Para analizar la estabilidad del sistema es necesario analizar la ganancia a lazo abierto  $T(j\omega)$ . Un sistema adquiere la capacidad de oscilar si para una frecuencia dada  $\omega_k$  se da que  $T(j\omega_k) = -1$  y se vuelve inestable si  $|T(j\omega_k)| > 1 \wedge \angle T(j\omega_k) < -180$ .

Para esta clase de análisis es útil trazar el bode de la ganancia de lazo e identificar el margen de ganancia (MG) y de fase (MF), ver figura 1.13.





**Figura 1.13:** Bode - margen de fase y ganancia.

Lo que representan estos márgenes es lo siguiente:

### Margen de Ganancia

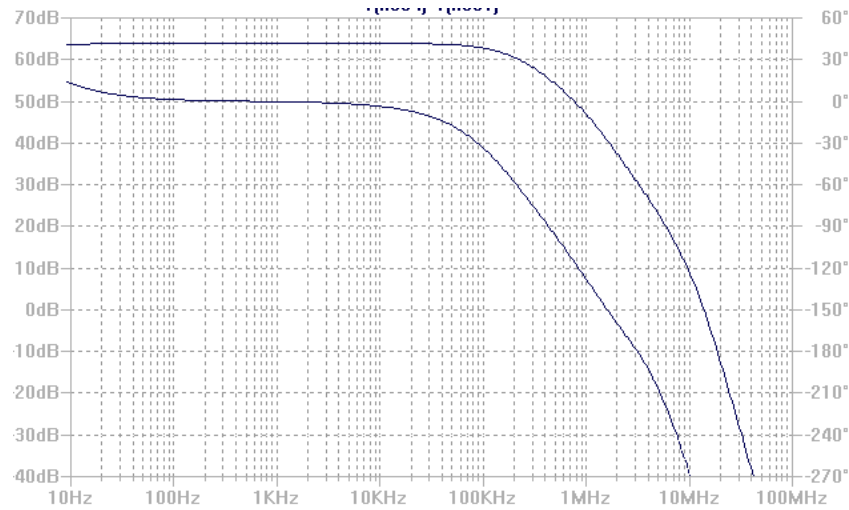
Representa la ganancia que habría que agregar (sumar en caso de dB) para volver inestable al sistema, se mide entonces la diferencia entre 0dB y la ganancia para la frecuencia en que la fase se invierte 180°. Si  $MG \leq 0\text{dB}$  entonces el sistema es inestable.

### Margen de Fase

Es el defasaje que habría que agregar al sistema para volverlo inestable, se mide entonces el ángulo que le resta a la fase por llegar a -180° al tener ganancia unitaria.

Si el margen de fase o ganancia son muy bajos o negativos, es necesario corregir, modificar el circuito para que no haya una inversión de fase en ninguna frecuencias que se amplifique en el lazo, por medio de su compensación.

Se realizó nuevamente una simulación a lazo abierto de forma análoga a la descripta en la sección anterior (figura 1.26): agregando un capacitor de  $1F$  en la entrada inversora del amplificador, y midiendo a la salida. Luego, a la salida se la multiplicó por  $f$  para obtener una simulación de la ganancia de lazo (figura 1.14)



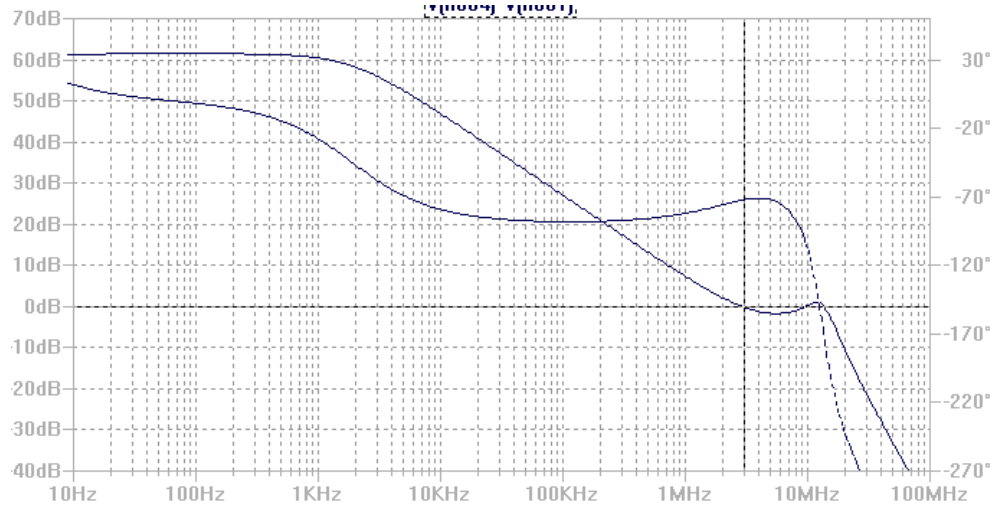
**Figura 1.14:** Bode de la ganancia de lazo sin compensación. La línea inferior corresponde a la fase y la superior a la amplitud.

Se puede apreciar un margen de fase negativo que es necesario compensar. El polo dominante se ubica en  $180\text{kHz}$  y corresponde al nodo entre la segunda y tercera etapa: a los colectores de Q14 y Q9. El margen de ganancia es de  $\cong 30\text{dB}$ . Desplazando al polo dominante una década y media hacia las frecuencias más bajas (hasta  $5,7\text{kHz}$ ) se llega a un margen de ganancia nulo, pues un polo hace decaer la ganancia en  $20\text{dB}$  por década. Sin embargo, el polo correspondiente a los nodos de entrada de la segunda etapa (bases de Q10 y Q13) puede desplazarse a  $5,7\text{kHz}$  con capacidades de menor valor, casi sin desplazar el polo en  $180\text{kHz}$ , aprovechando el efecto Miller. La resistencia de estos nodos está dominada por la de carga de los pares diferenciales (RC1 y RC2), de valor  $2,4\text{k}\Omega$ . Siendo  $\frac{1}{2\pi RC}$  la frecuencia del polo, se obtiene  $C \cong 11\text{nF}$ . Ahora bien, si la capacidad se coloca, en vez de contra masa, contra la salida de la etapa (colectores de Q14 y Q9), se puede usar una capacidad desde  $20\text{pF}$ , pues recordemos que la etapa tiene una amplificación de alrededor de  $55\text{dB}$  o 560 veces.

Se partió de ese valor como piso, se fue ajustando por simulación, y finalmente se colocaron capacitores (C\_comp\_1 y C\_comp\_2) de  $40\text{pF}$ . Esto da un margen de fase de  $85^\circ$  y un ancho de banda de  $2,4\text{MHz}$ . Estos capacitores limitan el slew rate, pero se observó que para valores menores a  $100\text{pF}$  el slew rate se encontraba por arriba de los  $7,5\frac{\text{V}}{\mu\text{s}}$  necesarios para el ancho de banda de potencia especificado, y para valores menores a  $60\text{pF}$ , sobre los  $15\text{V}/\mu\text{s}$  especificados. Por otra parte, incrementar este capacitor reduce la ganancia de lazo en frecuencias altas y, por lo tanto, los beneficios que esto trae a la distorsión, resistencias de entrada y salida, etc. Se optó por un valor de capacidades, con margen, que podría eventualmente reducirse.

Luego, se agregó un capacitor en paralelo al realimentador (C\_comp\_3) para mejorar levemente estas especificaciones. Esto agrega un cero seguido de un polo. Por ejemplo, para la frecuencia del cero, la fase se incrementa en  $45^\circ$  y la ganancia aumenta sólo en  $3\text{dB}$ , por lo que el ancho de banda se verá incrementado levemente y el margen de fase significativamente. Se comprobó simulando que ubicar el cero en  $4\text{MHz}$  es un buen valor. Esto se obtiene con una capacidad de  $4\text{pF}$  pues  $\frac{1}{2\pi 10\text{k}\Omega 4\text{pF}} \cong 4\text{MHz}$ . El bode resultante de

la ganancia de lazo compensado se muestra en la figura 1.15

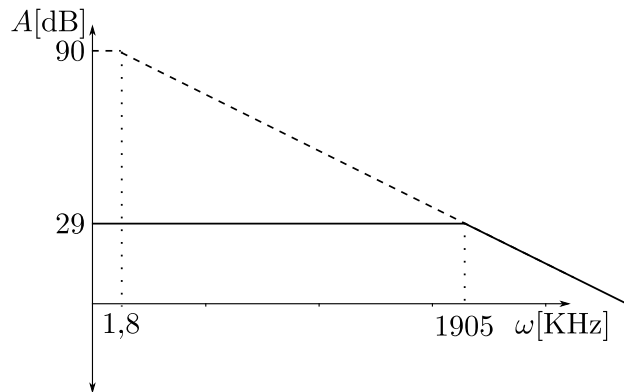


**Figura 1.15:** Bode de la ganancia de lazo con compensación. La línea punteada corresponde a la fase y la llena a la amplitud.

El margen de fase resultante es de  $105^\circ$  y el ancho de banda de  $3MHz$ , con un margen de ganancia de  $3dB$ . Se puede ver en la figura 1.18 que la respuesta al escalón no oscila.

Otra compensación se implementó para corregir el comportamiento inductivo del multiplicador de  $V_{be}$  en altas frecuencias. Se compensó con el capacitor  $C_{mvbe\_comp}$  de  $20nF$ .

Finalmente, con las ganancias a lazo abierto y lazo cerrado, realizamos el siguiente diagrama:



**Figura 1.16:** Aumento del ancho de banda, debido a la realimentación.

Como se puede ver en el gráfico, la ganancia a lazo abierto, de  $90\text{ dB}$ , tiene un ancho de banda de  $1,8kHz$ , totalmente inútil para un amplificador de audio que trabaja con señales de decenas de kilohertz. Cuando aplicamos la realimentación, la ganancia cae a  $29\text{ dB}$ , pero la frecuencia de corte pasa a ser  $1,8kHz \times (1 + a_v \times f) = 1,8 \times 1107 = 1,9MHz$ .

## 1.5. Simulaciones

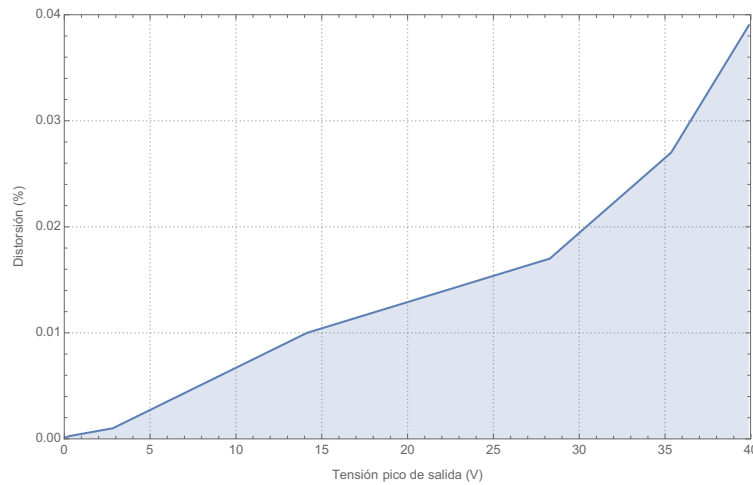
### 1.5.1. THD

A continuación se muestra una tabla con los resultados del análisis de Fourier realizados con el LTSpice para entrada de  $1,41V$  pico (máxima excursión,  $100WRMS$ ) a  $1kHz$ .

Harmonic Number	Frequency [Hz]	Fourier Component	Normalized Component	Phase [degree]	Normalized Phase [deg]
1	1.000e+03	3.985e+01	1.000e+00	0.00°	0.00°
2	2.000e+03	3.599e-03	9.032e-05	91.57°	91.57°
3	3.000e+03	1.515e-02	3.803e-04	1.50°	1.50°
4	4.000e+03	1.144e-03	2.871e-05	94.01°	94.01°
5	5.000e+03	1.920e-03	4.817e-05	-177.23°	-177.23°
6	6.000e+03	5.374e-04	1.348e-05	-74.65°	-74.65°
7	7.000e+03	6.560e-04	1.646e-05	14.67°	14.67°
8	8.000e+03	3.168e-04	7.950e-06	129.84°	129.84°
9	9.000e+03	3.698e-04	9.279e-06	-5.66°	-5.66°
10	1.000e+04	3.239e-04	8.127e-06	61.19°	61.19°
...					
Total Harmonic Distortion: 0.0396%					

La distorsión armónica simulada es de 0,04 % en la máxima excursión a  $1kHz$ . Una simulación similar determina que la distorsión a  $10kHz$  es de 0,03 %. A  $1W$  ( $4V$ ) de salida, y  $1kHz$ , la distorsión es de 0,0016 % y a  $10kHz$ , 0,002 %. Salvo este último caso, aún no cumplen con el 0,01 % especificado.

En la figura 1.17 se muestra la distorsión a  $1kHz$  en función de la tensión pico de salida.



**Figura 1.17:** Distorsión a  $1kHz$  a distintos valores de tensión pico de salida.

Los valores de distorsión bajan a potencias menores porque se reduce la distorsión por alinealidad de los transistores: mientras más chica es la excursión, más uno se encuentra en pequeña señal, y más lineal es la relación entre  $v_{be}$  e  $i_c$ . Por otra parte, se colocó al multiplicador de  $V_{be}$  de modo tal que haga funcionar a la etapa de salida en modo A-B, reduciendo la distorsión por crossover.

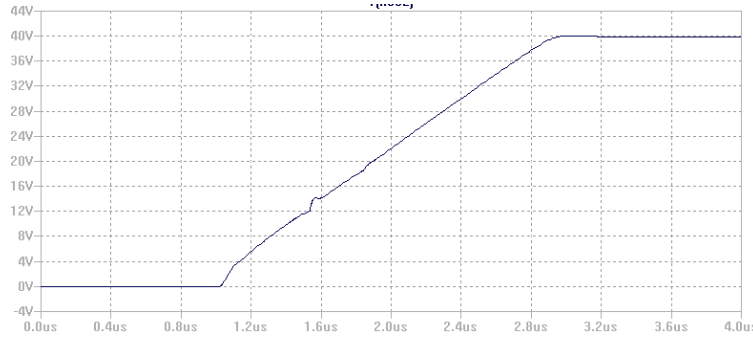
La figura 1.25, por su parte, muestra resultados de simulaciones de distorsión a máxima excursión en función de la frecuencia.

### 1.5.2. Slew Rate

Simulando una entrada escalón en el amplificador, se observa la salida de la figura 1.18 en la carga.

La pendiente es de  $20 \frac{V}{\mu s}$ . Esto es mayor a la máxima pendiente de la salida en máxima potencia a la máxima frecuencia especificada de  $30kHz$ , por lo que el ancho de banda de potencia cumplirá lo especificado ( $15 \frac{V}{\mu s} < 20 \frac{V}{\mu s}$ ).

Para hallar el SR de manera teórica, partimos de la fuente de corriente de un par diferencial. La corriente que generan es de  $853 \mu A$ , es decir,  $426 \mu A$  por rama. Si dividimos este valor por el Capacitor de Miller ( $40 pF$ ), nos queda un SR de  $10,65 \frac{V}{\mu s}$ . Si calculamos el ancho de banda de potencia, con este SR, nos da que la frecuencia máxima a la que el amplificador puede desarrollar  $40 V$  pico, de salida, es  $36,75 KHz$ . A pesar de que el SR nos dió menos que en la simulación, el ancho de banda sigue cumpliendo con las especificaciones. Esta diferencia se debe a que la simulación utiliza un método numérico para hallar las respuestas con un error pequeño, y el cálculo teórico se basa en varias hipótesis para simplificar el cálculo. Será importante, a la hora de armar el circuito, que éste funcione dentro de los parámetros esperados.

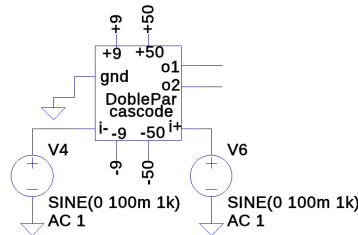


**Figura 1.18:** Salida simulada frente a una entrada escalón.

### 1.5.3. CMRR - factor de rechazo de modo común

Un amplificador diferencial ideal debería amplificar, como dice su nombre, las diferencias entre las tensiones de entrada, e ignorar la tensión media. El parámetro CMRR mide cuan bien esto se logra, como el cociente entre la ganancia de modo común  $A_c$  y la de modo diferencial  $A_d$ .

**1.5.3.1. Modo común** Se simuló la primera etapa frente una entrada común de  $100mV$  con el circuito de la figura 1.19 y se obtuvo la ganancia de modo común. Para cada par diferencial del doble par, cuyas salidas son o1 y o2 en la figura 1.19, se obtuvieron  $A_c^{NPN} = \frac{V_{o1}}{100mV}$  y  $A_c^{PNP} = \frac{V_{o2}}{100mV}$  como la relación entre la salida (pico) correspondiente al par y la entrada común (pico).



**Figura 1.19:** Circuito usado para simular la amplificación de modo común.

**1.5.3.2. Modo diferencial** La amplificación de modo diferencial se obtuvo de forma análoga, con las fuentes de la figura 1.19 conectadas a contrafase. Las tensiones pico de las fuentes usadas fueron de sólo  $1mV$  porque se esperaba una amplificación mucho mayor que para el caso de modo común. Es decir,  $A_d^{NPN} = \frac{V_{o1}}{2mV}$ , y  $A_d^{PNP} = \frac{V_{o2}}{2mV}$ .

**1.5.3.3. CMRR** El factor de rechazo es simplemente  $\frac{A_d}{A_c}$ , en valor absoluto.

	NPN	PNP
$A_c$	$-56dB$	$-59dB$
$A_d$	$31dB$	$33dB$
RRMC	$87dB$	$92dB$

#### 1.5.4. PSRR - factor de rechazo a la fuente

El PSRR se define como la relación entre el cambio en la tensión de alimentación y el cambio equivalente en la tensión de entrada. Idealmente este valor sería infinito.

Simulando para valores de la fuente de  $+50V$  entre  $40V$  y  $60V$  se obtuvo:

$$PSRR := \frac{\Delta V_{\text{fuente}}}{\Delta V_o} \cdot A_d = 86dB$$

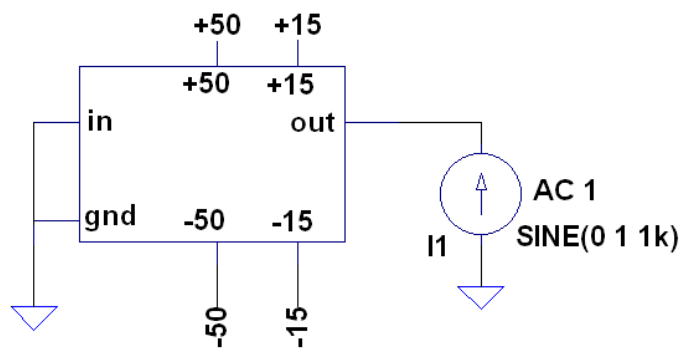
Es decir, con la ganancia de  $29dB$  de este circuito, por cada  $1V$  de riple en la fuente de  $+50V$  se superponen aproximadamente  $1,4mV$  en la salida ( $86dB - 29dB = 57dB$  y  $10^{\frac{-57}{20}} \cong 1,4mV$ )

También, se simuló y verificó el comportamiento correcto del amplificador para una posible caída de tensión en los rieles del 10 %: sólo se reduce la máxima excursión.

#### 1.5.5. Resistencia de salida

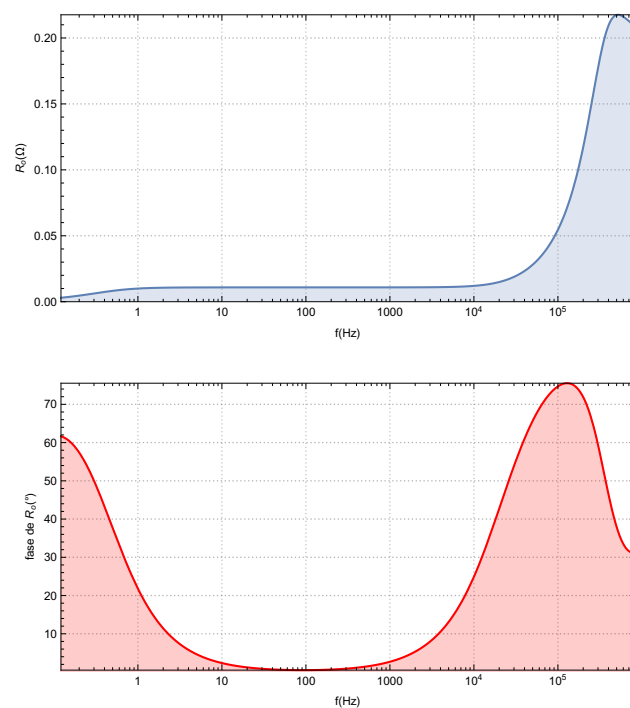
Para la simulación de la resistencia de salida, se colocó una fuente de corriente alterna de  $1A$  a la salida, con la entrada pasivada, y se capturó la tensión de salida en un barrido de frecuencias.

El circuito simulado, con una caja representando el amplificador, se observa en la figura 1.20.



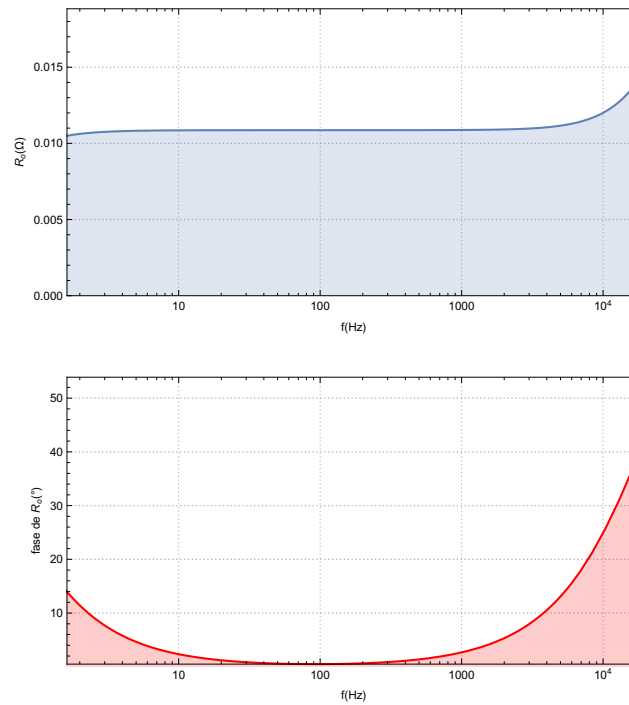
**Figura 1.20:** Circuito usado para simular la resistencia de salida. La caja representa al amplificador.

Los resultados del barrido se muestran en la figura 1.21, y un zoom en las frecuencias de trabajo especificadas en la figura 1.22.



**Figura 1.21:** Barrido en frecuencias de la impedancia de salida simulada.





**Figura 1.22:** Barrido en frecuencias de la impedancia de salida simulada para frecuencias hasta  $30kHz$ .

El módulo de la media geométrica de la impedancia de salida para las frecuencias entre  $1Hz - 30kHz$  es  $11m\Omega$ .

$$R_{out} \cong 11m\Omega$$

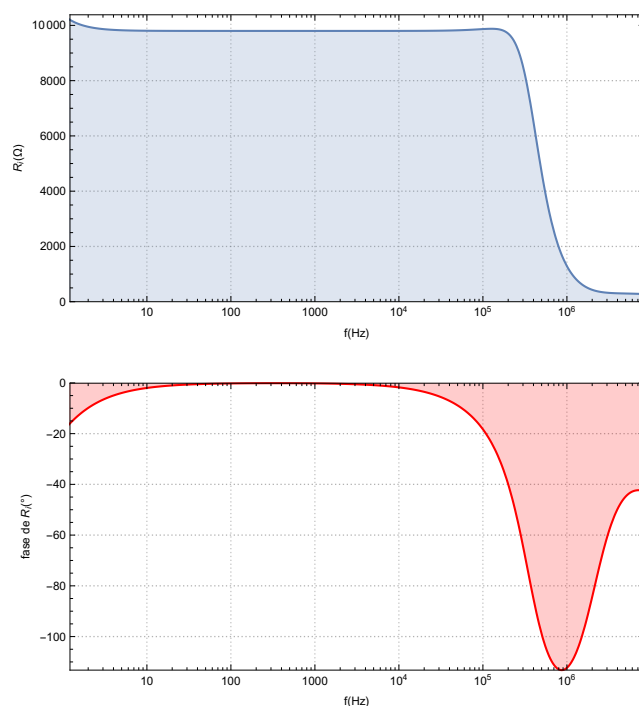
La realimentación global serie-paralelo logra que la resistencia de salida sea muy baja, tanto que las resistencias parásitas pueden terminar siendo un factor no despreciable. Si se desprecian, el factor de amortiguamiento es de  $\cong 730$ , cumpliendo cómodamente con lo especificado.

#### 1.5.6. Resistencia de entrada

Se simuló en el cociente entre la tensión de entrada y la corriente entregadas por el generador, para un barrido de frecuencias. El módulo de la media geométrica de la impedancia para las frecuencias entre  $1Hz - 30kHz$  es  $9,8k\Omega$ .

$$R_{in} = 9,8k\Omega$$

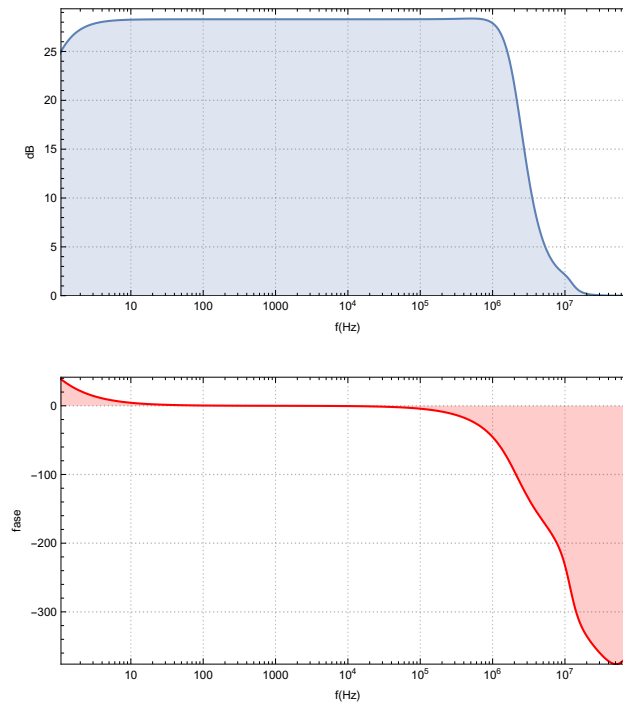
En la figura 1.23 se puede ver un barrido en frecuencias de la resistencia de entrada para pequeña señal.



**Figura 1.23:** Resistencia de entrada. Cociente entre tensión y corriente de entrada simuladas para pequeña señal de distintas frecuencias.

### 1.5.7. Respuesta en frecuencia

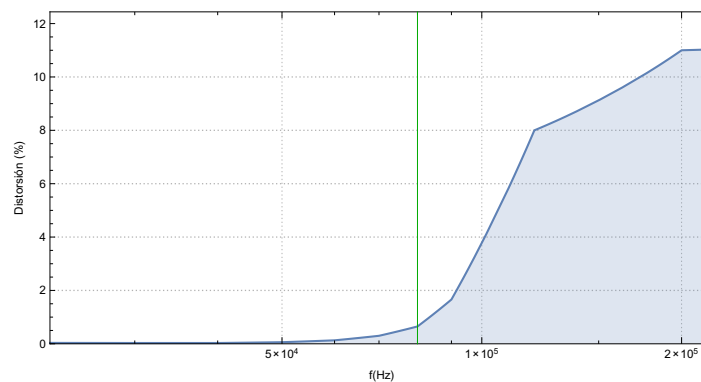
Se realizó un barrido de  $0,1\text{Hz}$  a  $100\text{MHz}$ . Se puede apreciar en la figura 1.24 un ancho de banda de  $1,57\text{MHz}@1\text{dB}$  o  $2,16\text{MHz}@3\text{dB}$ .



**Figura 1.24:** Diagrama de Bode del amplificador a lazo cerrado simulado. El módulo, en línea llena y la fase en línea punteada.

### 1.5.8. Ancho de banda de potencia

Considerando el slew rate simulado de  $20 \frac{V}{\mu s}$ , la distorsión por slew rate comenzaría a afectar a frecuencia  $\frac{20 \frac{V}{\mu s}}{40V \times 2\pi} \cong 80 kHz$ . Se puede ver en la figura 1.25 cómo varía la distorsión simulada de máxima excursión con la frecuencia.



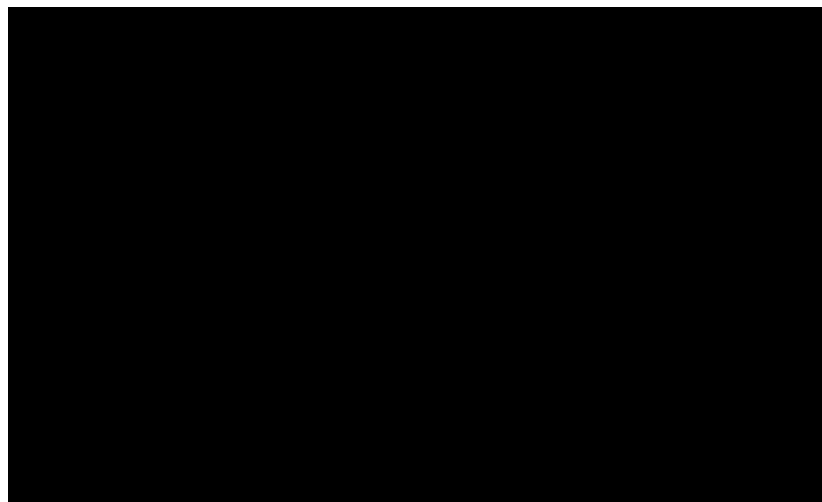
**Figura 1.25:** Distorsión a máxima excursión en función de la frecuencia. La línea verde marca la frecuencia a la cual comienza a afectar el slew rate ( $80 kHz$ )

Tal como se preveía, en los alrededores de la frecuencia  $80kHz$  la distorsión comienza a aumentar, sobrepasando valores perceptibles a simple vista mirando la forma de onda, para rápidamente estabilizarse en torno a un valor del 12 %, que es la distorsión de una onda triangular. Esto es efecto del slew-rate.

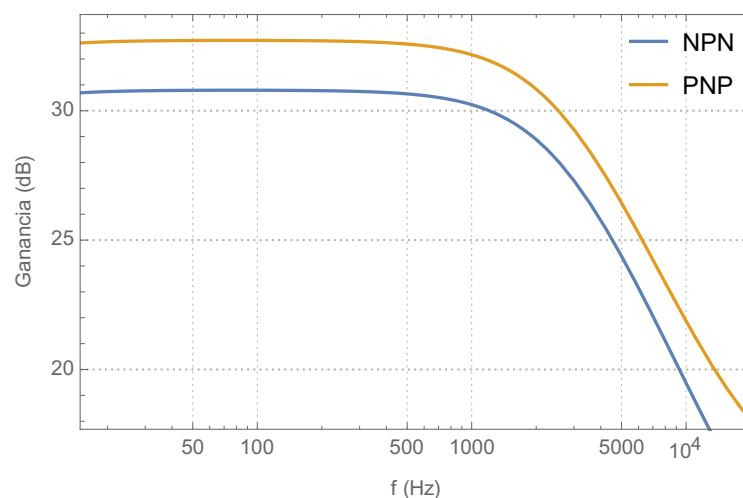
### 1.5.9. Primera etapa

En la sección de CMRR se simuló la amplificación de modo común y diferencial para la primera etapa sin carga externa. Esto es similar a la primera etapa cargada pues las resistencias de los pares diferenciales son bastante menores a las cargas que le proporciona la segunda etapa. Esto fue intencional, pues es esa resistencia la que fija la polarización de todo el circuito, y de este modo se independiza de parámetros como el  $\beta$  de los transistores que pueden variar con la temperatura y humedad.

Se vuelve a simular la ganancia diferencial de la primera etapa, ahora con la carga del circuito, a lazo abierto. Para esto, se coloca una capacidad de valor alto ( $1F$ ) en la entrada realimentada del comparador (figura 1.26). De este modo, no se cambiará la realimentación en polarización pero se evitará que entre señal (fijando  $f_{alterna} = 0$ ). Se obtuvo una ganancia aproximada de  $31dB$ , como se ve en la figura 1.27.



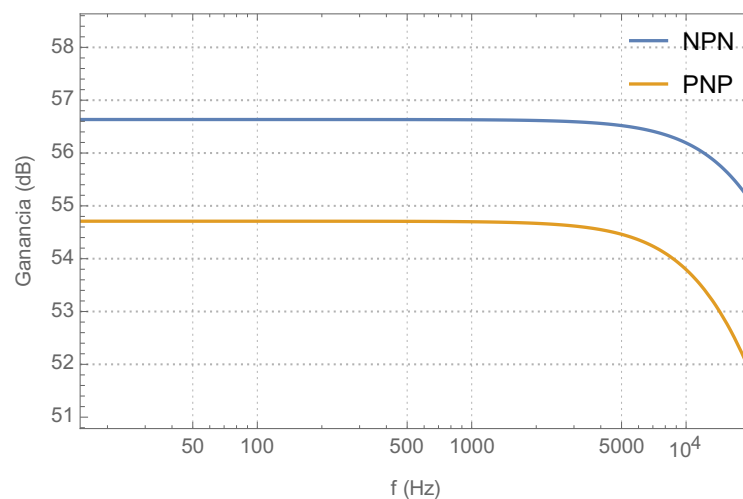
**Figura 1.26:** El capacitor C8 se agrega para anular la realimentación en señal.



**Figura 1.27:** Simulación de ganancia de la primera etapa.

#### 1.5.10. Segunda etapa

El resto de la ganancia está provista por la segunda etapa, y se puede ver en la figura 1.28. Vale aproximadamente  $55\text{dB}$ .



**Figura 1.28:** Simulación de ganancia de la segunda etapa.

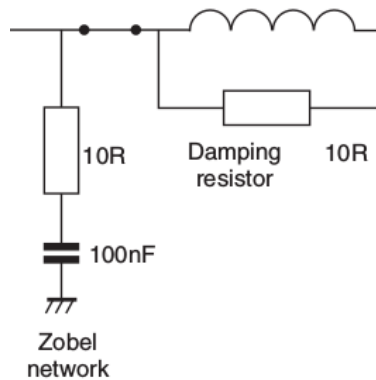
### 1.6. Análisis de los condicionantes de integración

#### 1.6.1. Redes de salida

Usualmente, se colocan a la salida del amplificador, 2 redes, para compensar cargas inductivas o capacitivas, que pueden incluso provenir del propio cable de la salida, o del parlante. Para compensar y mantener

la estabilidad en alta frecuencia frente a cargas inductivas está la red de Zobel. Para las cargas capacitivas, se usa el RL en serie.

**1.6.1.1. Red de Zobel -** Consiste en un RC ubicado como muestra la figura 1.29



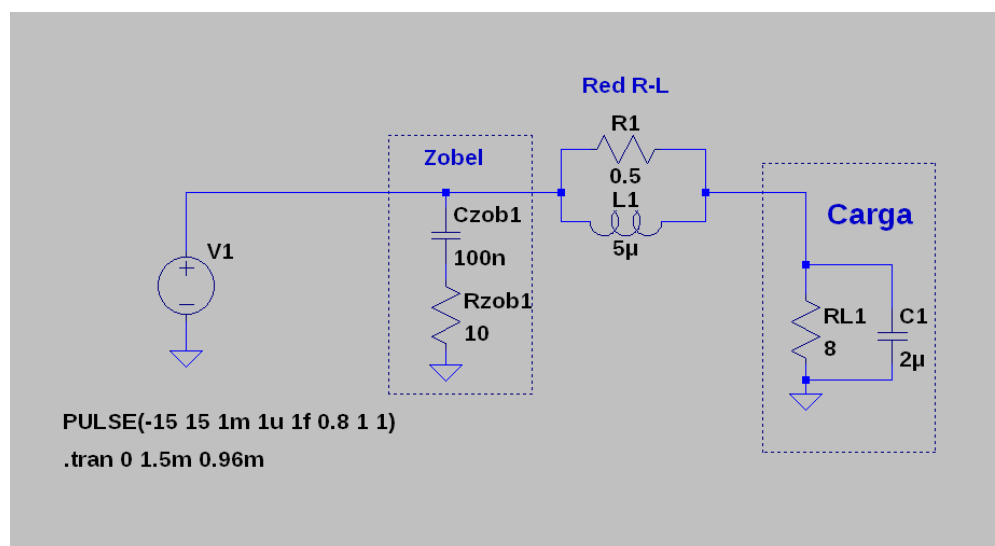
**Figura 1.29:** Redes de salida típicas para compensar cargas inductivas y capacitivas.

Todo amplificador cuenta con esta red, la misma ayuda a mantener la estabilidad del mismo. Se trata simplemente de un resistor y un capacitor en serie. La red se conecta entre el nodo de salida y GND (referencia del circuito). El resistor usualmente toma valores entre 4.7 y 10 ohms y el capacitor es invariable, se suele usar 100nF. Esta red sirve para compensar la variación de impedancia del parlante, respecto de la frecuencia.

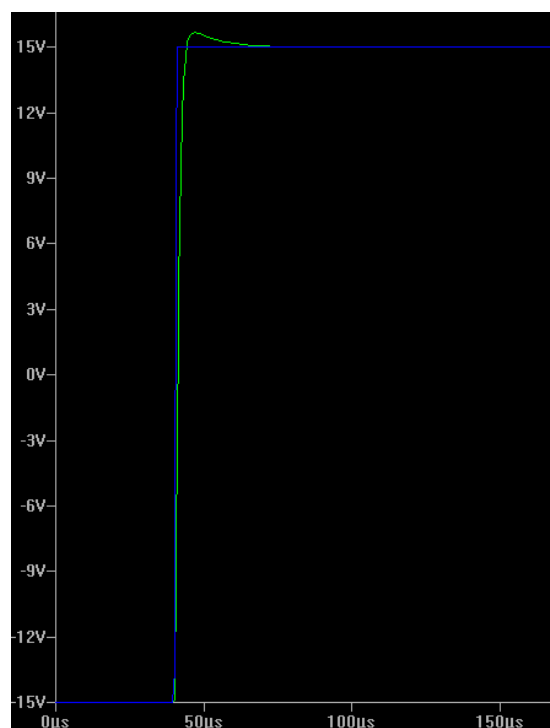
En nuestro caso guiandonos por las explicaciones que figuran en el libro de Douglas Self seleccionamos  $C = 100nF$  y  $R = 10$  ohms.

**1.6.1.2. Red aisladora R-L -** Solo en los amplificadores mas simples se conecta la carga directamente a la salida, la conexión directa es solo aceptable cuando la realimentacion es muy baja y se tienen grandes margenes de estabilidad. Es decir, la carga se conecta directamente cuando no hay problema en que la misma sea muy capacitiva sin sacar al amplificador de su estabilidad. Queremos que nuestro amplificador sea estable, sea cual sea la carga. Segun Douglas Self la medida mas recomendable para evitar que una carga capacitiva comprometa la estabilidad, es agregar un inductor con nucleo de aire en serie con la salida. Esto funciona como aislante de cargas capacitivas no reduce nuestro ancho de banda. Ademas al ser el nucleo de aire se evita la distorsion por saturacion del nucleo. Para el inductor se recomienda un valor entre 1 y 7 uH. También es recomendado agregar un resistor para amortiguar la respuesta a la red L-C formada por el inductor antedicho y la capacidad de la carga como se indica en la figura 1.29.

Siguiendo las recomendaciones de D. Self realizamos la simulacion de la respuesta a un escalon de la red de salida, de esta forma se retocaron los valores de la red R L para incrementar el factor de amortiguamiento. La carga se modelizó como un resistor de 8 ohms en paralelo a un capacitor de 2uF. El escalón tiene un tiempo de crecimiento de 1uS. Los valores seleccionados para esta red R-L son  $R = 0.5$  ohm,  $L = 5uH$ .



**Figura 1.30:** Simulacion de la red de salida.



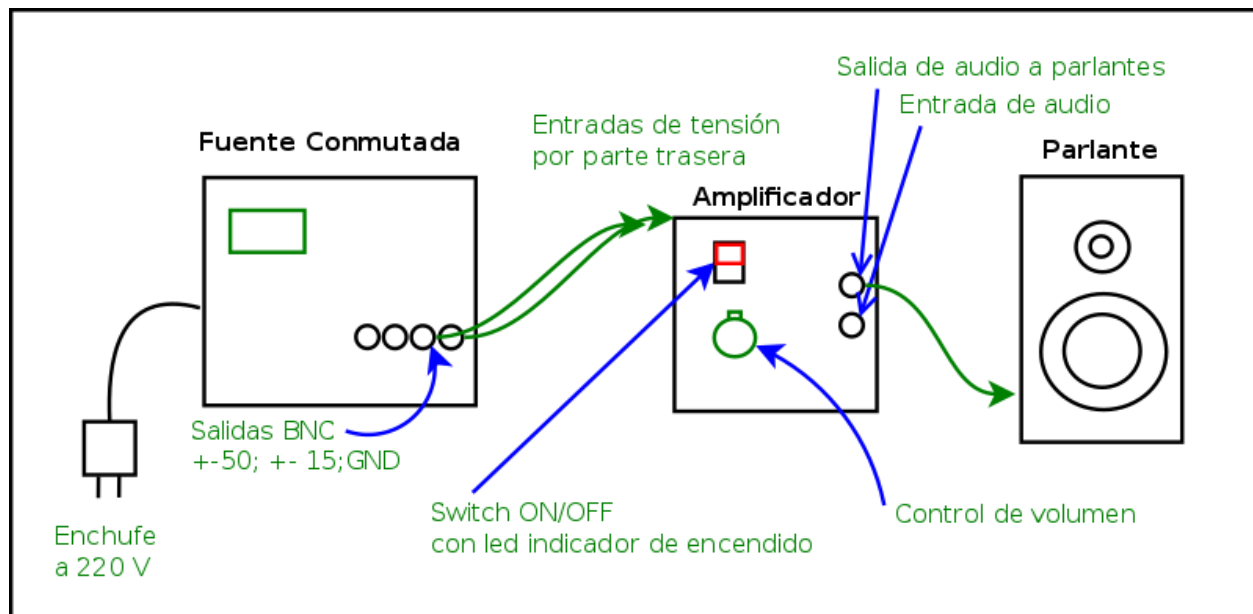
**Figura 1.31:** Respuesta al impulso de la red de salida en color verde.

### 1.6.2. Alimentación

Se colocaron capacitores (C4,C5,C6 y C7) en los 4 rieles de alimentación ( $\pm 50V$  y  $\pm 15V$ ) para filtrar ruidos en los rieles de alimentación.

### 1.6.3. Diagramas de conexionado

El siguiente diagrama muestra como se conectaria la fuente [seccion 1.6.6], el amplificador y el parlante.



**Figura 1.32:** Diagrama completo

En la siguiente imagen se muestra el conexionado interno del amplificador en sí con los disipadores calculados [seccion 1.6.4].



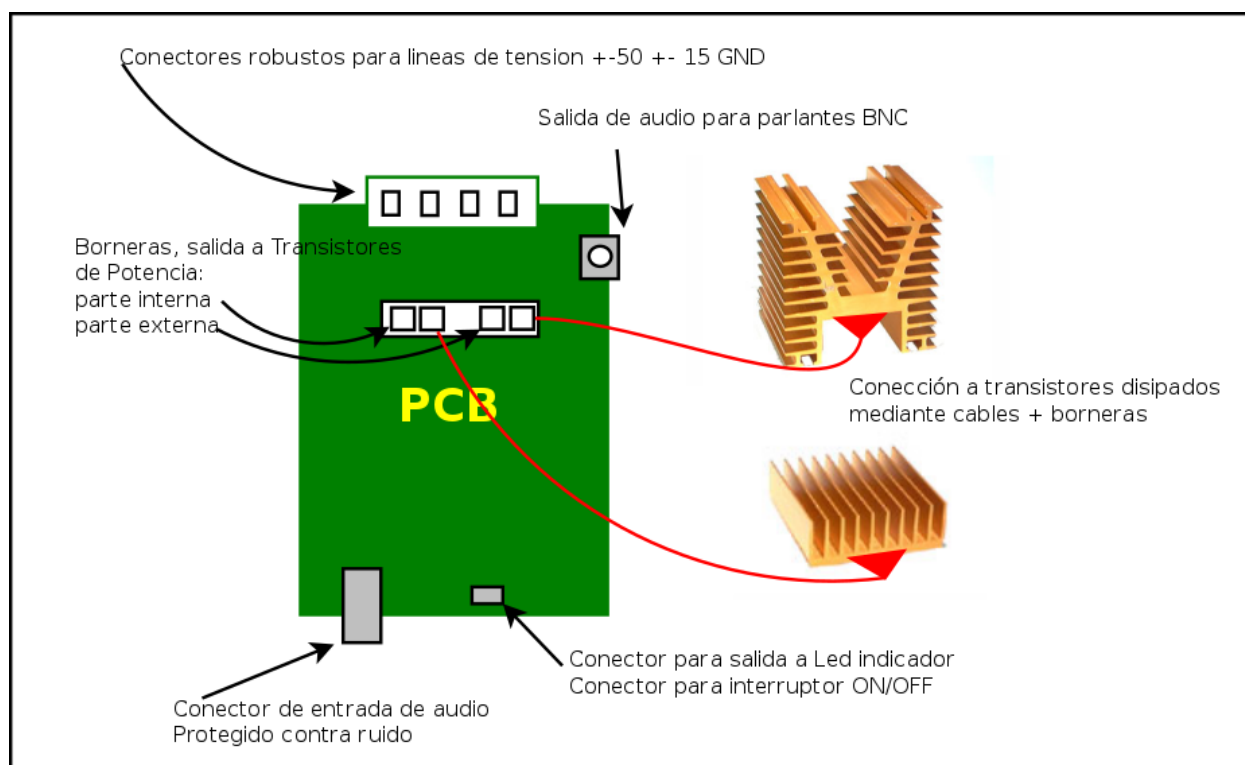


Figura 1.33: Diagrama interno

#### 1.6.4. Disipación de Calor

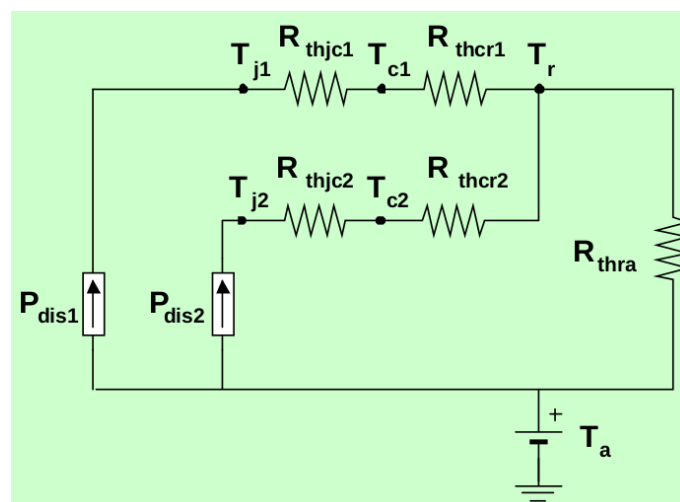


Figura 1.34: Modelo termico estacionario.

En el peor caso, los transistores de potencia 2SC3281 de la etapa de salida y su par complementario 2SA1302 disipan cada uno 18 W, ya que los mismos se utilizan en paralelo.

$$T_r = R_{thra} * (P_{dis1} + P_{dis2}) + T_a$$

$$T_r = T_{juntura_N} - (R_{tj-case} + R_{tc-heat}) * P_{disN}$$

$$T_r = 130C - (0,85C/W + 0,1C/W) * (18 * 2W) = 95,8C$$

$$95,8C = R_{thra} * (18 * 2 * 2W) + 40C$$

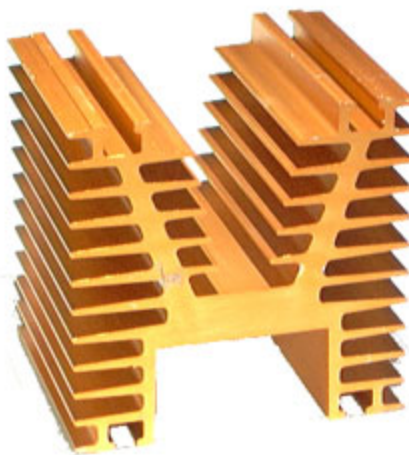
$$R_{tha} = 0,77C/W$$

En la parte interna de la etapa de salida, tenemos que en el peor caso se disipan 3.25 W por cada transistor. Haciendo las mismas cuentas con otros valores.

$$T_r = 120C - (6,25C/W + 0,1C/W) * (3,25W) = 99,36C$$

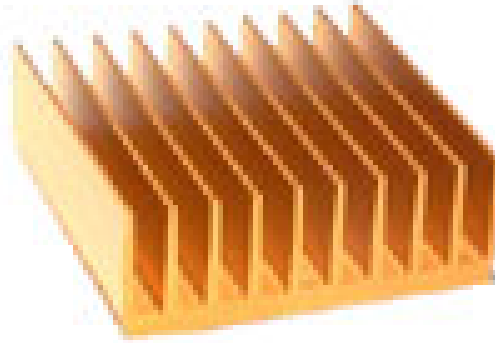
$$R_{tha} = 9,13C/W$$

**1.6.4.1. Disipadores elegidos:** Para la parte externa de la salida ZD-23 0.65°C/W , elegimos este modelo porque nos da un poco de margen.



**Figura 1.35:** Disipador ZD-23

Para parte interna ZD-14  $2^{\circ}\text{C}/\text{W}$ , si bien solo necesitamos  $9^{\circ}\text{C}/\text{W}$ , elegimos este modelo porque nos da mas margen:



**Figura 1.36:** Disipador ZD-14

#### 1.6.5. Fuentes de Ruido Intrínsecas

En esta subsección se analizan los distintos tipos de ruidos presentes en el amplificador.

**1.6.5.1. Ruido Térmico o Ruido Johnson** Es producido por los movimientos aleatorios de los electrones en componentes que disipan energía (resistores, transistores).

**1.6.5.2. Ruido Shot** Es el ruido asociado a la circulación de corriente a través de una barrera de potencial y es proporcional a la corriente en continua que circula. Por lo tanto, para reducir este tipo de ruido es necesario mantener la corriente DC lo más pequeña posible. Por esto se intento bajar las corrientes de polarizacion del par diferencial.

**1.6.5.3. Ruido Popcorn** Asociado a deficiencias en el proceso de fabricación de semiconductores. En el diseño no se tiene control sobre este tipo de ruido.

#### 1.6.6. Fuentes Conmutadas

En nuestro proyecto como ya acordamos vamos a utilizar la fuente conmutada realizada por el grupo Arias-Caracciolo-Luna. A continuación se detallan las especificaciones basicas de la misma:

- Tensión nominal de entrada: 220 V AC rms
- Rango de tension de entrada: 176 V AC rms – 242 V AC rms

- Rango de frecuencia de entrada: 45 Hz – 60 Hz
- Tension nominal de salida:  $V_{OUT} = \pm 15V$  ,  $V_{OUT} = \pm 50V$
- Rango de corriente de carga: Para  $\pm 50 V$  : 2,5 A , Para  $\pm 15 V$  : 0,7 A , Minima corriente de carga: 0 A
- Potencia de entrada sin carga: Menor a 5 W para todo el rango de tensión de entrada.
- Potencia de salida: Para el limite superior de la corriente de carga es 125 W
- Rendimiento: Mayor a 70 %
- Protecciones de sobretensión a  $\pm 60 V$  (para las salidas de  $\pm 50 V$  ) y a  $\pm 20 V$  (para las salidas de  $\pm 15 V$  )
- Protección de cortocircuito: Clamp.
- Factor de rizado (ripple): Para todas las salidas es menor a 300 mV p–p
- Estabilidad a largo plazo: Tensión de ruido a la salida: Menor al 5 %
- Tipo/s de conector/es de salida: Banana hembra de 4 mm (tipo RC170). Fijados al chasis de montaje

### 1.6.7. Capacitancias parasitas

Debida al uso de cables:

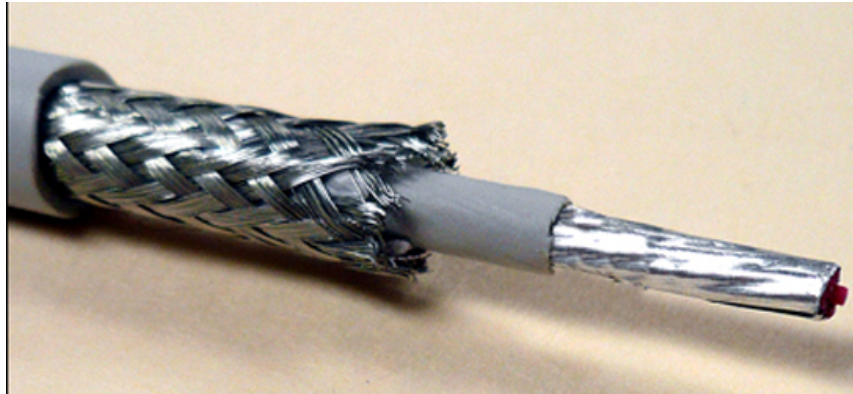
Como se vio en el diagrama del conexionado, se van a utilizar cables para conectar el PCB con los transistores disipados, esto no es lo mejor, ya que introduce capacitancias parasitas. Segun el paper de Harry E. Green<sup>1</sup> la capacitancia introducida por 10 cm de cable aproximadamente a 1cm de separacion es de 1pF.

Para eliminar esta capacitancia y eliminar ruido ambiente tenemos pensado usar cable trenzado, forrado en malla metalica.

Como el de la siguiente imagen:

---

<sup>1</sup>Harry E. Green, A Simplified Derivation of the Capacitance of a Two-Wire Transmission Line, IEEE Transactions on Microwave Theory and Techniques, Vol. 47, No. 3, March 1999, p. 365-366.



**Figura 1.37:** Cable trenzado con malla metálica.

Por pistas y planos en PCB:

A la hora de diseñar el PCB se tuvieron en cuenta muchas de las técnicas para reducir estos efectos. Sin embargo estos efectos no se pueden evitar al 100 %. Esos efectos deberían ser mínimos; los mismos van a ser medidos y compensados en el momento de tener el PCB fabricado.

**1.6.8. Lista de materiales****Cuadro 1.6.1:** Lista de materiales

Referencia	Cantidad	Potencia	Tensión	Material	Valor	Tolerancia
RC2;RC1	2	0.25W	65V	metal film	2.4k	1 %
R10	1	0.25W		metal film	366R	1 %
C1	1			poliester	1m	5 %
R13;R8	2	0.25W		metal film	33R	1 %
Q14;Q13	2				MPSA92	
Q10;Q9	2				MPSA42	
Rmvbe1	1	0.25W		metal film	270R	1 %
RV2	1	0.25W		metal film	POT	
JP2;JP4;JP5;JP1;JP3	5				JUMPER	
D3;D4	2				D1N746	
Q3;Q15;Q2	3				MJE340	
R6;R7;R3;R9;R1;R5	6	0.25W		metal film	100R	1 %
Q16;Q6;Q8	3				MJE350	
R19;R18	2	0.25W		metal film	150R	1 %
C3	1			ceramico	10n	2 %
D2;D5	2				D1N4148	
Q1;Q4;Q11	3				2SC3281	
Q7;Q20;Q12	3				2SA1302	
R4;R2	2	2W		porcelana	0R25	1 %
D13	1				D	
D1	1				MBR1645	
R11;R12	2	0.25W		metal film	10k	1 %
C4;C7	2		65V	ceramico	220u	2 %
C5;C6	2		25V	ceramico	220u	2 %
C_mvbe_comp1	1			ceramico	20n	2 %
C_comp_1;C_comp_2	2			ceramico	40p	2 %
T3;T4;T7;T6;T8;T5	6				TORNILLO	
R15;R14;R17;R16	4	2W		porcelana	0R1	1 %
C_comp_3	1			ceramico	4p	2 %
U1	1				MMPQ2222A (SMD)	
R_led1;R_led2	2	0.25W		metal film	6.8k	1 %
D_1;D_2	2				LED	
R_curr1;R_curr2	2	0.25W		metal film	820R	1 %
U2	1				MMPQ2907A (SMD)	
C2	1			ceramico	47u	2 %
U4	1				LM7909CT	
U3	1				LM7809CT	
Rzobel1	1	0.25W		metal film	10R	1 %
Czobel1	1			poliester	100n	5 %
Disipador ZD23	1			aluminio	0.65°C/W	
Disipador ZD14	1			aluminio	2°C/W	

### 1.6.9. Diseño PCB

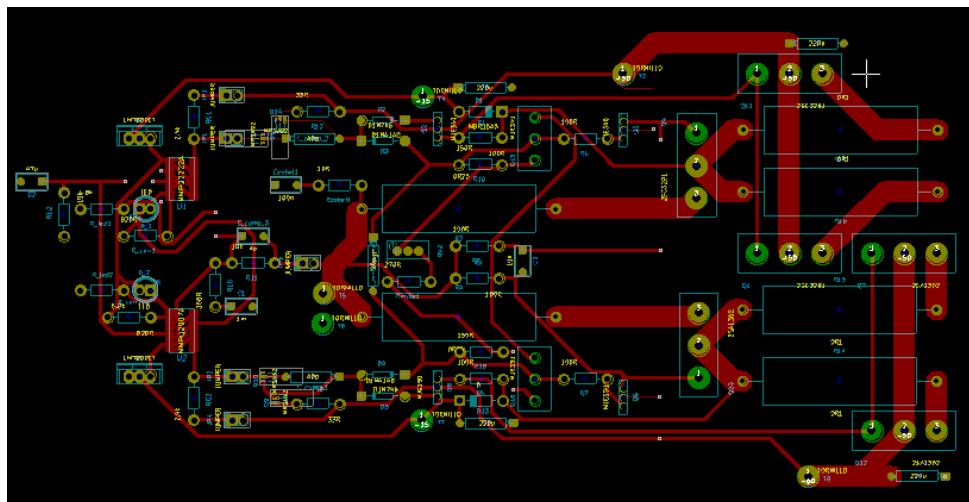


Figura 1.38: Diseñando en programa Kicad

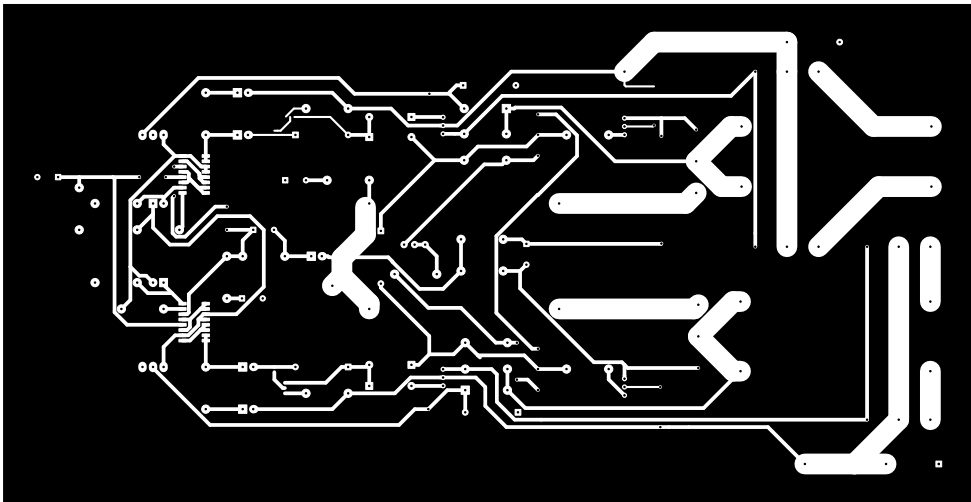


Figura 1.39: PCB, front



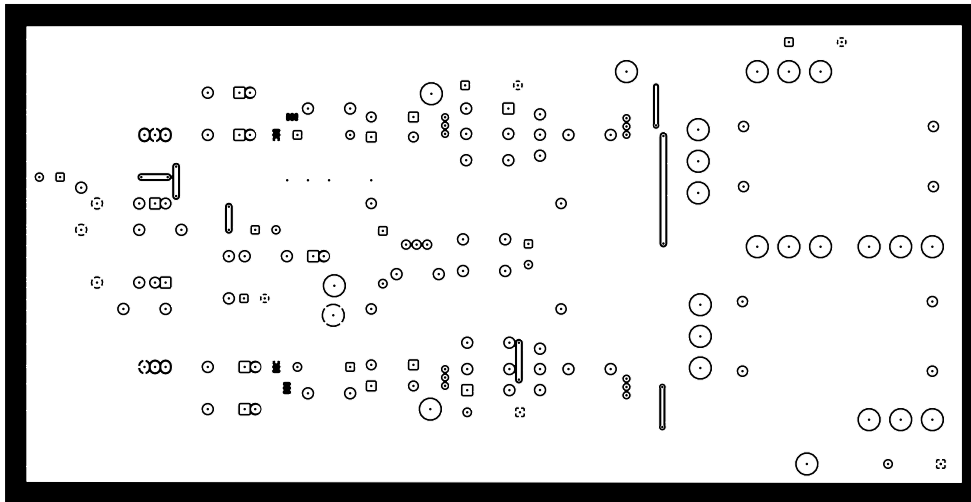


Figura 1.40: PCB, back

## 2. Grado de avance

Hasta el momento, hemos elegido las configuraciones de las distintas etapas, realizamos los cálculos para hallar los valores de realimentación, resistencias para el embalamiento térmico y los disipadores para los transistores; realizamos simulaciones del circuito.

## 3. Dificultades encontradas

Para el desarrollo del proyecto, nos encontramos con varios obstáculos. En el primer diseño que realizamos, nos encontramos con una disparidad en las corrientes del par diferencial, que resolvimos comprando transistores de más, midiendo sus parámetros  $\beta$ , y agrupándolos para poder trabajar con valores apareados. Otra solución que encontramos, y que aplicaremos en esta versión del circuito, es utilizar transistores integrados, que asegura que todos los transistores tengan las mismas propiedades, y estén apareados. Esto también equilibraría más las amplificaciones en modo diferencial de los comparadores NPN y PNP.

La simulación de distorsión se hacía con pocos períodos en el LTSpice y, por cuestiones numéricas, eso parece resultar en valores de distorsión mucho menores a los que devuelve simulando con más períodos. Por otra parte, para valores de distorsión pequeños, se requiere un parámetro de paso máximo bastante reducido o el LTSpice sobreestima la distorsión. Se pasó mucho tiempo creyendo que el diseño resultaba en valores satisfactorios o insatisfactorios de distorsión hasta que se descubrió esto.

En un principio, la primera etapa estaba diseñada con cargas activas. Esto simulaba a veces correctamente, pero la polarización de todo el circuito resultaba poco estable e implicó el rediseño de la etapa con resistores.

## 4. Resumen de actividades a desarrollar

Habiendo establecido todo lo anterior, queda ver cómo mejorar el circuito para lograr mejores valores de distorsión. También, implementaremos protecciones que por el momento fueron dejadas afuera porque dificultan llegar a los grados de distorsión deseados. Luego procederemos con el armado del circuito, verificando el correcto funcionamiento de las etapas, durante el armado de la placa, y luego tendremos que revisar que esté andando correctamente, y que cumpla con las parámetros que propusimos. Finalizado esto, procederemos a realizar las mediciones pertinentes.

Una vez hechas las mediciones tenemos pensado agregarle a nuestro amplificador las siguientes mejoras:

- Protección contra cortocircuito y cargas menores
- Control de volumen
- Carcaza protectora
- Integración compatible con fuente conmutada de grupo Arias-Caracciolo-Luna
- Plug de entrada para audio con carcaza metálica contra ruidos