



86.46 Microelectrónica / 66.61 Tecnología de Circuitos Integrados

Trabajo Práctico N°1: Inversor CMOS

Condiciones del TP N°1

Fecha de entrega: 1/11/2020

Forma de entrega: en formato **PDF** a través del Campus Virtual exclusivamente (OBS: el tema asignado debe aparecer claramente especificado en el informe).

Bibliografía sugerida: Rabaey, *Digital Intergrated Circuits* (caps. 3 y 5).

Enunciado

Diseñar un inversor CMOS en tecnología 90 nm. Asumir en todos los casos $L = L_{MIN}$ y $W_P = 2W_N$ y $V_{DD} = 1,2$ V. Cada estudiante debe utilizar los parámetros indicados en la grilla de asignación de temas adjunta.

- 1) Estimar con cálculo manual el retardo del inversor CMOS cuando está cargado por otro inversor idéntico. Considerar los efectos de canal corto.
- 2.a) Simular el inversor con el programa HSPICE y comparar con los resultados del punto anterior. Utilizar una señal de entrada con $t_{rise/fall} = 1$ ps. Incluir en el informe una captura de pantalla que muestre la configuración de los parámetros de cada MOSFET.
- 2.b) Simular el mismo inversor del punto anterior pero con cargas de 4, 8 y 16 inversores mínimos ($W_N = 0.23\mu m$ y $W_P = 2W_N$)
- 3) Realizar el diseño físico (layout) del inversor utilizando el programa Synopsys. Verificar DRC y LVS. Incluir una capturas de pantalla incluyendo una regla que permita verificar los W de los transistores.

Asignación de temas

Tema	W_N [μm]	Pitch [μm]	Nombre
UE01	0.46	4	MENDOZA, LEONEL CARLOS
UE02	0.69	4	MIGLIORISI, JUAN IGNACIO
UE03	0.92	4	SCOPA LOPINA, ALEJANDRO DANIEL



UE04	1.15	4	SOBICO, CARLA MARIEL
UE05	0.46	5	ALVIS, DIEGO NELSON
UE06	0.69	5	ESNAOLA, HECTOR MARIO
UE07	0.92	5	LUNA, DIEGO ROBERTO RAMON
UE08	1.15	5	RODRIGUEZ, LEONARDO FEDERICO
UE09	0.46	6	SEQUEIRA, ANDRES BENJAMIN
UE10	0.69	6	BORGES, JUAN JOSÉ
UE11	0.92	6	MARTINEZ, JEFFRY
UE12	1.15	6	ROMERO, DANIEL OSVALDO
UE13	0.46	7	BURMAN, ARIEL
UE14	0.69	7	CASSANI, MARÍA VICTORIA
UE15	0.92	7	DIETZ, PABLO
UE16	1.15	7	GARDELLA, PABLO