



**FACULTAD
DE INGENIERIA**

Universidad de Buenos Aires

TECNOLOGÍA DE CIRCUITOS INTEGRADOS - 66.61

Trabajo práctico N° 1

Inversor CMOS

Alumnos:

LUNA Diego

diegorluna@gmail.com

Padrón N° 75451

Docentes:

Ing. GARCIA INZA Mariano Andrés

Ing. CARRA Martin Javier

28 de Octubre de 2020

Índice

| | |
|--|-----------|
| Índice | I |
| 1. Objetivos | 1 |
| 1.1. Resumen de objetivos | 1 |
| 1.2. Desarrollo | 1 |
| 2. Puntos a desarrollar | 2 |
| 2.1. Punto 1 | 2 |
| 2.1.1. Determinación la capacidad de carga equivalente C_L | 3 |
| 2.1.2. Cálculo de la capacidad de salida del inversor 1, $C_{out_{inv1}}$ | 3 |
| 2.1.3. Cálculo de la capacidad de carga que agrega el inversor 2, $C_{L_{inv2}}$ | 5 |
| 2.1.4. Determinación la resistencia de carga equivalente R_L | 6 |
| 2.1.5. Cálculo del tiempo de retardo | 8 |
| 2.2. Punto 2a | 10 |
| 2.3. Punto 2b | 13 |
| 2.4. Punto 3 | 18 |
| 3. Observaciones y conclusiones | 20 |
| 4. Bibliografía | 21 |

Índice de figuras

| | |
|--|----|
| 2.1. Inversor CMOS cargado con un inversor idéntico. | 2 |
| 2.2. Inversor CMOS cargado con un inversor idéntico (capacidades tenidas en cuenta). | 2 |
| 2.3. Estructura del MOSFET. | 4 |
| 2.4. Resistencias equivalentes en cada estado del inversor CMOS | 6 |
| 2.5. Estrangulación del canal. | 7 |
| 2.6. Velocidad de los electrones en función del campo eléctrico. | 8 |
| 2.7. Inversor CMOS diseñado (esquemático). | 10 |
| 2.8. Inversor CMOS cargado con inversor idéntico, test bench diseñado (esquemático). | 11 |
| 2.9. Respuesta del inversor CMOS cargado con inversor idéntico. | 12 |
| 2.10. Inversor CMOS mínimo diseñado (esquemático). | 13 |
| 2.11. Inversor CMOS cargado con 4 inversores mínimos, test bench diseñado (esquemático). | 14 |
| 2.12. Inversor CMOS cargado con 8 inversores mínimos, test bench diseñado (esquemático). | 15 |
| 2.13. Inversor CMOS cargado con 16 inversores mínimos, test bench diseñado (esquemático). | 16 |
| 2.14. Respuesta del inversor CMOS cargado con 4, 8 y 16 inversores mínimos. | 17 |
| 2.15. Inversor CMOS diseñado (layout). | 18 |
| 2.16. Inversor CMOS mínimo diseñado (layout). | 19 |

Índice de cuadros

| | |
|--|----|
| 2.1. Parámetros de los dispositivos. | 2 |
| 2.2. Tiempos de retardo obtenidos para el inversor cargado con 4, 8 y 16 inversores mínimos. | 16 |

1. Objetivos

1.1. Resumen de objetivos

Diseñar un inversor CMOS en tecnología 90nm. Asumir en todos los casos $L = L_{MIN}$ y $W_P = 2W_N$ y $V_{DD} = 1,2V$. Cada estudiante debe utilizar los parámetros indicados en la grilla de asignación de temas.

Parámetros asignados (Usuario **UE07**):

$$W_N = 0,92\mu m$$

$$Pitch = 5\mu m$$

1.2. Desarrollo

El desarrollo consiste de dos partes, una parte de cálculo manual, punto 1, y una parte de diseño y simulación para validar estos cálculos, puntos 2 y 3. Los cálculos se hicieron con referencia al libro de Rabaey [1].

2. Puntos a desarrollar

2.1. Punto 1

- *Estimar con cálculo manual el retardo del inversor CMOS cuando está cargado por otro inversor idéntico. Considerar los efectos de canal corto.*

Para la obtención del tiempo de retardo, se asume un modelo RC, de donde el tiempo buscado se determinará como el tiempo de carga del capacitor equivalente a través del resistor equivalente.

En el cuadro [2.1], se pueden ver resumidos los parámetros de los dispositivos para el proceso **SAED-90**.

| | t_{ox} | V_{th} | I_{Dsat} | $\mu \cdot C_{ox}$ | X_j | γ | C_{ov} | C_j | C_{jsw} |
|------|--------------------|----------|--------------------------------|-------------------------------|-------------------|---------------------|-----------------------|------------------------|----------------------|
| NMOS | 2,05 μm | 397mV | 869 $\mu\text{A}/\mu\text{m}$ | 428 $\mu\text{A}/\text{V}^2$ | 415 μm | 0,4V ^{0.5} | 0,26fF/ μm | 0,5fF/ μm^2 | 0,5fF/ μm |
| PMOS | 2,15 μm | -276mV | -426 $\mu\text{A}/\mu\text{m}$ | -124 $\mu\text{A}/\text{V}^2$ | 28 μm | 0,4V ^{0.5} | 0,26fF/ μm | 0,5fF/ μm^2 | 0,5fF/ μm |

Cuadro 2.1: Parámetros de los dispositivos.

En la figura [2.1] puede verse el circuito a implementar, y en la figura [2.2] pueden verse todas las capacidades a tener en cuenta en los cálculos a realizar.

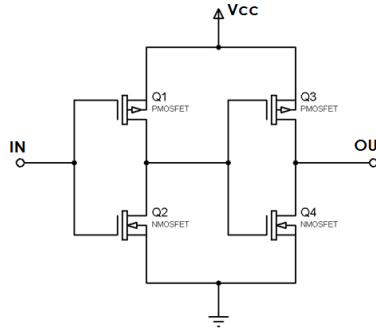


Figura 2.1: Inversor CMOS cargado con un inversor idéntico.

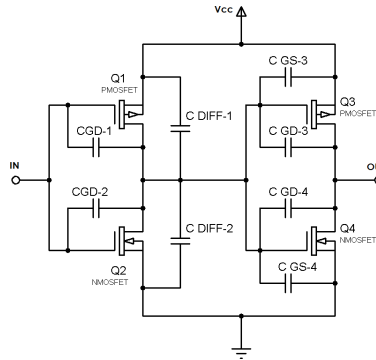


Figura 2.2: Inversor CMOS cargado con un inversor idéntico (capacidades tenidas en cuenta).

2.1.1. Determinación la capacidad de carga equivalente C_L

De la figura [2.2], se obtiene que la capacidad que carga al primer inversor es:

$$C_L = (2 \cdot C_{GD_2} + C_{diff_2}) + (2 \cdot C_{GD_1} + C_{diff_1}) + (2 \cdot C_{GD_4} + C_{GS_4} + C_{G_4}) + (2 \cdot C_{GD_3} + C_{GS_3} + C_{G_3}) \quad (2.1)$$

Donde se identifican:

$$C_{out_{inv_1}} = (2 \cdot C_{GD_2} + C_{diff_2}) + (2 \cdot C_{GD_1} + C_{diff_1})$$

$$C_{L_{inv_2}} = (2 \cdot C_{GD_4} + C_{GS_4} + C_{G_4}) + (2 \cdot C_{GD_3} + C_{GS_3} + C_{G_3})$$

Siendo entonces:

$$C_L = C_{out_{inv_1}} + C_{L_{inv_2}}$$

2.1.2. Cálculo de la capacidad de salida del inversor 1, $C_{out_{inv_1}}$

$$C_{out_{inv_1}} = (2 \cdot C_{GD_2} + C_{diff_2}) + (2 \cdot C_{GD_1} + C_{diff_1})$$

Las capacidades C_{GD_1} y C_{GD_2} , son las capacidades de overlap, reflejadas a la entrada.

$$C_{GD_i} = 2 \cdot W_i \cdot C_{ov_i} \quad i \in \{1, 2\}$$

Tengo además:

$$W_2 = W_N = 0,92\mu\text{m}$$

$$W_1 = W_P = 2 \cdot W_N = 1,84\mu\text{m}$$

Y usando los datos del cuadro [2.1], C_{ov_N} y C_{ov_P}

Obtengo:

$$C_{GD_1} = 0,4784\text{fF}$$

$$C_{GD_2} = 0,2392\text{fF}$$

Las capacidades C_{diff_1} y C_{diff_2} , son las capacidades de juntura, que se calculan refiriéndose a lo que se puede apreciar en la figura [2.3].

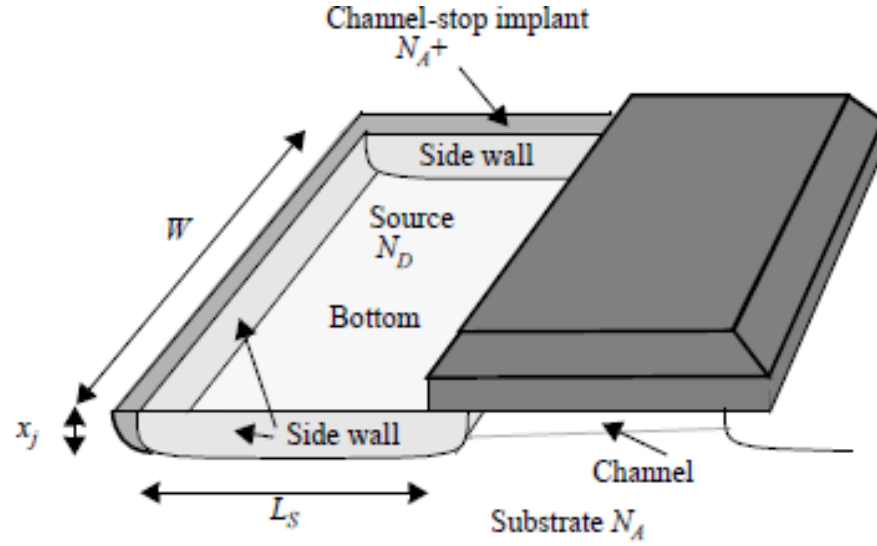


Figura 2.3: Estructura del MOSFET.

Tengo entonces en forma genérica para ambos dispositivos, NMOS y PMOS:

$$C_{diff} = C_{bottom} + C_{side_wall}$$

Luego:

$$C_{diff} = C_j \cdot Area + C_{j_{sw}} \cdot perim$$

Y usando los datos del cuadro [2.1], C_{j_N} , $C_{j_{sw_N}}$ y C_{j_P} , $C_{j_{sw_P}}$. Y con:

$$L_{s_N} = L_{s_P} = 0,3\mu m$$

$$W_1 = W_P = 2 \cdot W_N = 1,84\mu m$$

$$W_2 = W_N = 0,92\mu m$$

Obtengo:

$$C_{diff_1} = 0,276fF + 1,22fF = 1,496fF$$

$$C_{diff_2} = 0,138fF + 0,76fF = 0,898fF$$

Finalmente:

$$C_{out_{inv1}} = (2 \cdot 0,2392\text{fF} + 0,898\text{fF}) + (2 \cdot 0,4784\text{fF} + 1,496\text{fF}) = 3,8292\text{fF}$$

2.1.3. Cálculo de la capacidad de carga que agrega el inversor 2, $C_{L_{inv2}}$

$$C_{L_{inv2}} = (2 \cdot C_{GD4} + C_{GS4} + C_{G4}) + (2 \cdot C_{GD3} + C_{GS3} + C_{G3})$$

Para las capacidades C_{GD_i} , que son las capacidades de overlap, tengo:

$$C_{GD3} = C_{GD1} = 0,47\text{fF}$$

$$C_{GD4} = C_{GD2} = 0,24\text{fF}$$

Para las capacidades C_{G_i} , tengo:

$$C_{G3} = C_{GP} = C_{oxP} \cdot W_P \cdot L_{sP} = 2,7\text{fF}/\mu\text{m}^2 \cdot 1,84\mu\text{m} \cdot 1,3\mu\text{m} = 6,4584\text{fF}$$

$$C_{G4} = C_{GN} = C_{oxN} \cdot W_N \cdot L_{sN} = 3,2\text{fF}/\mu\text{m}^2 \cdot 0,92\mu\text{m} \cdot 1,3\mu\text{m} = 3,8272\text{fF}$$

Donde la capacidad del óxido se calcula a partir del producto $\mu \cdot C_{ox}$, que es dato, y la movilidad correspondiente.

Para las capacidades C_{GS_i} tengo:

$$C_{GS3} = C_{GSP} = W_P \cdot C_{ovP} = 1,84\mu\text{m} \cdot 0,26\text{fF}/\mu\text{m} = 0,4784\text{fF}$$

$$C_{GS4} = C_{GSN} = W_P \cdot C_{ovN} = 0,92\mu\text{m} \cdot 0,26\text{fF}/\mu\text{m} = 0,2392\text{fF}$$

Se obtiene finalmente:

$$C_{L_{inv2}} = (2 \cdot 0,24\text{fF} + 0,2392\text{fF} + 3,8272\text{fF}) + (2 \cdot 0,47\text{fF} + 0,4784\text{fF} + 6,4584\text{fF}) = 12,4232\text{fF}$$

Con lo que podemos calcular ahora C_L :

$$C_L = C_{out_{inv1}} + C_{L_{inv2}}$$

$$C_L = 3,8292\text{fF} + 12,4232\text{fF} = 16,2524\text{fF}$$

2.1.4. Determinación la resistencia de carga equivalente R_L

Las resistencias equivalentes para cada estado del inversor, se muestran en la figura [2.4].

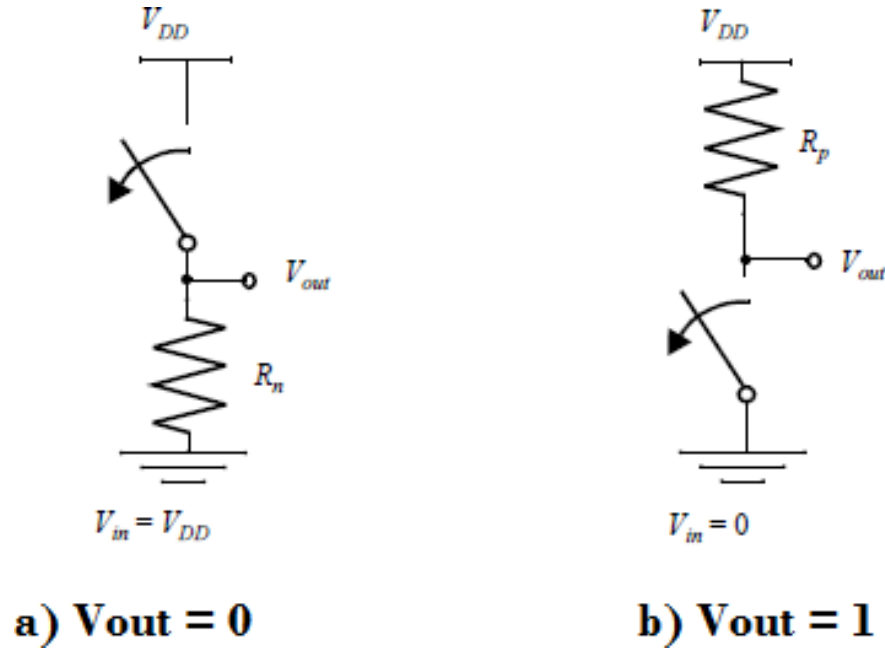


Figura 2.4: Resistencias equivalentes en cada estado del inversor CMOS.

En cada estado, el transistor que conduce, se encuentra en la zona óhmica de operación, el valor de estas resistencias es representando por R_P y R_N .

Para obtener el valor de esta resistencia equivalente, se utiliza la expresión:

$$R_{eq} = \frac{3}{4} \cdot \frac{V_{DD}}{I_{D_{sat}}} \cdot \left(1 - \frac{7}{9} \cdot \lambda \cdot V_{DD} \right) \quad (2.2)$$

La modulación del canal se produce cuando el transistor trabaja en la zona de saturación y en el canal, en la difusión del drenaje, se produce el efecto de estrangulamiento del canal, como se muestra en la figura [2.5].

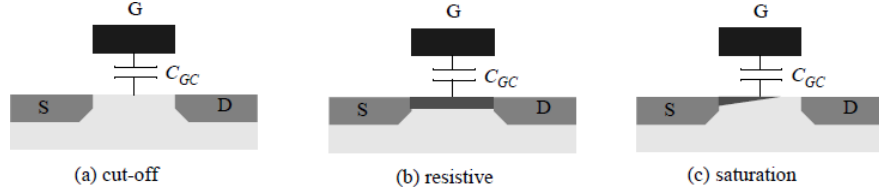


Figura 2.5: Estrangulación del canal.

En la zona óhmica, no se tiene en cuenta el efecto de modulación del canal, esto es $\lambda = 0$, con lo que la expresión (2.2), se reduce a:

$$R_{eq} = \frac{3}{4} \cdot \frac{V_{DD}}{I_{D_{sat}}} \quad (2.3)$$

Para la $I_{D_{sat}}$, tenemos, en forma genérica para ambos dispositivos:

$$I_{D_{sat}} = \mu \cdot C_{ox} \cdot \frac{W}{L} \cdot \left[(V_{DD} - V_{th}) \cdot V_{D_{sat}} - \frac{1}{2} \cdot V_{D_{sat}}^2 \right] \quad (2.4)$$

$W_N, W_P, \mu_N \cdot C_{ox_N}, \mu_P \cdot C_{ox_P}, V_{DD}, V_{th_N}, V_{th_P}$ son datos para los dispositivos. $L = L_{MIN} = 0,1\mu\text{m}$ y $V_{D_{sat}}$ se obtiene como:

$$V_{D_{sat}} = L_{channel} \cdot E_{crit} \quad (2.5)$$

El campo eléctrico crítico se da cuando, este alcanza el valor en donde la velocidad de los portadores ya no aumenta, saturando. Este fenómeno se ilustra en la figura [2.6], donde se puede observar la velocidad de los electrones en función del campo eléctrico.

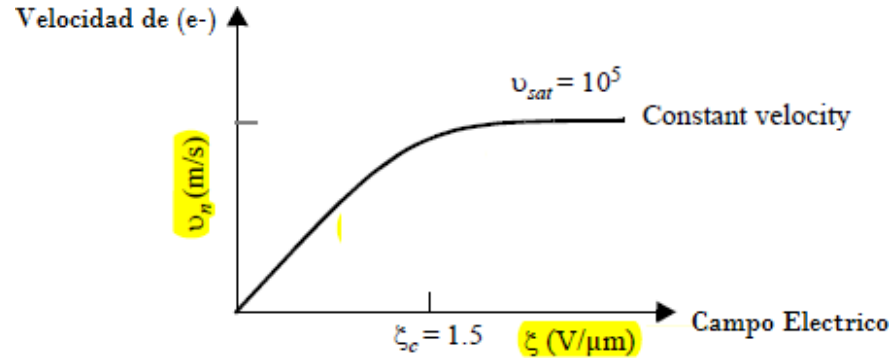


Figura 2.6: Velocidad de los electrones en función del campo eléctrico.

Se observa como la velocidad de los electrones es constante a partir de un campo eléctrico de $1,5\text{V}/\mu\text{m}$, siendo este el valor de E_{crit} .

Tenemos entonces para un $L_{MIN} = 0,1\mu\text{m}$:

$$V_{D_{sat}} = L_{channel} \cdot E_{crit} = 0,1\mu\text{m} \cdot 1,5\text{V}/\mu\text{m} = 0,15\text{V}$$

Luego obtenemos:

$$I_{D_{sat_N}} = 0,474\text{mA}$$

$$I_{D_{sat_P}} = 0,316\text{mA}$$

De donde obtenemos:

$$R_N = \frac{3}{4} \cdot \frac{1,2\text{V}}{0,474\text{mA}} = 1,8987\text{k}\Omega$$

$$R_P = \frac{3}{4} \cdot \frac{1,2\text{V}}{0,316\text{mA}} = 2,8481\text{k}\Omega$$

2.1.5. Cálculo del tiempo de retardo

El tiempo de delay para el inversor se cácula como:

$$T_{delay} = \frac{T_{delay_{HL}} + T_{delay_{LH}}}{2} \quad (2.6)$$

Siendo $T_{delay_{HL}}$ y $T_{delay_{LH}}$ los tiempos de retardo para las transiciones de estado alto a bajo y bajo a alto respectivamente en la salida del inversor.

Cada uno de estos delays se calcula como se dijo utilizando un modelo de carga o descarga de un circuito RC. Tenemos entonces:

$$T_{delay_{HL}} = 0,69 \cdot R_N \cdot C_L = 0,69 \cdot 1,8987\text{k}\Omega \cdot 16,2524\text{fF} = 21,2923\text{ps}$$

$$T_{delay_{LH}} = 0,69 \cdot R_P \cdot C_L = 0,69 \cdot 2,8481\text{k}\Omega \cdot 16,2524\text{fF} = 31,9390\text{ps}$$

Finalmente entonces:

$$T_{delay} = 26,6157\text{ps}$$

2.2. Punto 2a

- *Simular el inversor con el programa HSPICE y comparar con los resultados del punto anterior. Utilizar una señal de entrada con $t_{rise} = t_{fall} = 1\text{ps}$. Incluir en el informe una captura de pantalla que muestre la configuración de los parámetros de cada MOSFET.*

Para este punto se dibujó el circuito correspondiente en el editor de esquemáticos del programa synopsys en una nueva biblioteca creada para los circuitos y layouts que se crearon. En la figura [2.7] puede verse el circuito diseñado, y pueden verse los parámetros seleccionados para los transistores.

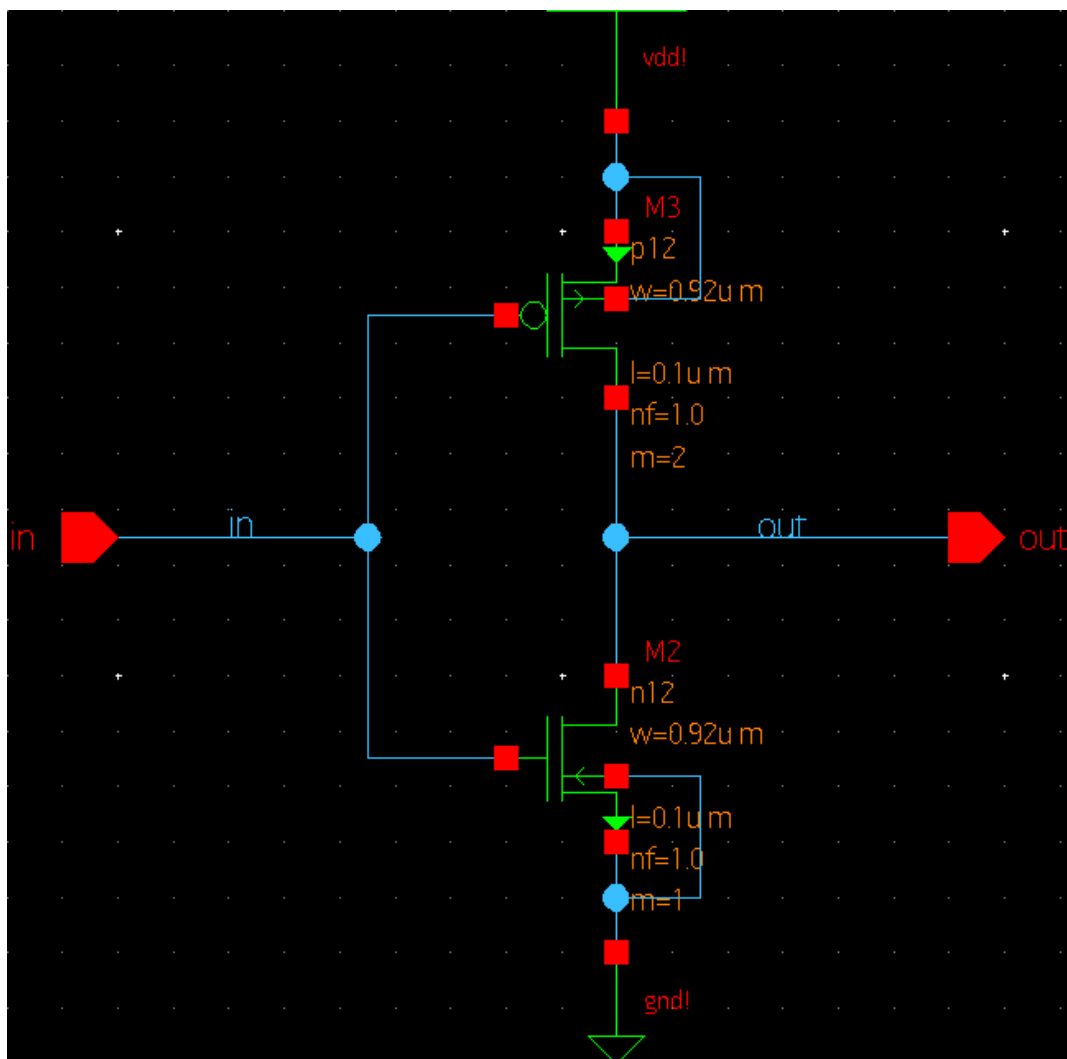


Figura 2.7: Inversor CMOS diseñado (esquemático).

En la figura [2.8] puede verse el circuito del test bench armado para simular la respuesta del inversor.

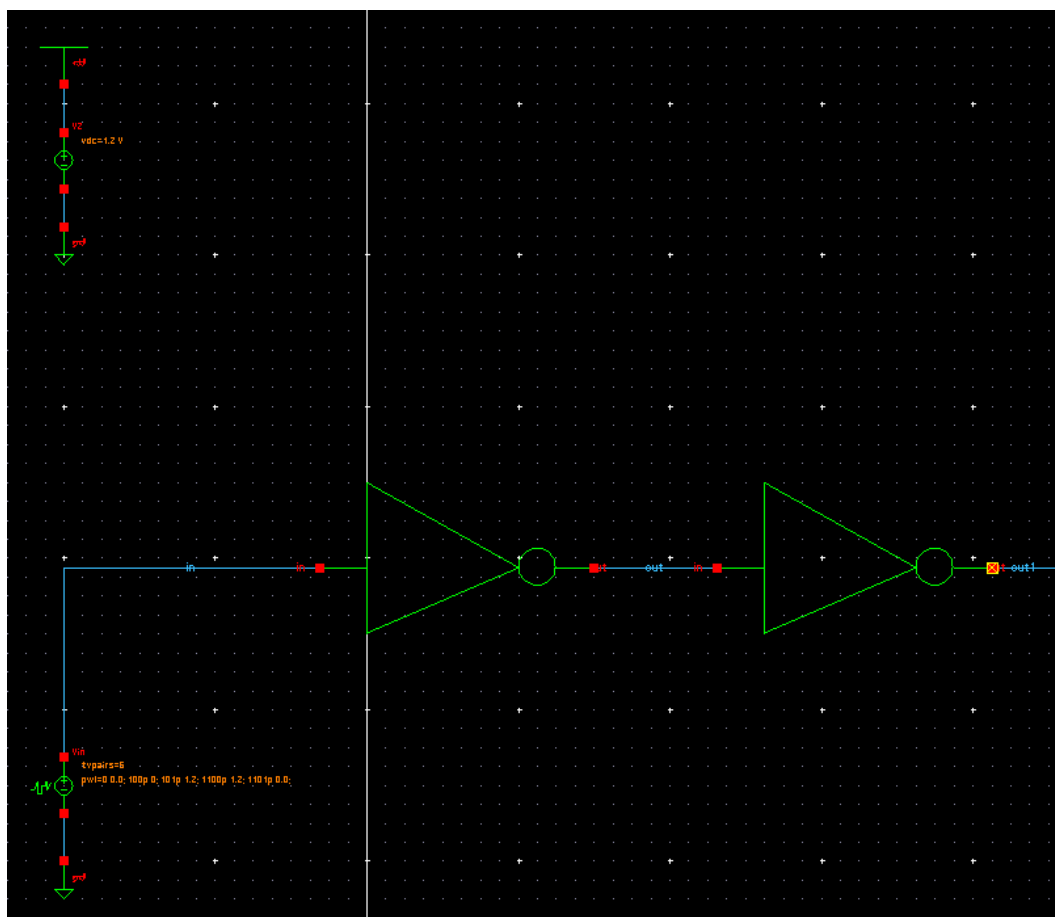


Figura 2.8: Inversor CMOS cargado con inversor idéntico, test bench diseñado (esquemático).

En la figura [2.9] puede verse la respuesta obtenida con el circuito de prueba de la figura [2.8]. El valor de tiempo de retardo obtenido para esta respuesta es de:

$$T_{delay} = 7,4514\text{ps}$$

Que está en el orden de lo hallado por cálculo en la sección [2.1.5], pero es bastante disímil.

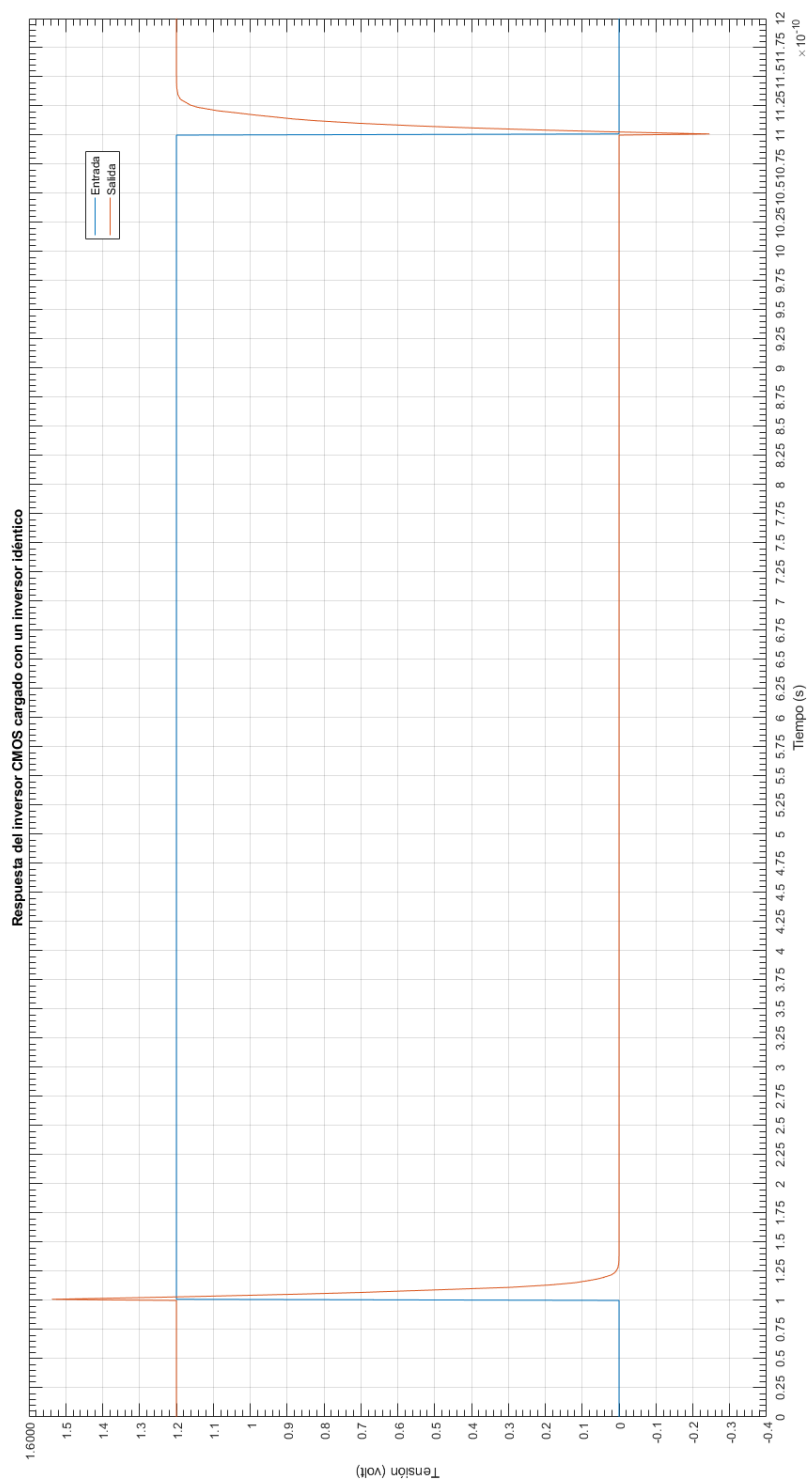


Figura 2.9: Respuesta del inversor CMOS cargado con inversor idéntico.

2.3. Punto 2b

- *Simular el mismo inversor del punto anterior pero con cargas de 4, 8 y 16 inversores mínimos ($W_N = 0,23\mu\text{m}$ y $W_P = 2 \cdot W_N$).*

En la figura [2.10] puede verse el circuito diseñado para el inversor mínimo, y pueden verse los parámetros seleccionados para los transistores.

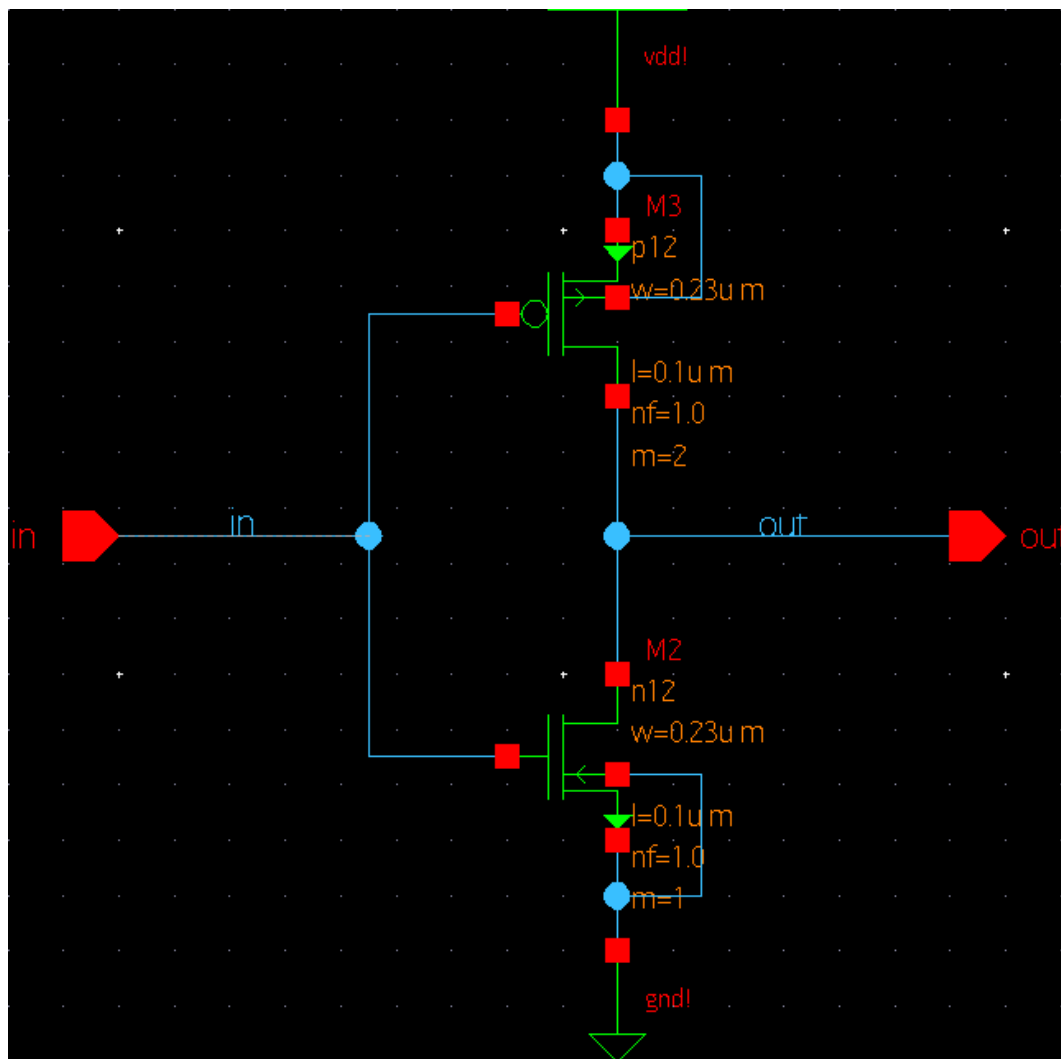


Figura 2.10: Inversor CMOS mínimo diseñado (esquemático).

En la figuras [2.11] [2.12] y [2.13] pueden verse los circuito de los test bench armados para simular la respuesta del inversor con esas cargas.

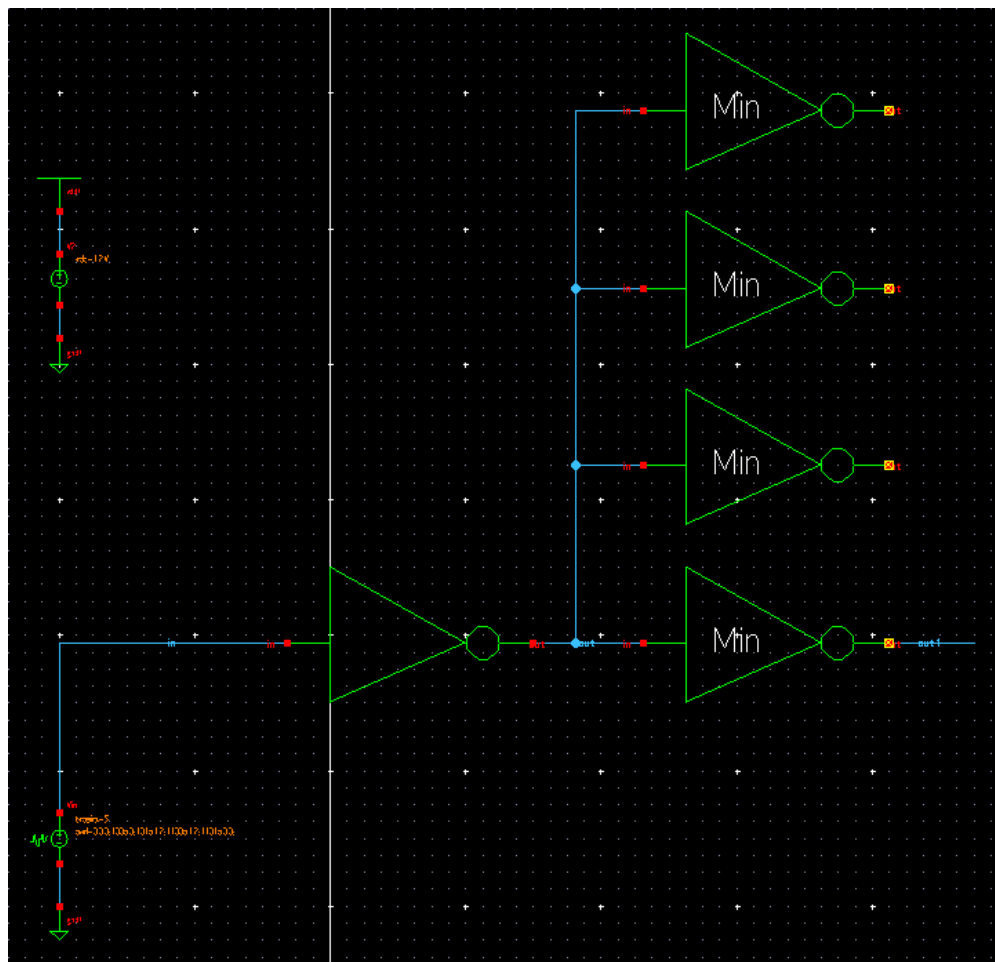


Figura 2.11: Inversor CMOS cargado con 4 inversores mínimos, test bench diseñado (esquemático).

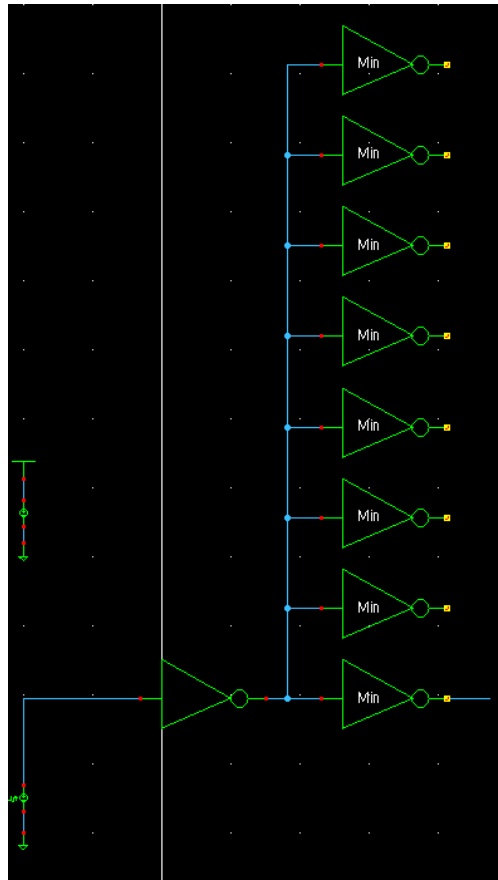


Figura 2.12: Inversor CMOS cargado con 8 inversores mínimos, test bench diseñado (esquemático).

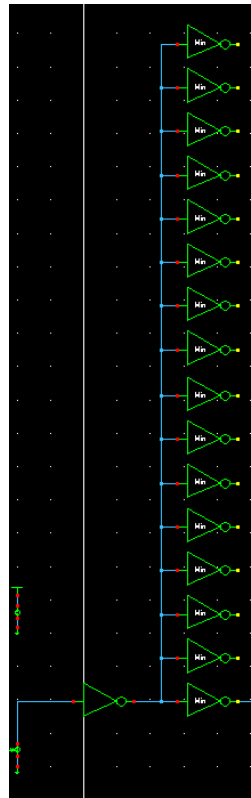


Figura 2.13: Inversor CMOS cargado con 16 inversores mínimos, test bench diseñado (esquemático).

En la figura [2.14] puede verse la respuesta obtenida con los circuitos de prueba de las figuras figuras [2.11] [2.12] y [2.13].

En el cuadro [2.2], se pueden ver resumidos los retardos obtenidos.

| | 4 inversores mín. | 8 inversores mín. | 16 inversores mín. |
|-------------------|-------------------|-------------------|--------------------|
| Tiempo de retardo | 7,5063ps | 11,2710ps | 21,5551ps |

Cuadro 2.2: Tiempos de retardo obtenidos para el inversor cargado con 4, 8 y 16 inversores mínimos.

Se puede apreciar que el retardo del inversor cargado con 4 inversores mínimos, coincide bastante bien con la respuesta al estar cargado con un inversor idéntico, que justamente tiene transistores con 4 veces el área de los transistores del inversor mínimo. El tiempo de retardo parece escalar con el área de los transistores, cosa que también se aprecia en las respuestas obtenidas con 4, 8 y 16 inversores mínimos.

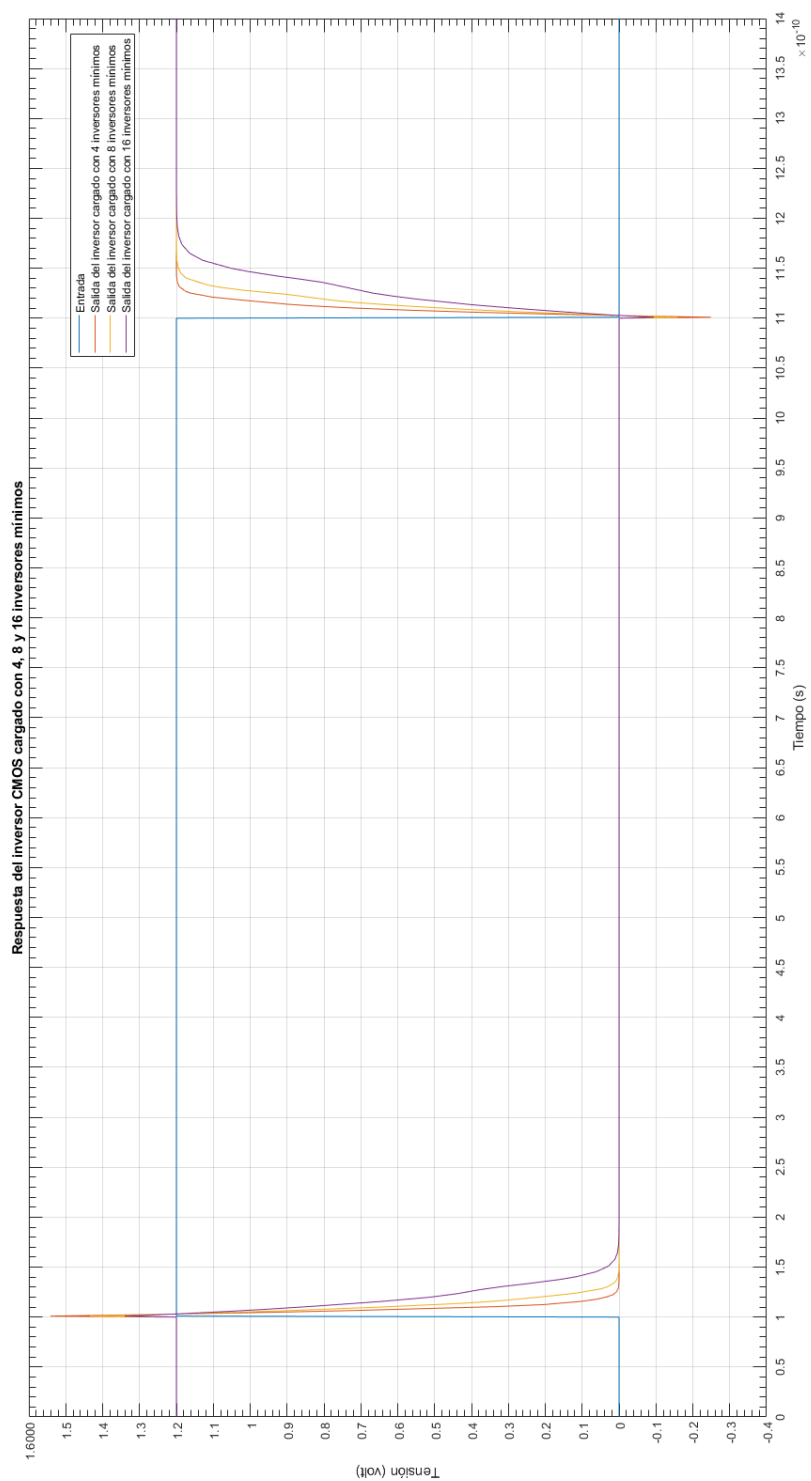


Figura 2.14: Respuesta del inverter CMOS cargado con 4, 8 y 16 inversores mínimos.

2.4. Punto 3

- *Realizar el diseño físico (layout) del inversor utilizando el programa Synopsys. Verificar DRC y LVS. Incluir una captura de pantalla incluyendo una regla que permita verificar los W de los transistores.*

En la figura [2.15] puede verse el layout diseñado, y pueden verse las reglas que permiten apreciar el pitch y el W de los transistores. Y en la figura [2.16] puede de la misma forma verse el layout del inversor mínimo diseñado. Ambos layouts fueron verificados exitosamente con **DRC** y **LVS**.

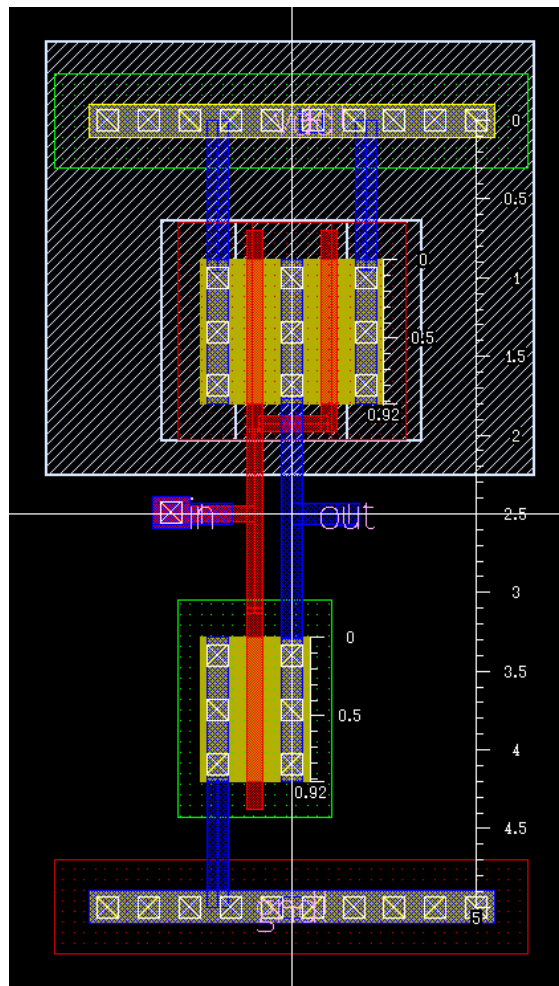


Figura 2.15: Inversor CMOS diseñado (layout).

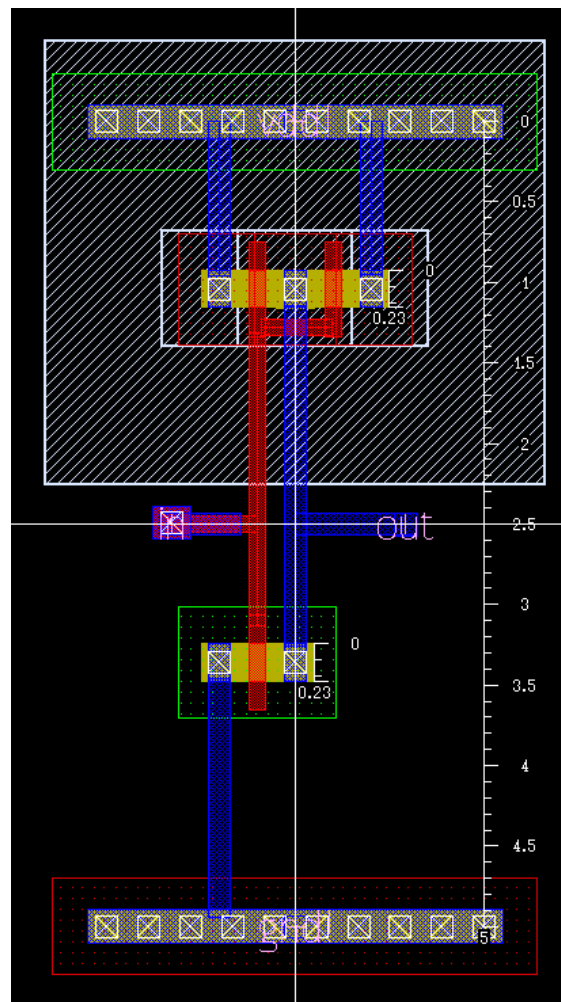


Figura 2.16: Inversor CMOS mínimo diseñado (layout).

3. Observaciones y conclusiones

Los valores obtenidos por simulación son razonables, al menos coherentes, sin embargo el valor obtenido por cálculo manual se aparta bastante de lo simulado, lo cuál puede deberse simplemente a errores de cálculo o a alguna expresión o asunción errónea. Queda pendiente de verificarse los resultados obtenidos por falta de tiempo.

4. Bibliografía

Referencias

- [1] *Digital Integrated Circuits (2nd Edition)*

Author: Jan M. Rabaey

Author: Anantha Chandrakasan

Author: Borivoje Nikolic

Publisher: Pearson; 2nd Edition (2003)

Copyright: © 2003, Pearson.

ISBN 10: 0130909963

ISBN 13: 9780130909961

Website: [Digital Integrated Circuits \(2nd Edition\)](#)

- [2] *Analysis and Design of Analog Integrated Circuits (5th Edition)*

Author: Paul R. Gray

Author: Paul J. Hurst

Author: Stephen H. Lewis

Author: Robert G. Meyer

Publisher: John Wiley & Sons, Inc.; 5th Edition (2009)

Copyright: © 2001, John Wiley & Sons, Inc.

ISBN 10: 0470245999

ISBN 13: 9780470245996

Website: [Analysis and Design of Analog Integrated Circuits \(5th Edition\)](#)

