

1.1 Xác định chỉ tiêu kỹ thuật hệ thống:

Chất lượng hoạt động: tốc độ, công suất...

Các tính năng hệ thống phải đáp ứng.

Kích thước vật lý.

Kỹ thuật / phương pháp TK; Công nghệ dùng để SX.

1.2 Thiết kế kiến trúc của hệ thống:

Kiến trúc tập lệnh rút gọn RISC / phức tạp CISC.

Số lượng các bộ ALU; Số lượng và cấu trúc các pipeline.

Các đơn vị điều khiển.

Kích cỡ bộ nhớ đệm cache.

1.3 Thiết kế các khối chức năng - hoạt động của hệ thống:

Xác định các khối chức năng chính của hệ thống, mô tả tương tác giữa chúng.

Hoạt động của các khối dưới tác động đầu vào/ra và nhịp đồng hồ.

Kỹ thuật / phương pháp TK.

Công nghệ sử dụng để SX.

Cho phép mô phỏng hệ thống nhanh.

1.4 Thiết kế Logic:

Chu trình điều khiển của hệ thống.

Độ rộng của các đơn vị dữ liệu, thanh ghi, các phép toán.

Mô tả RTL.

Các biểu thức logic Bool tối thiểu.

Kích cỡ bộ nhớ đệm.

1.5 Thiết kế mạch:

Cụ thể hóa các thiết kế logic của hệ thống:

Hiện thực hóa thành mạch điện các biểu thức logic.

Thực hiện bằng các phần tử ô chuẩn / cổng / transistor và các kết nối giữa các phần tử.

Kiểm tra tính đúng đắn mỗi phần tử và nhịp định thời của chúng

1.6 Thiết kế vật lý:

Chuyển đổi hình học và bố trí layout các thành phần của mạch điện:

Chuyển các thành phần mạch sang dạng hình học (hình dạng, lớp) thích hợp.

Tuân thủ các luật thiết kế.

Phân định vùng các thành phần.

Định tuyến các đường nối các đường dữ liệu.

Ước lượng vùng diện tích cần thiết.

1.7 Sản xuất chip:

Layout hoàn thiện được chuyển thành các băng với các mẫu mặt nạ thích hợp.

Dựa trên các mặt nạ, quá trình sản xuất tạo các vùng bán dẫn / loại bỏ các vùng.

Kiểm tra tính đúng đắn mỗi phần tử và nhịp định thời của chúng.

1.8 Đóng gói, kiểm tra và sửa lỗi:

Cắt các chip riêng rẽ. Mỗi chip được đóng gói và kiểm tra để đảm bảo rằng chúng thỏa mãn các chỉ tiêu kỹ thuật thiết kế cũng như hoạt động đúng với các chức năng thiết kế.

Đóng gói:

2 hàng chân: DIP – Dual Inline Package.

Mảng lưới các chân: PGA - Pin Grid Array.

Mảng lưới các đầu: BGA - Ball Grid Array.

Gói phẳng vuông: QFP - Quad Flat Package.

Các chip đc sử dụng trong các khối đa chip (Multi-Chip Modules) ko cần đóng gói, vì chúng thường được sử dụng trần.

1.9 Xu hướng công nghệ trong chu trình TK hệ thống VLSI:

Tăng trễ liên kết.

Tăng diện tích kết nối.

Tăng số lượng lớp kim loại.

Tăng các yêu cầu hoạch định trước.

Tổng hợp logic / Tổng hợp mức cao.

1.11 Tại sao công nghệ bán dẫn Silic vẫn sẽ là công nghệ được lựa chọn phổ biến?

Silic phổ biến thứ 2 trên TD sau oxy (khoảng 28%) (Nguồn: đất sét, thạch anh, cát...)

Có tính chất điện môi thích hợp:

Đủ lớn để giảm dung kháng khi được sử dụng như tụ điện.

Đủ nhỏ để hệ số thời gian trễ RC không giới hạn tần số cực đại của thiết bị.

Có giá trị điện trường đánh thủng cao nhất trong các chất cách điện.

Các tính chất điện rất tốt: Không tạo ra việc tái hợp điện tử - lỗ trống, không tạo ra vùng tích điện.

Rất ổn định và trợ về mặt hóa học.

1.12 Tại sao phải SX tấm wafer từ thanh Silic đơn thể?

Các tinh thể si-líc được hình thành và cắt gọt để tạo thành các tấm wafer. Do đó, để sản xuất các chip VLSI với kích thước cực kỳ nhỏ các tấm wafer được yêu cầu phải được đánh bóng gần tuyệt đối.

Quá trình tạo tấm Wafer:

Để sản xuất tấm wafer, silic được xử lý hóa học nhằm đạt được độ tinh khiết đến 99,99%.

Silic đã tinh lọc được nung chảy và kéo thành những *thỏi hình trụ*.

Những thỏi silic đó được cắt lát mỏng thành những tấm wafer và được đánh bóng = các lưỡi kim cương cho đến khi chúng có bề mặt hoàn hảo, nhẵn bóng như gương.

1.13 So sánh quang khắc dùng UV và khắc tia điện tử (EBL):

Quá trình quang khắc được sử dụng để làm hình ảnh 2-D từ mặt nạ được sao vào bề mặt tấm đế.

Phủ lớp cản quang → Chiếu UV qua mặt nạ → Loại bỏ vùng chất cản quang bị chiếu (dương) / không bị chiếu (âm)

Quá trình quang khắc được thực hiện một cách lặp đi lặp lại cho mỗi lớp cùng với các mặt nạ riêng rẽ cho mỗi lớp đó.

Chất cản quang âm ít được sử dụng hơn chất cản quang dương vì độ phân giải kém hơn.

Với các hệ thống / thiết bị sử dụng công nghệ μ mật độ cao thì quá trình quang khắc được thay bằng quá trình khắc tia điện tử (EBL):

Mẫu có thể tạo trực tiếp từ dữ liệu số;

Thực hiện trực tiếp (không cần ảnh mặt nạ);

Các mẫu khác nhau có thể tiến hành trên các vùng Wafer khác nhau;

Sự thay đổi mẫu dễ dàng và nhanh gọn;

Giá thành trang thiết bị cao; thời gian cần thiết để hoàn thành quá trình cho một tấm Wafer lớn.

1.14 Khuếch tán lựa chọn là gì?

Để tạo ra các loại si-líc khác nhau, tức là tỷ lệ các tạp chất khác nhau, thì cần thêm quá trình xử lý nữa được thực hiện. Vì các vùng này phải được định vị và xác định kích thước 1 cách chính xác. Khả năng của lớp SiO_2 hoạt động như 1 rào chắn đối với quá trình đưa vào các tạp chất là một yếu tố quan trọng trong quá trình này và được gọi là quá trình khuếch tán lựa chọn:

Lớp SiO_2 được sử dụng như một mặt nạ mẫu. Những chỗ không có SiO_2 cho phép các nguyên tử dopant đi qua vào trong wafer và do đó làm thay đổi các tính chất của si-líc. Những chỗ có lớp SiO_2 bao phủ ngăn chặn sự thâm nhập của các nguyên tử dopant.

1.15 So sánh tạo cực cửa = kim loại và = polysilicon:

Polysilicon: loại vật liệu bền vững (rất hiếm các phản ứng tương tác với các vật liệu lân cận). Sử dụng trong các kết nối cực cửa hoặc các kết nối ngắn mà có dòng nhỏ.

Kim loại: tốc độ dẫn cao hơn polysilicon 3 – 5 lần; điện trở nhỏ hơn; có hiện tượng PÚ tương tác với các vật liệu lân cận.

Các lớp kết nối kim loại ở lớp sâu thường được bọc bởi Si_3N_4 hoặc TiN.

Lớp kết nối trên cùng luôn được tạo bằng kim loại.

Các lớp kết nối kim loại thường được tạo bằng cách sử dụng phương pháp PVD.

1.18 Cấu trúc đơn giản của 1 cổng MOSFET: nMOS (4 cực)

Thân đế bán dẫn loại p (B),

Vùng bán dẫn pha tạp n^+ : cực nguồn (S).

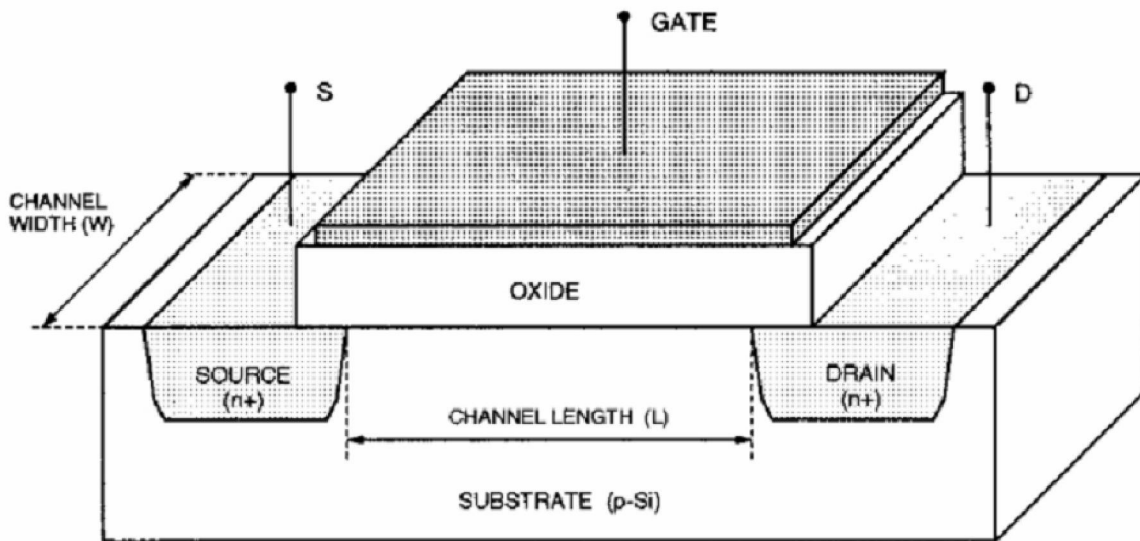
Cực máng: D.

Lớp cách ly cực của SiO_2 với cực cửa kim loại (hoặc polysilicon):

Vùng cực S và D được pha tạp n^+ :

- Là các cực dẫn dòng của transistor.

- Có các kích thước đặc trưng: L (chiều dài kênh dẫn); W (bề rộng kênh dẫn).



1.19 Phân loại transistor MOSFET:

MOSFET kênh cảm ứng (E-MOSFET):

Không có vùng kênh dẫn dòng ở điều kiện phân cực cực cửa bằng 0.

Kênh dẫn được tạo ra bằng cách cung cấp điện áp phân cực vào cực cổng lớn hơn một mức ngưỡng => tạo lớp đảo.

MOSFET kênh đặt sẵn (D-MOSFET):

Có vùng kênh dẫn dòng ở điều kiện phân cực cực cửa bằng 0.

Kênh dẫn tồn tại sẵn ngay khi phân cực cực cửa bằng 0: sử dụng việc cấy ghép ion chọn lọc vào vùng kênh tạo kênh dẫn sẵn.

Transistor MOSFET kênh dẫn n: nMOS

Để bán dẫn loại p, các cực S và D là vùng pha tạp n^+ .

Kênh dẫn được tạo là loại n.

Transistor MOSFET kênh dẫn p: pMOS.

Để bán dẫn loại n, các cực S và D là vùng pha tạp p^+ .

Kênh dẫn được tạo là loại p.

1.20 Điện áp ngưỡng của transistor MOSFET phụ thuộc vào nồng độ pha tạp, vật liệu cực cửa.

Chênh lệch công giữa cực cửa và kênh dẫn.

Điện áp cực cửa để thay đổi thế năng bề mặt.

Điện áp cực cửa để tạo vùng nghèo điện tích bề mặt.

Điện áp để tạo chênh lệch điện tích cố định trong vùng cực cửa ô-xít và trong tiếp giáp Si-SiO₂.

1.21 Hiệu ứng thân đế:

Để có thể đạt được các mức điện áp ngưỡng thấp (cỡ 0,6-1,0V) thì cần phải có hoặc là giếng khuếch tán sâu hoặc trở kháng giếng phải cao. Các tiếp giáp sâu kéo theo 1 không gian giữa các transistor n và p lớn hơn vì tính chất 1 phía của quá trình khuếch tán. Và kết quả là yêu cầu chip có diện tích lớn hơn.

Mặt khác, trở kháng cao có thể làm gia tăng các vấn đề chột. Nhằm đạt được mức điện thế ngưỡng hẹp chấp nhận được trong quá trình p-well, mật độ giếng phải cỡ gấp đôi mật độ doping trong đế, và bằng cách đó tạo ra hiệu ứng thân cho các thiết bị kênh n có được lớn hơn cho các transistor kênh p.

1.22 Hiệu ứng thay đổi độ dài kênh dẫn:

Khi bề rộng kênh tăng lên, càng nhiều hạt mang điện sẵn sàng cho dẫn dòng điện. Tuy nhiên khi chiều dài kênh tăng lên, thời gian để đẩy các hạt mang điện qua kênh của transistor lâu hơn với một giá trị V_{ds} cố định, từ đó làm giảm dòng chảy hạt mang điện.

Khi $V_{DS} > V_{DSAT}$, độ dài kênh dẫn hiệu dụng $L' = L - \Delta L$ (ΔL : độ dài vùng dẫn bị nghèo giữa điểm ngắt và cực D).

Độ dài kênh dẫn bị ngắn đi: $L' < L \rightarrow V_{DS}$ tăng $\rightarrow I_{D(sat)}$ tăng:

$$I_{D(sat)} = \frac{\mu_n C_{ox}}{2} \frac{W}{L} (V_{GS} - V_{T0})^2 (1 + \lambda V_{DS})$$

λ : hệ số điều chỉnh độ dài kênh dẫn.

1.23 Nguyên tắc, ý nghĩa của việc đo lường các tham số: V_{TH0} , γ , λ , k_n , k_p .

Để tăng tính chính xác của các công thức xây dựng dựa trên xấp xỉ thì các tham số trong công thức phải đo lường bằng thực nghiệm một cách cẩn thận:

V_{TH0} : điện áp ngưỡng với phân cực để bằng 0

$$V_{TH0} = \Phi_{GC} - 2\Phi_F$$

γ : hệ số hiệu ứng thân.

$$\gamma = \frac{\sqrt{2qN_a\epsilon_{Si}}}{C_{ox}}$$

λ : hệ số điều chỉnh độ dài kênh dẫn (quyết định độ dốc đặc tuyến dòng-áp ở vùng bão hòa).

$$1 - \frac{\Delta L}{L} \approx 1 - \lambda V_{DS}$$

k_n , k_p : Các tham số hỗ dẫn.

$$k_n = \mu_n C_{ox} \frac{W}{L}, \quad k_p = \mu_p C_{ox} \frac{W}{L}$$

1.24 Nguyên nhân gây ra dòng thứ cấp, ảnh hưởng của nó:

Thu nhỏ kích thước thiết bị xuống mức thấp nhất có thể \rightarrow Đặc tính hoạt động của thiết bị sẽ thay đổi.

Ngưỡng thế năng trong thiết bị kích thước nhỏ bị điều khiển bởi cả V_{GS} và V_{DS} .

Nếu $V_{DS} \uparrow \rightarrow$ ngưỡng thế năng $\downarrow \Rightarrow$ Sự suy giảm ngưỡng do điện thế cực D. Tạo ra dòng dẫn ngay cả khi $V_{GS} < V_{T0}$: Dòng dẫn ngưỡng thứ cấp.

Một sự thay đổi dòng nhỏ cũng có thể gây ảnh hưởng đến hoạt động của mạch

1.25 Nguyên nhân gây ra hiện tượng đâm xuyên, ảnh hưởng của nó:

Trong các thiết bị kích thước nhỏ, L là độ dày vùng nghèo của các tiếp xúc cực S và D.

Nếu các điện áp phân cực cực D $\uparrow \rightarrow$ Vùng nghèo cực D mở rộng về phía cực S \rightarrow Hai vùng nghèo có thể chồng lấn nhau \Rightarrow Sự đâm xuyên.

Điện áp cực cửa không còn tính điều khiển với dòng cực máng \rightarrow Dòng cực máng \uparrow đột ngột.

Sự tăng dòng đột ngột có thể phá hỏng vĩnh viễn thiết bị (làm nóng chảy vật liệu bên trong thiết bị).

1.26 Nguyên nhân gây ra hiện tượng đánh thủng lớp oxit bề mặt, ảnh hưởng của nó:

Độ dày lớp ô-xít cực cửa khi thu nhỏ với hệ số tỷ lệ S: $t_{ox} * S$

Bị hạn chế bởi giới hạn vật lý (sự khó khăn trong công nghệ chế tạo)

Sự hình thành không đồng nhất của lớp ô-xít rất mỏng tạo thành các vùng khuyết \rightarrow Có thể gây ra sự ngắn mạch giữa cực cửa và đế.

Độ mỏng của lớp ô-xít cực cửa cũng bị giới hạn bởi hiện tượng đánh thủng bởi điện trường vuông góc (có giá trị đủ lớn) \Rightarrow hỏng thiết bị.

1.27 Nguyên nhân gây ra hiện tượng nóng dòng hạt, ảnh hưởng của nó:

Việc giảm nhỏ các kích thước mà vẫn giữ nguyên điện áp, đồng nghĩa với việc tăng nồng độ pha tạp → Các thành phần điện trường E_x , E_y trong kênh dẫn tăng mạnh.

Các hạt dẫn đạt được động năng đủ lớn: hiện tượng "nóng" dòng hạt.

Dòng hạt "nóng" có thể chích vào lớp ô-xít cực cửa gây ra sự thay đổi cố định phân bố điện tích tại tiếp giáp ô-xít cực cửa → Làm xấu đi đặc tính V-A của thiết bị.

1.28 Tại sao phải tuân thủ luật thiết kế, có những luật nào:

Các luật TK cung cấp mối liên hệ thông tin cần thiết giữa người thiết kế mạch và kỹ sư thực hiện quá trình SX. Mục đích chính của các luật thiết kế là nhằm đạt được mạch với sản lượng tối ưu trong 1 vùng điện tích nhỏ nhất có thể mà không phải đánh đổi bằng độ tin cậy của mạch.

=> Luật TK là 1 ranh giới để đảm bảo sự hoạt động của mạch.

Nếu bề rộng các đường được thiết kế quá nhỏ thì có thể dẫn đến khả năng các đường sẽ bị đứt quãng.

Nếu các dây dẫn được đặt quá gần nhau thì cũng có thể dẫn đến khả năng các đường đó bị hợp lại thành 1 (ngắn mạch giữa 2 dây nối độc lập).

VD: luật μ , α , λ

1.29 So sánh các luật thiết kế đã học:

Các luật thiết kế μ thường được cho như một danh sách các kích thước đặc trưng tối thiểu và các khoảng cách cho tất cả các mặt nạ được yêu cầu trong một quá trình SX nào đó. Chẳng hạn, bề rộng lớp thinox tối thiểu có thể được cụ thể hóa là 4 μm . Đây là kiểu thông thường cho sản xuất công nghiệp.

Trong các luật α , kích thước đặc trưng cơ bản và kích thước lưới tối thiểu cần thiết được mô tả bằng các hàm của α . Các hệ số α có thể có mối liên hệ thông qua một hệ số ko đổi.

Các luật thiết kế λ chỉ dựa trên một tham số λ duy nhất, đặc trưng cho đặc trưng tuyến tính - độ phân giải của quá trình thực hiện wafer hoàn chỉnh - và cho phép việc tỷ lệ bậc một.

1.30 Thông số hóa quá trình là gì, cho VD:

Khi các công cụ tự động trở lên phổ biến, sự cần thiết về việc hiểu biết chi tiết các luật thiết kế đối với các nhà thiết kế không còn quá quan trọng. Tuy nhiên, các công cụ thiết kế phải có một dạng thức mà trong đó các luật thiết kế cho một quá trình phải được trình bày rõ ràng.

Nếu các luật cần để thông tin giữa các công cụ, thì một dạng thức dữ liệu phải được thiết kế để có thể cung cấp cho một giao tiếp thích hợp.

Ý tưởng chính là xác định các cấu trúc quan tâm và trình bày các thuật toán mà có thể được sử dụng để xây dựng các cấu trúc đó. Khoảng cách của những cấu trúc này từ các cấu trúc khác thu được bằng cách áp dụng các luật khoảng cách thông thường đã biết.

VD: Các luật về khoảng cách:

$ND_PD_SP = NDIFF \text{ TO } PDIFF \text{ SPACING} = 8 * LAMBDA$

$ND_ND_SP = NDIFF \text{ TO } NDIFF \text{ SPACING} = 2 * LAMBDA$

$PD_PD_SP = PDIFF \text{ TO } PDIFF \text{ SPACING} = 2 * LAMBDA$

1.31 So sánh các cấu trúc logic đã học:

Logic bù CMOS:

Logic giả nMOS:

Logic CMOS động:

Logic CMOS định thời:

Logic đô-mi-nô CMOS:

Logic chuyển mạch điện áp:

Logic đô-mi-nô cải tiến:

Logic transistor thông qua:

1.35 So sánh các chiến lược clock trong TK hệ thống VLSI:

Chiến lược đồng hồ 2-pha giả: có thể gây ra lệch đồng hồ và chậm các cạnh.

Chiến lược đồng hồ 2-pha: giảm số lượng đường dẫn nhịp đồng hồ cần định tuyến xung quanh chip.

Chiến lược đồng hồ 4-pha: bổ sung một pha "giữ" làm đơn giản hóa việc thiết kế lô-gic. Tuy nhiên số lượng đồng hồ mà phải được tạo ra lớn.

Chiến lược đồng hồ giả 4-pha: là chiến lược phổ thông nhất bởi vì nó cho phép xây dựng bất cứ dạng thức lô-gic nào bằng việc tạo ra đồng hồ on-chip thích hợp.

1.36 Nguyên tắc TK cấu trúc I/O:

Các chân đế I/O thường được SX với độ cao và bề rộng ko đổi với các điểm liên kết ở những vị trí xác định cụ thể.

Kích thước của các chân đế được xác định thông thường bằng kích thước tối thiểu mà một dây hàn có thể đưa dc vào.

Ngoài ra, 1 vị trí cố định cho V_{DD} , V_{SS} và các dây dẫn điều khiển toàn cục khác cũng là một điểm mạnh.

Bề rộng bus nguồn và đất có thể được tính toán để cung cấp các điện áp tốt.

Nhiều chân đế nguồn và đất có thể được sử dụng để nhằm giảm nhiễu.

1.37 Các bộ cộng:

Bộ cộng tổ hợp.

Bộ cộng tổ hợp động.

Bộ cộng cực cửa.

Bộ cộng mang khóa đầu.

Bộ cộng mang Manchester.

Bộ cộng khóa đầu mang nhị phân.

Bộ cộng lựa chọn mang.

1.38 So sánh các bộ đếm:

Bộ đếm không đồng bộ : xung đồng hồ của mỗi tầng được thực hiện bởi bộ đếm tầng trước nó, và do đó thời gian cần thiết để ổn định là khá dài đối với một dãy các bộ đếm.

Bộ đếm đồng bộ: Các bộ đếm đồng bộ yêu cầu một tín hiệu khóa đầu được tạo ra. Các bộ đếm này có xu hướng thiết kế phức tạp hơn so với các bộ đếm ko đồng bộ, nhưng lại có ưu điểm là các tầng được khóa lại đồng thời và sự thay đổi của đầu ra là đồng thời.

1.39 So sánh các bộ nhân:

Mạch nhân mảng không dấu: sử dụng các bộ cộng lưu nhớ (CSA: Carry-Save Adder) để tính tổng các tích thành phần. Thành phần mấu chốt của thiết kế là một bộ CSA gọn. Điều này không chỉ có lợi về mặt diện tích mà còn giúp nâng cao chất lượng hoạt động bởi vì nó giúp cho các dây dẫn có độ dài nhỏ hơn với dung kháng dây thấp hơn. Một thiết kế CSA lý tưởng có các độ trễ nhớ và trễ tổng xấp xỉ bằng nhau

Mạch nhân mảng bù 2: Phép nhân của các số bù 2 đầu tiên có vẻ khó hơn bởi vì một số tích thành phần là âm và phải được trừ đi.

Độ trễ của bộ nhân phụ thuộc vào số lượng các hàng tích thành phần cần được tính tổng.

1.40 PP mã hóa Booth: được đề xuất để tăng tốc các phép nhân nối tiếp.

Số lượng các tích thành phần cần tính tổng có thể được giảm nhỏ bằng cách sử dụng phép mã hóa Booth

Mã hóa Booth cải tiến cho phép hoạt động // cơ số cao hơn mà ko tạo ra phép nhân 3Y khó = cách thay vì sử dụng các tích thành phần âm.

1.41 PP cây Wallace:

Số lượng các mức lô-gíc cần thiết để thực hiện việc tính tổng có thể được giảm nhỏ bằng việc sử dụng các cây Wallace. Tuy nhiên, các cây Wallace thường phức tạp cho việc thực hiện layout và thường có các dây dẫn dài, bất thường.

1.42 Các loại bộ ghi dịch thông thường:

Bộ ghi dịch lô-gíc: Thực hiện việc dịch một số sang trái hoặc phải và điền vào các vị trí trống các bit 0.

VD: $1111 \gg 1 = 0111$; $1111 \ll 1 = 1110$.

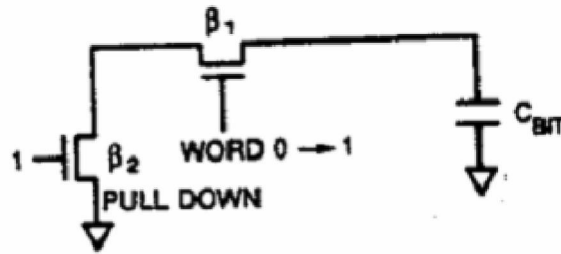
Bộ ghi dịch số học: Cũng tương tự như bộ ghi dịch lô-gíc, nhưng điền vào các vị trí trống các bit ở vị trí cuối cùng.

Ví dụ $1011 \ggg 1 = 1101$; $1011 \lll 1 = 0110$.

Bộ ghi dịch vòng (quay): quay vòng các số theo vòng tròn sao cho các vị trí trống được điền đầy bởi các bit được dịch ra khỏi ở phía đầu cuối bộ ghi.

VD: $1011 \text{ ROR } 1 = 1101$; $1011 \text{ ROL } 1 = 0111$.

1.43 Cấu trúc, h/dộng của 1 ô nhớ SRAM (12-T, 6-T, 3-T):

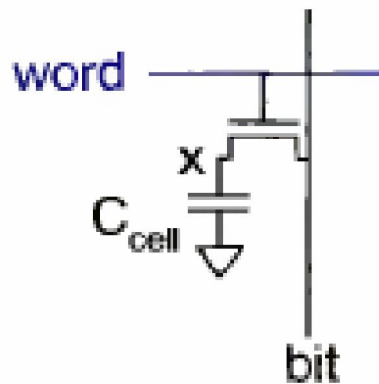


Hình 4.60 Thao tác đọc trong một SRAM

Quá trình đọc: các dòng bit đầu tiên được tiền nạp ở mức cao và một được kéo xuống bởi cell SRAM qua transistor truy xuất.

Quá trình ghi: một dòng bit hoặc phần bù của nó được kéo tích cực xuống mức thấp và giá trị mức thấp này chế ngự cell để thực hiện việc ghi giá trị mới.

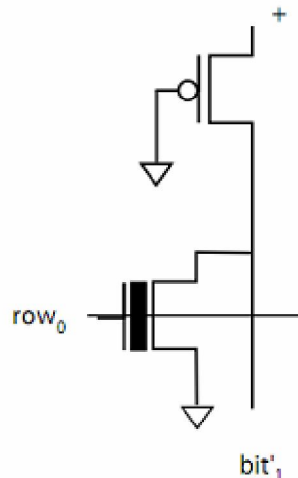
1.44 Cấu trúc, h/dộng của 1 ô nhớ DRAM (1-T, 4-T):



Thao tác đọc: dòng bit đầu tiên được tiền nạp tới điện áp $V_{DD}/2$. Khi dòng từ nâng cao, tụ điện chia sẻ điện tích nạp của nó với dòng bit, và tạo ra một thay đổi điện áp ΔV . Thao tác đọc xáo trộn các nội dung của cell, do đó cell phải được ghi lại sau mỗi thao tác đọc.

Thao tác viết:, dòng bit được kéo lên cao hoặc xuống thấp và điện áp được áp đặt lên tụ.

1.45 Cấu trúc, h/dộng của 1 ô nhớ Flash 1-bit dùng NOR:



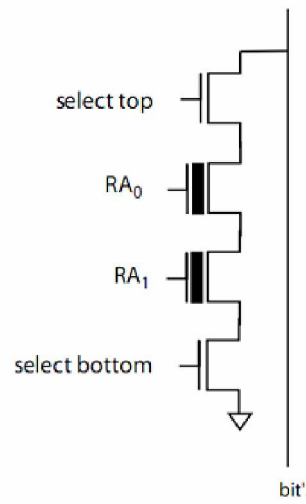
Một cell Flash NOR với transistor kéo-lên.

Flash NOR tương tự về mặt cấu trúc với bộ ROM, ngoại trừ mỗi giao cắt của dòng từ/bit được cư trú với một transistor cực cổng động.

Flash NOR có thể được sử dụng như một bộ nhớ truy xuất ngẫu nhiên, giống như với bất kỳ bộ ROM nào khác.

Khi cực cổng động được nạp, nó làm transistor thông; khi cổng động được xả, nó làm transistor ngắt. Điện tích nạp trên cực cổng động sẽ có thể duy trì trong thời gian hàng năm.

1.46 Cấu trúc, h/dộng của 1 ô nhớ Flash 2-bít dùng NAND:



Hai bít lưu trữ được truy xuất bằng cách sử dụng các tín hiệu *RA*. Các liên kết nối tiếp NAND được bảo vệ bằng các transistor loại n.

Để thực hiện việc lập trình một cell, chúng ta có thể đặt *SELECT TOP* lên một mức điện áp cao, đặt *SELECT BOTTOM* xuống đất, và *RA* để điều khiển transistor mong muốn lên mức điện áp cao. Để ngăn chặn các cột lân cận không bị lập trình, chúng ta đặt các *RA* khác ở một mức điện áp trung gian. Các transistor này sau đó được kiểm soát nhưng không được lập trình. Giá trị được lập trình được đặt trên dòng bít.

1.47 Chiến lược phân cấp:

Chia 1 module thành các module nhỏ hơn, lặp lại việc chia cho đến khi đạt được một module có độ phức tạp có thể kiểm soát được dễ dàng.

1.48 Chiến lược phân chia đều đặn:

Là phép phân cấp ko những với tiêu chí đơn giản hóa hệ thống mà còn đảm bảo các module con tương tự nhau nhất có thể.

Chiến lược đều đặn có thể được thực hiện ở mọi cấp độ thiết kế, cho phép giảm nhỏ số module khác nhau cần thiết kể và kiểm tra tính hợp lệ.

1.49 Chiến lược modul hóa:

Là việc xác định rõ ràng các chức năng và giao tiếp của các khối chức năng.

Cho phép việc thiết kế các khối hoặc các module độc lập với nhau => thực hiện quá trình thiết kế // .

Việc xác định và phân định tốt các chức năng và các tín hiệu giao tiếp có thể cho phép sử dụng các module tổng quát trong các thiết kế khác nhau.

1.50 Chiến lược cục bộ hóa:

Các chi tiết bên trong mỗi khối đc xem xét ở mức cục bộ.

Chỉ là các kết nối giữa các khối lân cận nhau => Tránh được các kết nối khoảng cách dài => Giảm được trễ kết nối lớn.

1.51 Các mức kiểm thử, ý nghĩa vai trò:

Việc kiểm tra và thử nghiệm có vai trò quan trọng sống còn đối vs sự thành công của một chip 1 hệ thống VLSI; Là 1 quá trình tốn công sức và thời gian. Gồm 3 loại chính:

Kiểm tra & thử nghiệm lô-gic: xem xét chip có thực hiện đúng các chức năng đã đc thiết kế hay ko.

Thực hiện trước khi thực hiện quá trình xuất băng để bắt đầu quá trình SX.

Đơn giản và trực quan (vì gắn liền với các chức năng đã ấn định trước).

Chỉ thích hợp với các hệ thống có độ phức tạp nhỏ hoặc vừa phải.

Kiểm tra & thử nghiệm trên lô chip SX thử nghiệm: kiểm định tính hoạt động ổn định của mẻ chip thử nghiệm được SX.

Kiểm tra & thử nghiệm sản xuất: kiểm tra và thử nghiệm tính hoạt động đúng đắn của mỗi transistor, mỗi cổng logic, mỗi thành phần lưu trữ. Thực hiện trên mỗi chip được SX trước khi chúng được đóng gói và chuyển đến khách hàng.

1.52 So sánh các kiểu thiết kế đã học:

Full-custom design style: Dạng thức hình học và vị trí của mọi transistor đc tìm kiếm và xác định tối ưu 1 cách riêng biệt.

Thời gian thiết kế dài.

Cho phép linh động và thuận lợi xem xét mọi khía cạnh tối ưu của thiết kế.

Kết quả thiết kế có chất lượng và độ tin cậy cao (tốc độ hoạt động cao, ổn định, công suất tiêu tán nhỏ).

Cho phép người thiết kế ở mức logic tập trung vào phần thiết kế của mình.

Semi-custom design style: dựa trên các cấu trúc cơ bản có sẵn; các cell chuẩn.

Thời gian thiết kế ngắn.

Kém linh động và không thuận lợi cho việc nâng cao chất lượng của thiết kế.

Kết quả thiết kế có chất lượng và độ tin cậy kém hơn kiểu TK trên.

Programmable design styles: FPGA chứa khoảng hàng chục đến hàng trăm nghìn cổng logic với các kết nối có thể lập trình đc cho phép người sử dụng lập trình cấu trúc phân cứng nhằm hiện thực chức năng mong muốn.

Định hình cấu trúc hệ thống nhanh, thiết kế chip hiệu quả với giá thành thấp.

1.53 So sánh những loại hệ thống Layout, tại sao phải dùng chúng:

Layout kí hiệu lưới thô: chia bề mặt chip thành các lưới có khoảng cách đều nhau theo 2 chiều X, Y. Kích thước của lưới biểu diễn đc tham khảo kín giữa các nhà phát triển công cụ thiết kế và các kỹ sư. Với mỗi sự kết hợp các lớp mặt nạ tồn tại ở một vị trí của lưới, 1 ký hiệu được xác định.

Layout ma trận cổng: cải thiện layout ký hiệu lưới thô bằng cách cung cấp một kiểu layout quy luật trong đó một ma trận giao các hàng khuếch tán transistor và các cột si-líc đa tinh thể được sử dụng. Giao của 1 hàng và 1 cột là vị trí của một transistor tiềm tàng

Layout hình que: Các ký hiệu đồ họa được định vị tương đối với nhau thay vì định vị cố định và được liên kết với nhau bằng các que màu biểu diễn các lớp liên kết mức mặt nạ. đơn giản hóa layout bằng giấy và bút chì trước khi thực hiện việc chuyển số hóa layout.

Layout kí hiệu lưới ảo: vẽ dựa trên kinh nghiệm đạt được trong các hệ thống ký hiệu lưới thô, ma trận cổng, các hệ thống layout hình que, và các hệ thống khác.

Việc thực hiện layout thông thường đầy đủ ở mức mặt nạ là một quá trình dễ mắc lỗi, tốn thời gian. Khi sử dụng các hệ thống layout việc thiết kế mức thấp các ô trong dạng một ký hiệu ở mức mạch điện của các miêu tả trừu tượng, và do đó làm các nhà thiết kế khỏi nhiệm vụ nặng nề của việc phải thực hiện các luật thiết kế hình học.

2.2 Quá trình oxi hóa để tạo lớp SiO₂:

Tạo lớp Ô-xít cực cửa

Tạo lớp điện môi trong các tụ điện tích cực.

Tạo lớp cách điện.

Lớp giảm stress

Tạo các mặt nạ.

Loại bỏ các "rác" ko mong muốn, ngăn việc thâm nhập quá sâu.

Tạo lớp ô-xi hóa bảo vệ (chống gỉ)

2.4 Quá trình tạo cổng n-MOS, p-MOS:

- Đầu tiên, tấm wafer được phủ một lớp SiO₂ dày. Vùng ô-xít được khắc tới lớp si-líc ở nơi mà transistor sẽ được định vị. Một lớp mỏng SiO₂ được hình thành trên bề mặt lớp si-líc.

- Tiếp đến si-líc đa tinh thể được lắng trên toàn bộ bề mặt wafer và được khắc để tạo thành các kết nối và các cổng của transistor.

- Toàn bộ wafer sau đó được đưa vào chịu tác động của nguồn dopant, kết quả là các tiếp giáp khuếch tán được hình thành trên lớp đế.

- Cuối cùng, toàn bộ cấu trúc lại được bao phủ bởi một lớp SiO₂ và các lỗ liên kết được khắc để tạo tiếp xúc với các lớp bên dưới.

2.5 Quá trình tạo giếng p-well: trên tấm đế bán dẫn n:

Sử dụng tấm đế bán dẫn n pha tạp với nồng độ vừa phải → Tạo lớp silic ô-xít → Phủ lớp cản quang → Khắc với mặt nạ định hình vùng cho p-well → Tạp chất loại p được phun vào vùng định hình cho p-well.

Quá trình gia nhiệt có thể được tiến hành sau khi phun nhằm tái phân bố nồng độ hạt pha tạp.

p-well trở thành các tấm đế mới cho các transistor kênh n (n-type, nMOS).

2.6 Quá trình tạo giếng n-well: trên tấm đế bán dẫn p:

Sử dụng tấm đế bán dẫn p pha tạp với nồng độ vừa phải → Tạo lớp silic ô-xít → Phủ lớp cản quang → Khắc với mặt nạ định hình vùng cho n-well → Tạp chất loại n được phun vào vùng định hình cho n-well.

Quá trình gia nhiệt có thể được tiến hành sau khi phun nhằm tái phân bố nồng độ hạt pha tạp. n-well trở thành các tấm đế mới cho các transistor kênh p (p-type, pMOS).

2.7 Quá trình tạo giếng đôi twin-tube: (cho phép tạo cả n-well và p-well trên cùng một đế bán dẫn)

Sử dụng tấm đế bán dẫn n + hoặc p + với một lớp epitaxi pha tạp nhẹ → 2 quá trình pha tạp riêng biệt để tạo các n-well và p-well.

Tạo ống.

Khắc lớp ô-xít mỏng.

Cấy các cực nguồn và cực máng.

Xác định các nút cắt liên kết.

Phủ lớp kim loại.

Ý nghĩa của tạo giếng đôi:

Tối ưu hóa các tham số (hệ số khuếch đại, điện áp ngưỡng, ...) của các transistor nMOS và pMOS.

Loại bỏ sự chênh lệch nồng độ pha tạp → tránh được hiện tượng ko cân xứng các tham số của cực máng.

2.8 Quá trình SX công CMOS trên tấm đế cách ly:

Một màng mỏng Si-líc loại n với nồng độ tạp chất nhỏ được hình thành trên 1 tấm cách điện.

Một phép khắc ko đồng nhất được sử dụng để khắc đi si-líc.

Các đảo p được hình thành bằng cách che các đảo n với chất phản quang.

1 tạp chất loại n được cấy vào, việc cấy này bị chặn ở vùng có chất phản quang nhưng tạo thành các đảo p ở vùng ko có mặt nạ. Các đảo p sẽ là nơi hình thành các thiết bị kênh n.

Các đảo p tiếp đến được bao phủ bởi 1 chất phản quang và 1 tạp chất loại n đc cấy để tạo thành các đảo n

Một lớp ô-xít cực mỏng hình thành trên toàn bộ cấu trúc si-líc bằng phương pháp ô-xi-hóa nhiệt.

Một màng mỏng si-líc đa tinh thể được lắng đọng lên trên lớp ô-xít vừa tạo.

Các đảo n được bao phủ bằng một lớp phản quang và 1 tạp chất loại n đc cấy vào. Do có lớp phản quang, tạp chất bị chặn ko thâm nhập được vào các đảo n. Tại vùng cực cổng của các đảo p, cũng do lớp si-líc đa tinh thể, tạp chất cũng bị chặn ko thâm nhập được. Sau bước này, các thiết bị kênh n được hoàn thành

Các thiết bị kênh p được tạo trong bước tiếp theo bằng cách che các đảo p và cấy các tạp chất loại p.

Một lớp kính phốt-pho hoặc 1 số chất cách điện đc lắng trên toàn bộ cấu trúc. Phần kính sau đó đc khắc tại các vị trí nút cắt tiếp điểm. 1 lớp kim loại được tạo ra bằng cách làm bốc bay nhôm trên toàn bộ cấu trúc sau đó khắc chỉ để lại các đường dẫn kim loại mong muốn. Kim loại nhôm sẽ chảy qua các nút cắt tiếp xúc để tạo liên kết với các vùng khuếch tán hoặc các vùng si-líc đa tinh thể.

Công đoạn cuối cùng là 1 lớp bảo vệ của lớp kính phốt-pho được lắng đọng và được khắc làm hở các điểm nối dây.

Ý nghĩa của công nghệ Silic trên tấm đế cách ly (SOI):

Cho phép tạo các transistor nMOS và pMOS cận kề nhau nhưng hoàn toàn tách biệt và độc lập nhau → tránh được vấn đề treo.

Cho phép tăng mật độ tích hợp (do ko cần các vùng tạo giếng).

Các dung kháng ký sinh thấp hơn so với các quá trình n-well và p-well hoặc twin-tub.

Ko gặp phải vấn đề hiệu ứng thân.

Ko có các cấu trúc tương ứng Diode tấm đế nên các đầu vào bảo vệ khó.

Có giá thành sản xuất cao hơn công nghệ sử dụng các quá trình truyền thống

2.10 Cấu trúc & nguyên lý của 1 cấu trúc MOS (n/p - type) khi điện áp phân cực thay đổi:

Cấu trúc đơn giản gồm 3 lớp:

Đế bán dẫn pha tạp.

Lớp SiO₂.

Cực cửa kim loại (hoặc polysilicon).

Chỉ có một loại hạt dẫn duy nhất trong kênh dẫn:

nMOS: $S \rightarrow \text{electron} \rightarrow D$

pMOS: $S \rightarrow \text{lỗ trống} \rightarrow D$

Electron có độ linh động cao hơn lỗ trống \Rightarrow các nMOS có tốc độ nhanh hơn pMOS.

Chế độ ngắt: $0 < V_{GS} < V_{T0}$

Hạt dẫn đa số bị đẩy khỏi bề mặt về phía tấm đế, bề mặt tấm đế bị làm nghèo.

Việc dẫn dòng giữa các cực nguồn và cực máng là không thể: $I_D \approx 0$.

Chế độ tuyến tính: $V_{GS} > V_{T0}$

Khi mức thế năng bề mặt đạt $\Phi_S = -\Phi_F \Rightarrow$ Tạo lớp bề mặt đảo \Rightarrow Hạt dẫn thiểu số được hút về phía bề mặt tạo thành kênh dẫn giữa S và D.

Cho phép dòng điện giữa S và D nếu có sự chênh lệch điện áp giữa chúng.

Việc tiếp tục tăng điện áp V_{GS} trên mức ngưỡng sẽ không ảnh hưởng đến thế năng bề mặt và độ rộng vùng nghèo.

Chế độ bão hòa

$V_{DS} = V_{DSAT} \Rightarrow$ Điện tích đảo tại cực D giảm đến 0: Điểm ngắt

$V_{DS} > V_{DSAT}$:

Vùng bề mặt nghèo tạo ra ở phía cực D; Vùng nghèo mở rộng về phía cực S khi V_{DS} tiếp tục tăng.

Chiều dài hiệu dụng kênh \downarrow .

I_D không phụ thuộc vào V_{DS}

Một điện trường mạnh hình thành giữa cuối kênh dẫn và biên của cực B.

2.12 Thu nhỏ kích thước theo phương pháp Full Scaling:

Việc thu nhỏ các kích thước theo tỷ lệ S nhưng đảm bảo bảo toàn độ lớn biên độ của điện trường bên trong thiết bị.

\Rightarrow Tất cả các thế năng cũng phải giảm nhỏ với cùng tỷ lệ S.

Ảnh hưởng đến điện áp ngưỡng V_{T0} .

Phương trình Poisson tăng với hệ số S.

Công suất tiêu tán của transistor khi thu nhỏ được giảm bởi tỷ lệ S.

Thời gian phóng nạp tụ được cải thiện đáng kể.

Việc thu nhỏ đầy đủ còn làm giảm các tụ và điện trở ký sinh.

Chất lượng hoạt động chung của thiết bị được cải thiện.

2.13 Thu nhỏ kích thước theo phương pháp Constan-Voltage Scaling:

Giảm tất cả các kích thước với hệ số tỷ lệ S trong khi điện áp nguồn cung cấp và các điện áp các cực đổi. Mật độ pha tạp phải tăng S^2 để đảm bảo bảo toàn quan hệ điện trường-điện tích.

Ảnh hưởng:

Sự gia tăng mật độ dòng cực máng, mật độ công suất tiêu tán với hệ số S^3 dẫn đến một vấn đề nghiêm trọng với tính tin cậy của thiết bị: Sự di trú điện tử, suy giảm dòng hạt, đánh thủng lớp ô-xít, sự quá áp.

2.14 Các hiệu ứng của kênh dẫn ngắn:

Có 2 hiện tượng vật lý phát sinh:

- Thành phần điện trường E_y tăng \Rightarrow Tốc độ trôi của electron đạt giá trị tới hạn \rightarrow bão hòa.

Ảnh hưởng rất lớn đến đặc tuyến V-A.

$I_{D(SAT)}$ giảm so với giá trị tính toán của mô hình kênh dẫn dài.

Dòng cực máng bão hòa không còn là hàm bậc 2 của V_{GS} ; Không phụ thuộc vào độ dài kênh dẫn.

- Có sự thay đổi của điện áp ngưỡng: mô hình kênh dẫn dài có giá trị điện áp ngưỡng lớn hơn thiết bị có kênh dẫn ngắn

2.15 Các hiệu ứng của kênh dẫn hẹp:

Sự thay đổi điện áp ngưỡng (sự tăng lên) là một hiệu ứng quan trọng nhất.

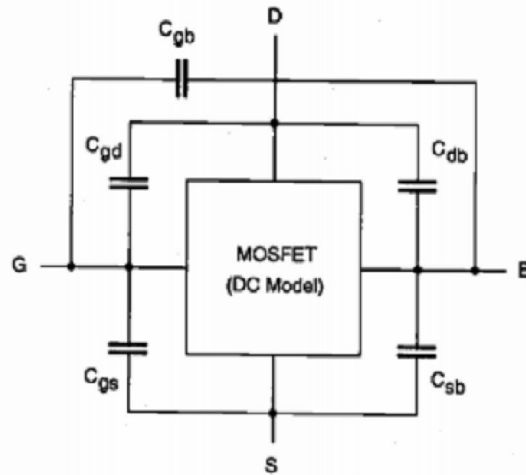
Lớp ô-xít cực cửa trên vùng kênh có độ dày t_{ox} trong khi các vùng lân cận được bao phủ bởi vùng ô-xít dày.

- Có 1 vùng nghèo mỏng hình thành phía dưới vùng ô-xít dày.

- Điện áp cực cửa phải mất 1 phần để bù phần tương ứng với điện tích lớp nghèo của vùng này để có thể hình thành được kênh dẫn.

Điện tích của vùng nghèo rìa này được bỏ qua trong mô hình kênh dẫn dài.

2.16 Xác định các điện dung ký sinh liên quan đến lớp oxit của 1 transistor ở các chế độ h/động:



Tương tác giữa điện áp cực cửa và điện tích trên kênh: C_{gs} , C_{gd} , C_{gb} .

Dung kháng	Chế độ ngắt	Chế độ tuyến tính	Chế độ bão hòa
$C_{gb}(tng)$	$C_{ox} WL$	0	0
$C_{gd}(tng)$	$C_{ox} WL_D$	$\frac{1}{2} C_{ox} WL + C_{ox} WL_D$	$C_{ox} WL_D$
$C_{gs}(tng)$	$C_{ox} WL_D$	$\frac{1}{2} C_{ox} WL + C_{ox} WL_D$	$\frac{2}{3} C_{ox} WL + C_{ox} WL_D$

$C_{gb} + C_{gs} + C_{gd}$ coi như mắc song song:

- MIN = $0.66 \cdot C_{ox} \cdot WL$ (bão hòa).

- MAX = $C_{ox} \cdot WL$ (ngắt & tuyến tính).

2.17 Các điện dung ký sinh liên quan đến lớp tiếp giáp của 1 transistor:

Điện dung tiếp xúc:

$$C_j(V) = \frac{AC_{j0}}{(1 - \frac{V}{\Phi_0})^m}$$

m : hệ số bậc dốc, $m=1/2$: dạng bước; $m=1/3$: dạng vát.

$$C_{j0} = \sqrt{\frac{\epsilon_{Si} q}{2} \left(\frac{N_a N_d}{N_a + N_d} \right) \frac{1}{\Phi_0}}$$

: điện dung tiếp xúc trên 1 đơn vị diện tích vs phân áp = 0.

Điện dung tiếp xúc phía thành ngoài trên 1 đơn vị diện tích:

$$C_{j0(sw)} = \sqrt{\frac{\epsilon_{Si}}{2} \left(\frac{N_{a(sw)} N_d}{N_{a(sw)} - N_d} \right) \frac{1}{\Phi_{0(sw)}}}$$

$\Phi_{0(sw)}$: thế năng các tiếp xúc phía thành ngoài.

Điện dung lớp tiếp xúc phía thành bên trên 1 đơn vị độ dài khi phân áp = 0:

$$C_{j(sw)} = C_{j0(sw)} \times X_j$$

Điện dung lớp tiếp xúc ở chế độ tín hiệu lớn:

$$C_{eq(sw)} = PC_{j(sw)}K_{eq(sw)}$$

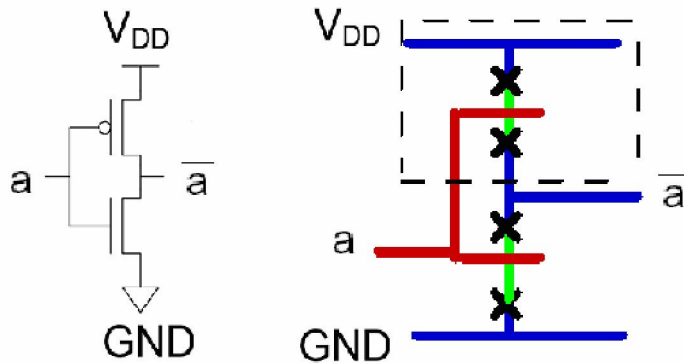
P : chu vi của vùng tiếp xúc thành phía trên.

Hệ số tương đương điện áp phía thành bên ngoài:

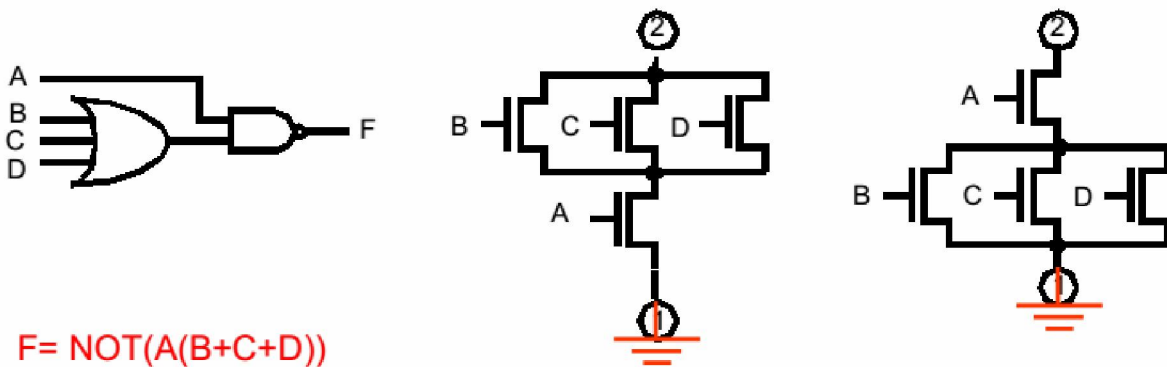
$$K_{eq(sw)} = -\frac{2\sqrt{\Phi_{0(sw)}}}{V_2 - V_1} \left(\sqrt{\Phi_{0(sw)} - V_2} - \sqrt{\Phi_{0(sw)} - V_1} \right)$$

2.20 Lựa chọn kiến trúc mạch, sử dụng hệ thống Layout que phác thảo layout:

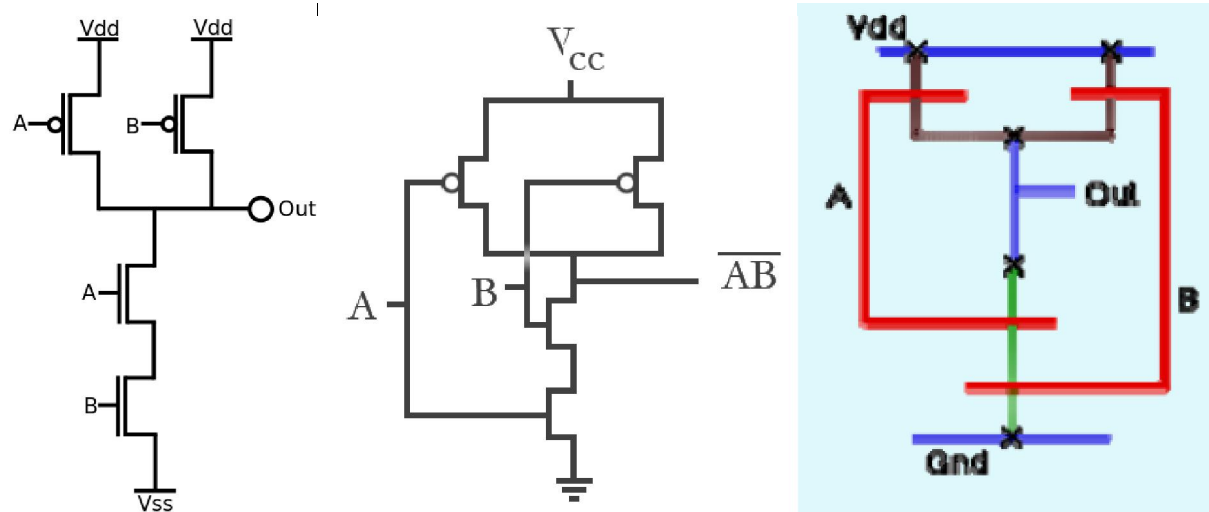
NOT CMOS:



AND , OR CMOS:



NAND CMOS:



NOR CMOS:

