

Manejo de las excepciones ARM

El modo general en que se las maneja es el mismo en todos los casos, excepto para el reset:

1. Se finaliza la ejecución de la instrucción en curso.
2. Se entra en el estado ARM. El modo de operación del procesador se cambia al modo apropiado de la excepción.
3. El estado actual del PC se guarda copiándolo en R14_exc y el CPSR en el SPSR_exc (donde exc representa el tipo de excepción al que se ha entrado).
4. Se inhabilitan las excepciones IRQ y si la fuente de la excepción era una FIQ también éstas se inhabilitan.
5. Se guarda la dirección de retorno en el registro link, LR_<mode>.
6. El PC se fuerza a un valor entre 0x00 y 0x1C que corresponde a una dirección de la tabla de vectores. El valor particular depende del tipo de excepción.

La instrucción que está en la posición en la que se forzó al PC (la dirección del vector) usualmente contendrá un salto a una rutina de atención de la excepción conocida por su nombre en inglés: handler. El handler de la excepción usará R13_exc para guardar varios registros del usuario y usar como registros de trabajo. Este registro normalmente está inicializado para apuntar a una pila dedicada en la memoria.

Para retornar:

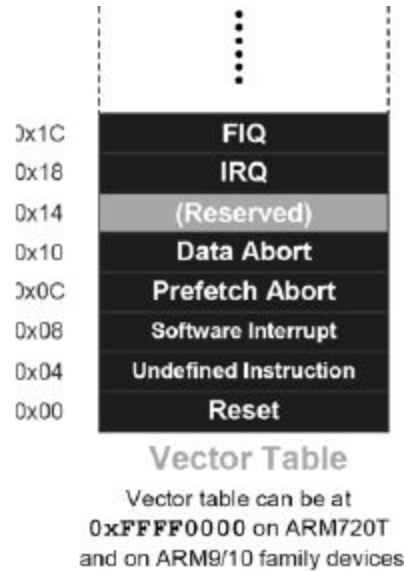
- Se recupera el CPSR del SPSR_<mode>
- Se recupera el CPSR del SPSR_<mode>

Esto solamente se puede realizar en el estado ARM. El retorno al programa del usuario se lleva a cabo restaurando los registros del usuario y luego usando una instrucción para restaurar automáticamente el PC y el CPSR.

Esto puede involucrar varios ajustes de los valores guardados del PC en R14_exc para compensar el estado de pipeline cuando apareció la excepción.

Cuando se produce un reset:

1. Se activa el modo supervisor
2. Se pasa al estado ARM
3. Se inhabilitan las excepciones IRQ y FIQ
4. Se carga en el PC la dirección del vector del reset, 0x00000000



SISTEMA DE ENTRADA/SALIDA

El ARM maneja periféricos de E/S (tales como controladores de disco, interfaces de red, etc.) como dispositivos “mapeados” como memoria, con soporte de interrupciones. Los registros internos de estos dispositivos aparecen como posiciones direccionables dentro del mapa de memoria del ARM y se pueden leer y escribir usando las mismas instrucciones (carga almacenamiento) como cualquier otra posición de memoria.

Los periféricos pueden llamar la atención del procesador haciendo un pedido de interrupción usando:

- La interrupción normal (IRQ, Interrupt request)
- La interrupción de alta prioridad (FIQ, Fast Interrupt Request), también conocida como NMI (interrupción no enmascarable)

Ambas entradas de interrupción son sensibles a nivel y enmascarables. Normalmente la mayoría de las fuentes de interrupción comparten la entrada IRQ. Algunos sistemas pueden incluir hardware externo para acceso directo a memoria (DMA, Direct Memory Access) para que el procesador maneje el tráfico de E/S de banda ancha.

Un dispositivo periférico como, por ejemplo, el controlador de línea serie, contiene un número determinado de registros. En un sistema “mapeado” como memoria cada uno de estos registros aparecen como posiciones de memoria en una dirección particular (una alternativa es una organización del sistema con funciones de E/S en un espacio de direcciones separado del de los dispositivos de memoria). Un controlador de línea serie puede tener un conjunto de registros como los siguientes:

- Un registro de transmisión de datos (de escritura solamente), los datos que se escriban en estos registros se enviarán por la línea serie.
- Un registro de recepción de datos (de lectura solamente), este es el destino de los datos que llegan por línea serie.
- Un registro de control (lectura y escritura), este registro “setea” la velocidad de los datos y controla la señal de solicitud de envío (request to send) y otras señales similares.
- Un registro de habilitación de interrupciones (de lectura y escritura), este registro controla qué eventos del hardware generarán una interrupción.
- Un registro de estado (de lectura solamente), este registro indica cuándo hay un dato disponible para leer, cuándo el buffer de escritura está vacío, etc.

Para recibir los datos el software debe inicializar apropiadamente al dispositivo, usualmente para generar una interrupción cuando hay un dato disponible o cuándo se detectó una condición de error. Luego, la rutina de atención de la interrupción debe copiar el dato en un buffer y verificar las condiciones de error para saber cuál es la que lo produjo y solucionarlo si es posible.