

به نام خدا



دانشگاه صنعتی شریف  
دانشکده مهندسی کامپیوتر

## آزمایشگاه طراحی سیستم‌های دیجیتال

آزمایش اول:  
طراحی شماتیک مدار ترکیبی

---

محمدجواد هزاره، یاسین موسوی

تابستان ۱۴۰۰

## فهرست مطالب

۲	۱	مقدمه
۲	۱.۱	هدف آزمایش
۲	۲.۱	مبانی تئوری
۳	۲	توصیف معماری مدار
۳	۱.۲	رابط کاربری (اینترفیس) مدار
۳	۲.۲	روش کلی کارکرد مدار
۴	۳.۲	توصیف ماژول‌ها
۴	۱.۳.۲	جمع‌کننده ۵ بیتی
۵	۲.۳.۲	واحد بررسی بخش‌پذیری بر ۱۱
۶	۳.۳.۲	واحد بررسی بخش‌پذیری بر ۳
۷	۳	شبیه‌سازی

## ۱ مقدمه

### ۱.۱ هدف آزمایش

هدف کلی آزمایش آشنایی با سیستم طراحی به کمک شماتیک است که ابزارهای CAD در اختیار ما قرار می‌دهند. به طور خاص در این آزمایش هدف پیاده‌سازی سیستمی است که یک عدد چهار رقمی BCD را ورودی گرفته و با توجه به یک سیگنال ورودی دیگر، تعیین می‌کند که عدد داده شده بر ۳ یا ۱۱ بخش پذیر است یا خیر.

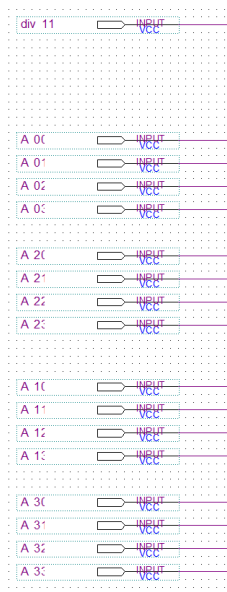
### ۲.۱ مبانی تئوری

تئوری مورد نیاز همان قواعد بخش پذیری بر ۱۱ و ۳ می‌باشد. می‌دانیم یک عدد بر ۱۱ بخش پذیر است اگر و تنها اگر در نمایش دهدهی آن ارقام مجاور را یکی در میان با مثبت و منفی علامت‌گذاری کرده و سپس جمع این ارقام را حساب کنیم، حاصل مضربی از ۱۱ باشد. برای بخش پذیری بر ۳ نیز می‌دانیم یک عدد بر ۳ بخش پذیر است اگر و تنها اگر حاصل جمع ارقام آن بر ۳ بخش پذیر باشد. در این آزمایش برای بخش پذیری بر ۱۱ از آن‌چه گفته شد استفاده شده است، و برای بخش پذیری بر ۳، علاوه بر آن‌چه که گفته شد، از آن‌چه در ادامه می‌آید نیز استفاده شده است. اگر عدد مورد نظر را به صورت دودویی نمایش دهیم، آنگاه این عدد تنها زمانی بر ۳ بخش پذیر خواهد بود که اگر ارقام آن را یکی در میان با مثبت و منفی علامت‌گذاری کرده و سپس جمع این ارقام را حساب کنیم، حاصل مضربی از ۳ باشد. درست مشابه آنچه برای ۱۱ در نمایش دهدهی داشتیم.

## ۲ توصیف معماری مدار

### ۱.۲ رابط کاربری (اینترفیس) مدار

ورودی‌های مدار شامل یک سیگنال با نام `div_11` و ۱۶ ورودی `A_00` تا `A_33` است که سیگنال `div_11` مشخص کننده عددی است که می‌خواهیم بخش‌پذیری به آن را بررسی کنیم. اگر این سیگنال مقدار یک داشته باشد، خروجی حاصل بررسی بخش‌پذیری بر ۱۱ خواهد بود و اگر مقدار صفر داشته باشد، خروجی حاصل بخش‌پذیری بر ۳ خواهد بود.



شکل ۱: ورودی‌های مدار

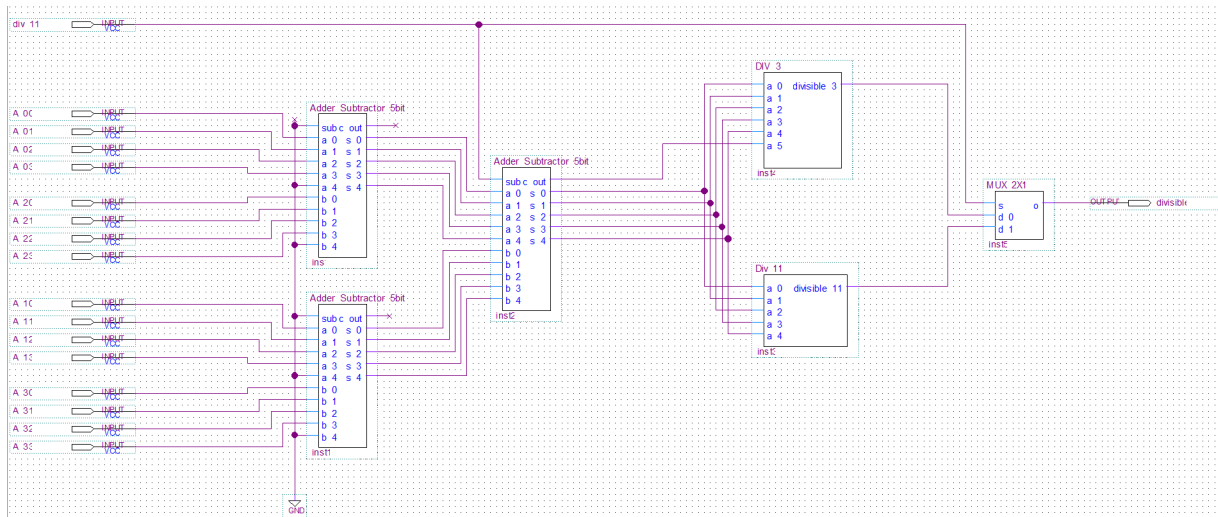
### ۲.۲ روش کلی کارکرد مدار

با توجه به آنچه در قسمت ۲.۱ گفته شد، برای پیاده‌سازی سیستم موردنظر و بخش‌پذیری بر هر یک از اعداد به صورت زیر عمل می‌کنیم: (نمای کلی مدار در شکل ۲ آمده است).

- بخش‌پذیری بر ۱۱: نخست ارقام اول و سوم را با هم و ارقام دوم و چهارم را با یکدیگر جمع می‌کنیم. سپس حاصل جمع دوم را از اولی کم می‌کنیم و بررسی می‌کنیم که عدد بدست آمده مضربی از ۱۱ است یا خیر. دقت کنیم که در این جا به دلیل آن‌که ارقام عدد ورودی، بین ۰ تا ۹ هستند، عدد بدست آمده اگر بخواهد مضربی از ۱۱ باشد، حتماً از بین اعداد ۰، ۱۱، و یا منفی ۱۱ خواهد بود.

- بخش‌پذیری بر ۳: مراحل این قسمت تا جمع کردن اعداد اول و سوم با یکدیگر و اعداد دوم و چهارم با یکدیگر یکسان است. پس از آن در این قسمت این اعداد را با هم جمع می‌کنیم. حال

عددی داریم که حاصل جمع ارقام عدد ورودی است. برای بخش‌پذیر بودن عدد ورودی بر ۳، این حاصل جمع باید بر ۳ بخش‌پذیر باشد. در این قسمت از آنچه برای بخش‌پذیری بر ۳ در نمایش دودویی اعداد گفته شد استفاده می‌کنیم و به راحتی می‌توان تشخیص داد که عدد بدست آمده بر ۳ بخش‌پذیر است یا خیر.

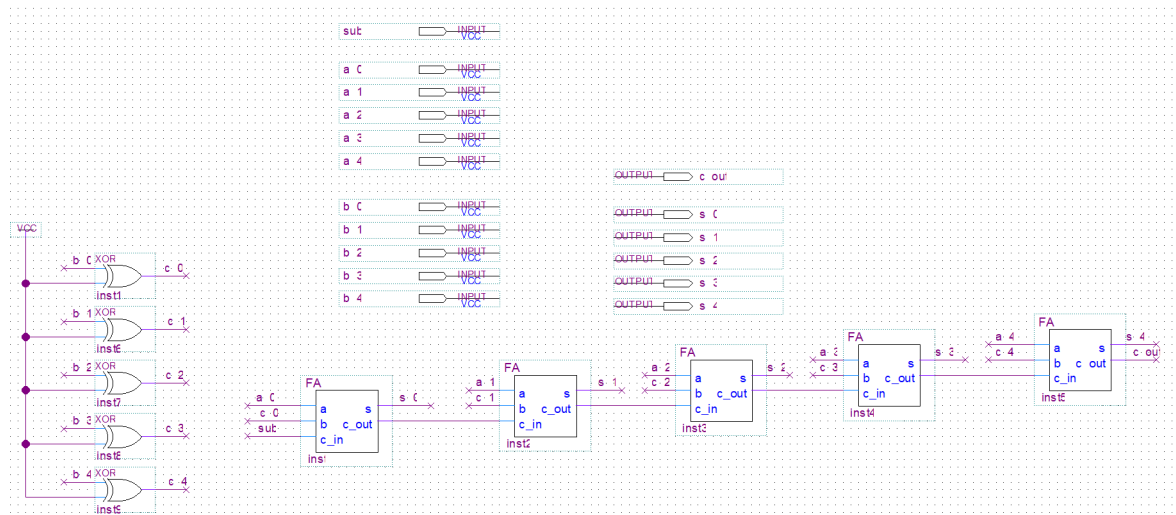


شکل ۲: نمای کلی سیستم

### ۳.۲ توصیف ماژول‌ها

#### ۱.۳.۲ جمع کننده ۵ بیتی

این ماژول وظیفه جمع دو عدد پنج بیتی با یکدیگر را داراست. علاوه بر آن از این ماژول می‌توان برای تفریق نیز استفاده کرد. به منظور این کار کافیت سیگنال ورودی sub را با یک مقداردهی کنیم. طراحی داخلی این ماژول در شکل ۳ آمده است.

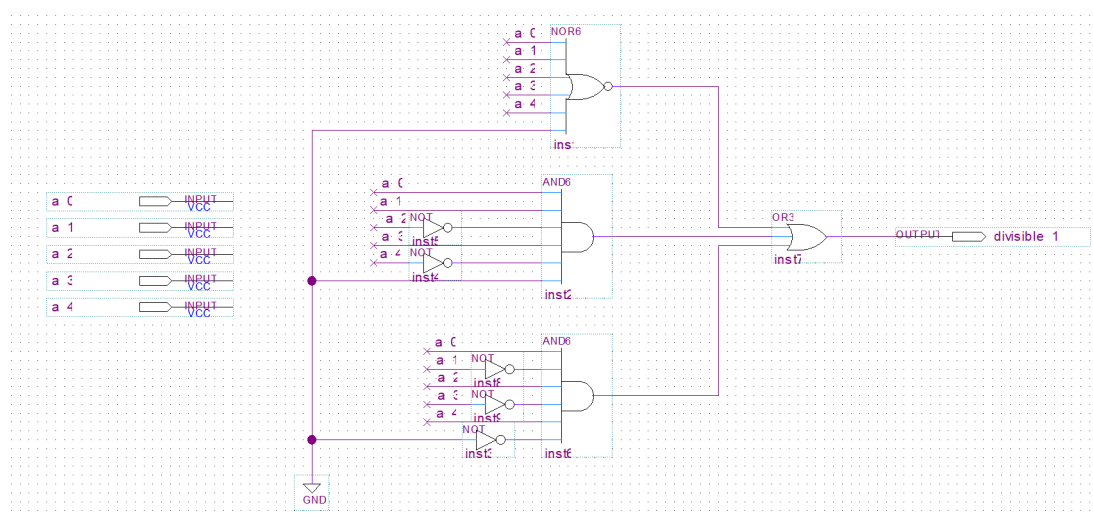


شکل ۳: طراحی ماژول Adder\_Subtractor\_5Bit

همانطور که در تصویر دیده می‌شود، جمع به صورت carry ripple انجام می‌شود و اگر سیگنال sub یک باشد، عدد دوم متمم دو شده و تفریق محاسبه می‌شود.

۲۰۳۰۲ واحد بررسی بخش‌پذیری بر ۱۱

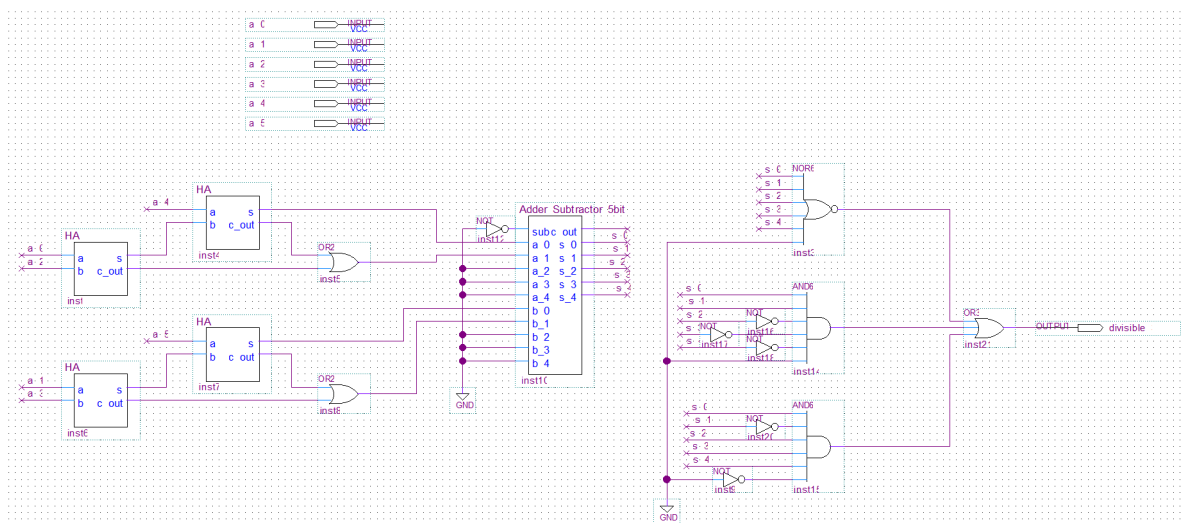
این ماژول یک عدد باینری ۶ بیتی ورودی گرفته و تعیین می‌کند که آیا این عدد بر ۱۱ بخش‌پذیر است یا خیر. دقت کنیم که این عدد ورودی در این آزمایش خاص، همواره عددی بین ۱۸ تا منفی ۱۸ است، پس برای چک کردن آن که این عدد بر ۱۱ بخش‌پذیر است یا خیر، کافیه چک کنیم که عدد مورد نظر ۰ یا ۱۱ یا منفی ۱۱ است یا نه. طراحی داخلی این ماژول در شکل ۵ نشان داده شده است.



شکل ۴: طراحی ماژول Div\_11

## ۳.۳.۲ واحد بررسی بخش پذیری بر ۳

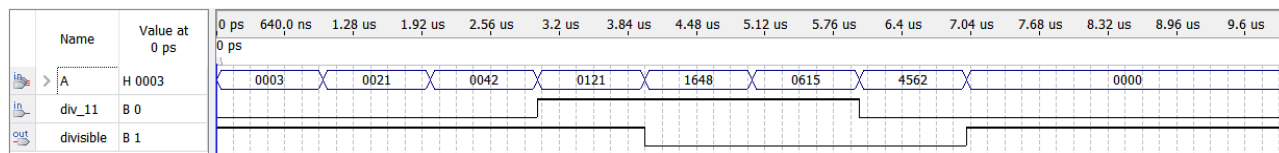
این واحد نیز یک عدد باینری ۶ بیتی ورودی گرفته، و مشخص می‌کند که عدد مورد نظر بر ۳ بخش پذیر است یا خیر. مطابق با تئوری ارائه شده در قسمت ۲.۱، نخست جمع ارقام با اندیس زوج و جمع ارقام با اندیس فرد محاسبه شده است. با توجه به این که عدد باینری و ۶ بیتی است، هر یک از این حاصل جمع‌ها نهایتاً برابر با ۳ و دوبیتی خواهد بود. سپس این حاصل جمع‌ها را از یکدیگر کم کرده و بررسی می‌کنیم که جواب مضربی از ۳ هست یا خیر. با توجه به این که حاصل جمع‌ها عددی بین ۰ تا ۳ دارند، این حاصل تفریق عددی بین ۳ تا منفی ۳ خواهد بود، پس کافیت چک کنیم عدد بدست آمده برابر ۰ یا ۳ یا منفی ۳ هست یا خیر. طراحی داخلی این ماژول نیز در شکل نشان داده شده است.



شکل ۵: طراحی ماژول Div\_3

## ۳ شبیه‌سازی

شکل موج حاصل از شبیه‌سازی مدار نیز در شکل ۶ نشان داده شده است.



شکل ۶: شکل موج