

به نام خدا



دانشگاه صنعتی شریف  
دانشکده مهندسی کامپیوتر

## آزمایشگاه طراحی سیستم‌های دیجیتال

آزمایش سوم:  
طراحی مقایسه‌کننده باینری به صورت ترکیبی و ترتیبی

---

محمدجواد هزاره، یاسین موسوی

تابستان ۱۴۰۰

## فهرست مطالب

۲	۱	مقدمه
۲	۱.۱	شرح آزمایش . . . . .
۳	۲	مدار ترکیبی
۳	۱.۲	رابط کاربری . . . . .
۳	۲.۲	نحوه کار . . . . .
۳	۳.۲	شبیه سازی . . . . .
۴	۳	مدار ترقیبی
۴	۱.۳	رابط کاربری . . . . .
۴	۲.۳	نحوه کار . . . . .
۴	۳.۳	شبیه سازی . . . . .

## ۱ مقدمه

### ۱.۱ شرح آزمایش

در این آزمایش هدف طراحی یک مقایسه‌کننده باینری هم به صورت ترکیبی و هم به صورت ترتیبی است. طراحی با استفاده از زبان verilog و به شکل توصیف جریان داده صورت گرفته است.

## ۲ مدار ترکیبی

### ۱.۲ رابط کاربری

رابط کاربری مدار ترکیبی بسیار ساده بوده و شامل دو ورودی چهار بیتی A و B می‌شود. خروجی مدار نیز سه سیگنال eq، gt و lt را در بر می‌گیرد که فعال خواهند بود اگر به ترتیب ورودی‌ها با یکدیگر برابر باشند، یا ورودی A بزرگ‌تر از ورودی B باشد و یا ورودی A کوچک‌تر از ورودی B باشد.

```
module FourBit_Comparator (  
    input [3:0] A,  
    input [3:0] B,  
    output eq,  
    output gt,  
    output lt  
);
```

شکل ۱: رابط کاربری مدار ترکیبی

### ۲.۲ نحوه کار

برای پیاده‌سازی مدار نیز از واحد مقایسه‌کننده یک بیتی استفاده شده و چهار عدد از این مقایسه‌کننده‌ها پشت‌سر یکدیگر استفاده شده‌اند.

### ۳.۲ شبیه‌سازی

۳ مدار ترتیبی

۱.۳ رابط کاربری

۲.۳ نحوه کار

۳.۳ شبیه‌سازی