

به نام خدا



دانشگاه صنعتی شریف
دانشکده مهندسی کامپیوتر

آزمایشگاه طراحی سیستم‌های دیجیتال

آزمایش سوم:
طراحی مقایسه‌کننده باینری به صورت ترکیبی و ترتیبی

محمدجواد هزاره، یاسین موسوی

تابستان ۱۴۰۰

فهرست مطالب

۲	۱	مقدمه
۲	۱.۱	شرح آزمایش
۳	۲	مدار ترکیبی
۳	۱.۲	رابط کاربری
۳	۲.۲	نحوه کار
۳	۳.۲	شبیه سازی
۴	۳	مدار ترقیبی
۴	۱.۳	رابط کاربری
۴	۲.۳	نحوه کار
۴	۳.۳	شبیه سازی

۱ مقدمه

۱.۱ شرح آزمایش

در این آزمایش هدف طراحی یک مقایسه‌کننده باینری هم به صورت ترکیبی و هم به صورت ترتیبی است. طراحی با استفاده از زبان verilog و به شکل توصیف جریان داده صورت گرفته است.

۲ مدار ترکیبی

۱.۲ رابط کاربری

رابط کاربری مدار ترکیبی بسیار ساده بوده و شامل دو ورودی چهار بیتی A و B می‌شود. خروجی مدار نیز سه سیگنال eq، gt و lt را در بر می‌گیرد که فعال خواهند بود اگر به ترتیب ورودی‌ها با یکدیگر برابر باشند، یا ورودی A بزرگ‌تر از ورودی B باشد و یا ورودی A کوچک‌تر از ورودی B باشد.

```
module FourBit_Comparator (
    input [3:0] A,
    input [3:0] B,
    output eq,
    output gt,
    output lt
);
```

شکل ۱: رابط کاربری مدار ترکیبی

۲.۲ نحوه کار

برای پیاده‌سازی مدار، از واحد مقایسه‌کننده یک بیتی استفاده شده و چهار عدد از این مقایسه‌کننده‌ها پشت‌سر یکدیگر استفاده شده‌اند. به این صورت که اول بیت‌های با ارزش بالاتر مقایسه می‌شوند و سپس به سراغ بیت‌های با ارزش کم‌تر رفته و نتیجه مقایسه بیت‌های قبلی را با خود به این مرحله می‌آوریم. این مقایسه‌کننده یک بیتی به این صورت رفتار می‌کند که علاوه بر دو ورودی‌ای که برای بیت‌های مقایسه‌شونده می‌گیرد، سه ورودی دیگر نیز می‌گیرد که نتیجه مقایسه بیت‌های با ارزش بالاتر دو عدد اصلی هستند. خروجی آن نیز سه سیگنال eq، gt و lt هستند که نتیجه مقایسه اعداد مدنظر با احتساب یک بیت جدید می‌باشند.

۳.۲ شبیه‌سازی

نتیجه شبیه‌سازی مدار مورد نظر در شکل ۲ آورده شده است.

```
# A:0000 , B:0000 , result: {eq:1, gt:0, lt:0}
# A:1000 , B:0010 , result: {eq:0, gt:1, lt:0}
# A:0100 , B:0101 , result: {eq:0, gt:0, lt:1}
# A:0001 , B:0100 , result: {eq:0, gt:0, lt:1}
# A:0101 , B:0101 , result: {eq:1, gt:0, lt:0}
```

شکل ۲: نتیجه شبیه‌سازی مدار ترکیبی

۳ مدار ترتیبی

۱.۳ رابط کاربری

رابط کاربری مدار ترتیبی دو ورودی تک بیتی a و b که بیت‌های عدد ورودی می‌باشند و همچنین ورودی‌های clk و reset هستند. خروجی‌های آن نیز به طور مشابه eq، gt و lt بوده که نتیجه مقایسه تا بیت حال حاضر را نشان می‌دهند.

```
module Comparator_Seq (
    input a,
    input b,
    input reset,
    input clk,
    output eq,
    output gt,
    output lt
);
```

شکل ۳: رابط کاربری مدار ترتیبی

۲.۳ نحوه کار

نحوه کار این مدار برخلاف مدار ترکیبی، به این صورت است که نخست بیت‌های با ارزش پایین بررسی می‌شوند و نتیجه در یک فلیپ‌فلاپ ذخیره شده و هنگام بررسی بیت‌های با ارزش بالاتر از این نتیجه استفاده می‌شود.

۳.۳ شبیه‌سازی

نتیجه شبیه‌سازی این مدار نیز در شکل ۴ آورده شده است.

```
# a:x    ,b:x,    result: {eq:x, gt:x, lt:x}
# a:0    ,b:0,    result: {eq:1, gt:0, lt:0}
# a:1    ,b:0,    result: {eq:0, gt:1, lt:0}
# a:1    ,b:1,    result: {eq:0, gt:1, lt:0}
# a:0    ,b:1,    result: {eq:0, gt:0, lt:1}
```

شکل ۴: نتیجه شبیه‌سازی مدار ترتیبی