

Mācību priekšmeta apraksts

Mācību priekšmeta nosaukums: “Ciparu iekārtas un sistēmas”.

Studiju programma: Elektronika un Telekomunikācijas.

Studiju veids: Akadēmiskā programma

Studiju līmenis: Bakalaura.

Studiju virziens: Elektronika. Telekomunikāciju un datoru tīkli.

Mācību priekšmeta apjoms: 3KP.

Sadalījums pa nodarbību veidiem:

Iekcijas – 32 st., laboratorijas darbi – 16 st.

Lekciju kursa un konspekta veidotāji:

Doc. M. Usanovs

A.Mencis

Mācību priekšmeta apraksts

Mācību priekšmeta uzdevumi.

Šī priekšmeta uzdevumi bakalaura studiju programmā – balstoties uz studiju programmā iepriekšējos priekšmetos iegūtajām zināšanām un iemaņām sniegt sekojošas zināšanas:

par plašāk izmantotu impulssignālu formām un parametriem; par impulsveida signālu iedarbības analīzi uz lineārām ķēdēm; par ciparu slēdžiem un signālu ierobežotājiem, to darbības principiem un pielietojumu; par loģisko elementu vispārējiem parametriem, to bāzes elementu uzbūve un darbība dažādās loģisko elementu sistēmās; par taisnstūra un zāģveida formas impulsu ģeneratoru uzbūves un darbības principiem; par analoģu signālu komparatoriem un taimeriem, to uzbūvi un darbību; par ciparu analogajiem un analoģu ciparu pārveidotājiem; par optoelektroniskajiem elementiem un mezgliem; par datora inerfeisu un atmiņas organizāciju.

Mācību priekšmeta apraksts

Beidzot priekšmeta studijas studentam jāprot:

ar elementārspriegumu un superpozīcijas metodes palīdzību analizēt impulssignālu iedarbi uz lineārām ķēdēm;

slēdžu un ierobežotāju izvēle noteiktai ciparu iekārtai;

loģisko elementu sistēmas un sērijas pamatotu izvēli noteikto loģiskās struktūras sintēzei;

atkarība no ģenerējamā signāla parametriem un ģenerācijas principa – ģeneratora uzbūves struktūras pamatota izvēle;

ciparu analogo pārveidotāju, analogu ciparu pārveidotāju un taimeru tipa izvēle konkrētu ciparu signālu apstrādes sistēmas uzbūvē;

optoelektronikas elementu un mezglu pielietojamības priekšrocības un to izvēle;

eksperimentāli pārbaudīt parametrus un darbības algoritmus

Mācību priekšmeta apraksts

Mācību grāmatas, izmantojamās un ieteiktās literatūras saraksts:

- J. Greivulis, I. Raņķis. Iekārtu vadības elektroniskie elementi un mezgli. Rīga, "Avots". 288 lpp.
- A.Klūga Ciparu elektronika un datoru arhitektūra.RTU, 186 lpp.
- A.Klūga Mikroprocesori un mikroprocesoru sistēmas. RTU, 152 lpp.
- M. Predko. Digital Electronics Guidebook. New-York, "Mc Graw-Hill", 2002. 530 lpp.
- D. C. Green. Digital Electronics. Edinburg, "Longman", 1999. 398 p.
- Опадчий Н., Глудкин О., Гуров А. Аналоговая и цифровая электроника. Москва, «Горячая Линия–Телеком», 1999, 768 стр.
- Угрюмов Е. Цифровая схемотехника. Санкт-Петербург, «Сbηv», 2004, 800 стр.
- R. Tokheim "Digital Electronics Second Edition", McGraw-Hill, Inc., New York, USA, 1984
- (Krievu valodā R. Tokheim "Digital Electronics Second Edition", McGraw-Hill, Inc., New York, USA, 1988.g.)
- Lekciju konspekts un laboratorijas darbu apraksti ORTUS vidē

Mācību priekšmeta apraksts

1. Ievads – 1 lekc.st.

Priekšmeta nozīme apmācības programmā. Impulsveida signālu galvenās formas. Atsevišķa impulsa un periodiskas impulsu virknes parametri. Parametru noteikšana reāliem impulsiem.

2. Elementārsignāli, impulssignālu analīze un sintēze – 1 lekc.st.

Elementarspriegumu veidi un analītiskās izteiksmes. Impulssignālu analīze un sintēze ar elementārspriegumiem. Superpozīcijas princips.

3. Impulssignālu diferencēšana un integrēšana – 2 lekc.st.

Impulssignālu pārveidošana ar diferencējošu RC-ķēdi, darbības analītiskās izteiksmes un fizikālā interpretācija, elementu optimizācija ievērojot parazitiskos faktorus. Impulssignālu pārveidošana ar integrējošu RC-ķēdi, darbības analītiskās izteiksmes un fizikālā interpretācija, elementu optimizācija ievērojot ķēdes darbības pretrunu.

Mācību priekšmeta apraksts

4. Elektroniskie ciparu slēdži – 3 lekc.st.

Šo slēdžu uzdevums. Kopemitera bipolārā tranzistora piesātinātais ciparu slēdzis, tā shēma, darbības princips, parametri statiskā režīmā, pārejas procesi un to laika diagrammas, slēdžu ātrdarbības palielināšanas metodes. Kopkolektora slēdzis – shēma un darbības īpatnības. Unipolāro MDP-struktūru tranzistoru slēdži ar dažāda tipa slodzēm.

5. Ierobežotāji – 2 lekc.st.

Ierobežotāju uzdevums un pārejas raksturlīknes. Virknes un paralēlie ierobežotāji no augšas, apakšas un abām pusēm. Shēmas, to darbības princips un laika diagrammas. Kopemitera bipolārā tranzistora ierobežotājs – shēma, ierobežošanas režīmi un darbības laika diagrammas.

6. Integrālo loģisko shēmu vispārējie parametri – 1 lekc.st.

Loģisko shēmu vispārējie parametri, to definīcijas un fizikālā interpretācija. Triggeru pārslēgšanas aizture.

Mācību priekšmeta apraksts

7. Loģisko shēmu uzbūves struktūras – 3 lekc.st.

TTLŠ. ESL. I²L. MDP un KMDP loģisko elementu struktūras – bāzes un tipveida shēmas, to darbības principi un raksturojošie parametri. Tipveida shēmu modifikācijas – brīvā kolektora un emitera, palielinātas izejas jaudas, trīsstabilu izejas stāvokļu shēmas, ieeju paplašinātāji, buferu pastiprinātāji u.c. – to darbība un nosacītie grafiskie apzīmējumi.

8. Taisnstūra impulsu ģeneratori – 1 lekc.st.

Palaižamais un pašsvārstību multivibratori loģisko elementu un operāciju pastiprinātāja bāzes – shēmas, to darbības princips, laika diagrammas un ģenerējamo signālu parametru atkarība no shēmas elementiem.

9. Zāģspriegums un tā ģenerēšana – 4 lekc.st.

Zāģsprieguma pielietojums un vispārējie parametri. Zāģsprieguma ģenerācijas vispārējie principi. Zāģsprieguma ģeneratori ar eksponentas sākumdaļas izmantošanu un strāvas stabilizatori – shēmas, to darbības princips un laika diagrammas, ģenerējamā signāla atkarība no shēmas parametriem. Zāģsprieguma ģeneratoru ar kompensējošu EDS uzbūves vispārējās struktūras, līdzsaītes un pretsaītes ģeneratoru shēmas, to darbības princips un laika diagrammas, ģenerējamo signālu atkarība no shēmas parametriem.

Mācību priekšmeta apraksts

10. Analogu signālu komparatori – 1 lekc.st.

Analogu signālu komparatoru pielietojums un vispārējie parametri.

Virknes, paralēlā un virknes-paralēlā tipa komparatori bipolāro un unipolāro tranzistoru bāzēs, to darbības princips. Analogu signālu komparatoru

uzdevums, asinhrona un sinhrona tipa komparatori, to uzbūves struktūra un darbības princips.

11. Ciparu analogie pārveidotāji (CAP) – 2 lekc.st.

CAP uzdevums. Rezistīvās sprieguma un strāvas matricas, to uzbūve, darbība un pieslēgšana operāciju pastiprinātājam. Ciparu koda un izejas sprieguma saistība, pārvades raksturlīkne. Divos un četros kvadrantos reizinošu CAP uzbūves principi. CAP vispārējie parametri.

12. Analogie ciparu pārveidotāji (ACP) – 1 lekc.st.

ACP uzdevums un pārvades raksturlīkne. Izsvēršo pa kārtām, izvērsošo, sekojošo un paralēlas darbības ACP struktūras un darbības princips. ACP vispārējie parametri.

Mācību priekšmeta apraksts

13. Timeri – 2 lekc.st.

Timeru pielietojums un klasifikācija. Timera vienkāršotā struktūra un tās darbības princips. Tipveida vienkaktu timera elektriskā shēma un tās darbība palaižamā un pašsvārstību režīmos, darbības laika diagrammas, ģenerējamo signālu parametri un to izmaiņas iespējas. Daudzaktu timeru struktūra.

14. Optoelektroniskie elementi un mezgli – 4 lekc.st.

Jēdziens par optronu un tā darbības principu. Optoelektronisko ierīču klasifikācija, pielietojuma priekšrocības un trūkumi. Optrona vispārējā struktūra. Optopāru iedalījums un galvenie parametri. Fotorezistoru, fotodiožu un fototranzistoru (bipolāro un unipolāro) optopāru uzbūves un darbības principi. Izstarotāju darbības režīmi. Optoelektroniskie loģiskie elementi.

15. Datoru atmiņas uzbūve un organizācija –2 lekc.st.

Statiska tipa operatīvā atmiņa – tipveida elementu uzbūves shēmas bipolāro un unipolāro tranzistoru bāzēs un to darbības princips. Dinamiska tipa operatīvās atmiņas tipveida elementu uzbūves shēmas un to darbības princips, informācijas reģenerācija. Operatīvo atmiņu vispārējā uzbūves struktūra, vadības signāli un atmiņas moduļu saslēgšanas principi kopēja tilpuma un šūnu tilpuma palielināšanai. Pastāvīga atmiņa – uzbūves struktūras no adresācijas viedokļa un to darbības principi, saišu elementus veidojošās komponentes dažādos pastāvīgo atmiņu tipos. Reprogrammējamās pastāvīgās atmiņas un to saišu veidojošās komponentes. Keš-atmiņas uzbūves un darbības princips. Atmiņu moduļu nosacītie grafiskie apzīmējumi.

Mācību priekšmeta apraksts

16. Datora interfeiss – 1 lekc.st.

lekšējais un ārējais interfeiss un to uzdevumi. Divvirzienu maģistrāļu organizācija. Ārējais interfeiss – starpmoduļu saišu tipi un klases, sinhrona un asinhrona informācijas apmaiņa, informācijas apmaiņa ar programmas pārtraukumu, pārtraukuma ar aptauju un vektoriālā pārtraukuma organizācija, prioritāro pārtraukumu kontrolieris un tā uzdevumi. Tiešas piekļuves atmiņu kanāls, tā organizācija un kontrolieris.

17. Procesora sistēmas tipveida moduļi – 1 lekc.st.

Procesoru komplektu tipveida moduļi – maģistrāļu buferreģistri un draiveri, takts ģeneratori, prioritāro pārtraukumu un tiešas piekļuves atmiņai kontrolieri, virknes un paralēlais interfeisi, taimeris un maģistrāļu arbitri – to funkcionālās iespējas.

Mācību priekšmeta apraksts

Laboratorijas darbu saturs:

1. Elektroniskie slēdži – 4 st.

Darba izpildes gaitā tiek pētīti bipolāro tranzistoru slēdžu darbība statiskā un dinamiskā režīmos, to komutācijas frekvences palielināšanas metodes, mērīti parametri un uzņemtas to darbības sprieguma laika diagrammas.

2. Ierobežotāji – 4 st.

Darba izpildes gaitā tiek pētīti vienpusēji un divpusēji diožu un bipolāro tranzistoru ierobežotāji, uzņemtas to darbības sprieguma laika diagrammas un mērīti to parametri atkarībā no shēmas elementiem.

3. Zāģveida sprieguma ģeneratori (ZSĢ) – 4 st.

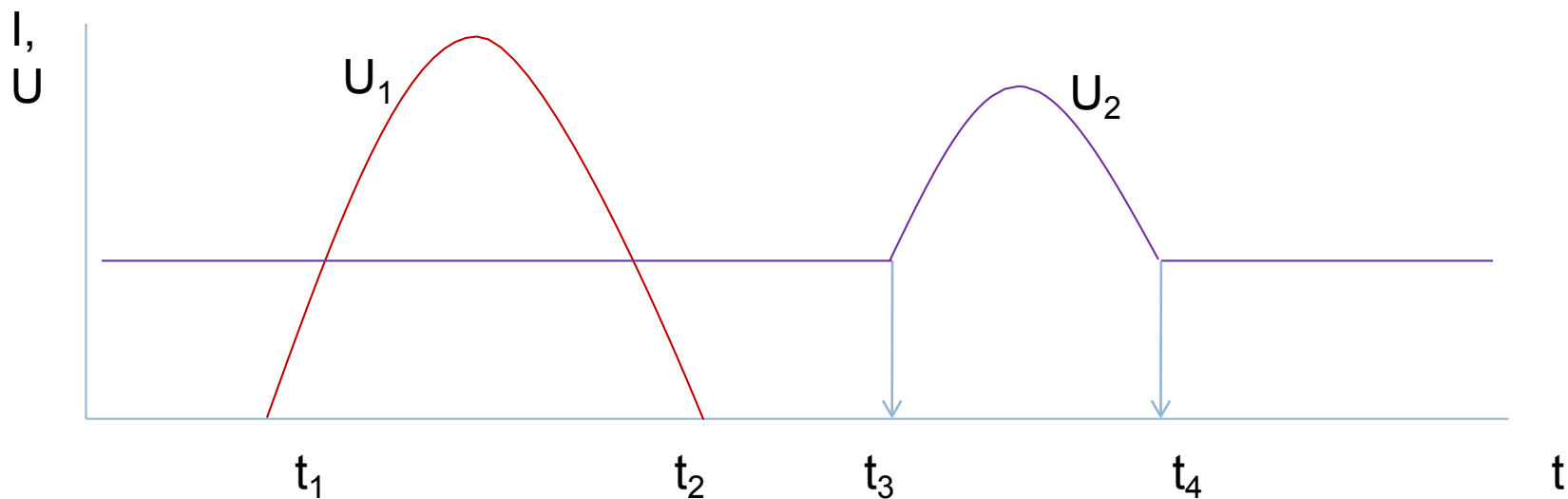
Darba izpildes gaitā tiek pētīti dažādas uzbūves struktūrās ZSĢ, uzņemtas to darbības spriegumu laika diagrammas un mērīti izejas sprieguma parametru atkarība no shēmas elementu lieluma.

4. Rezistīvā matrica R-2R un analogais-ciparu pārveidotājs – 4 st.

Darba izpildes gaitā tiek pētīta: a) 4-kārtu rezistīvās R-2R matricas darbības princips un izmantošanas iespējas ciparu analogajos pārveidotājos, b) 4-kārtu analogā ciparu pārveidotāja darbības princips, kura uzbūves pamatā ir rezistīvā R-2R matrica.

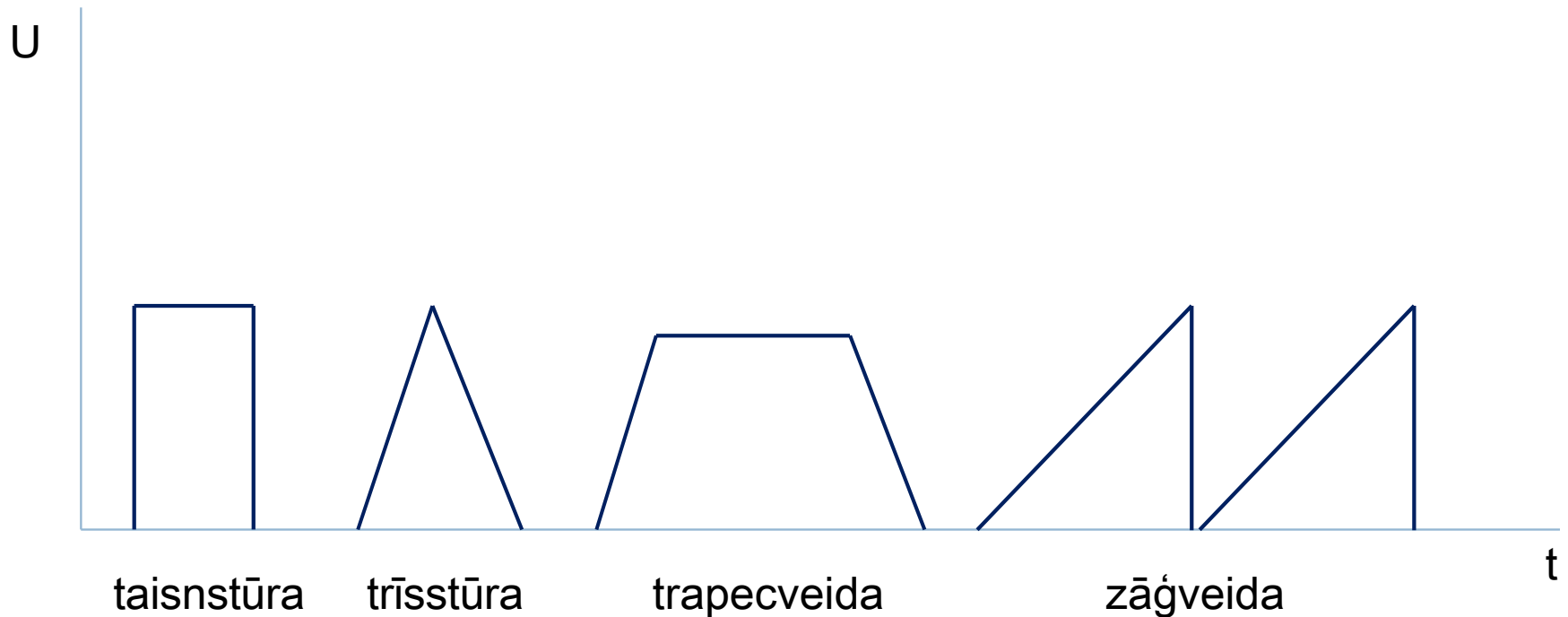
Elektriskie impulsi un to parametri

Elektrisks impulss ir signāls, kas atšķiras no nulles vai kādas citas konstantas vērtības īsā laika intervālā, intervālā, kas ir vienas kārtas lielums ar pārejas procesa ilgumu sistēmā, uz kuru šis signāls iedarbojas.



Elektriskie impulsi un to parametri

Biežāk sastopamās idealizētās impulsu formas



Elektriskie impulsi un to parametri

Atsevišķa impulsa parametri

U_m — sprieguma max vērtība, jeb impulsa augstums

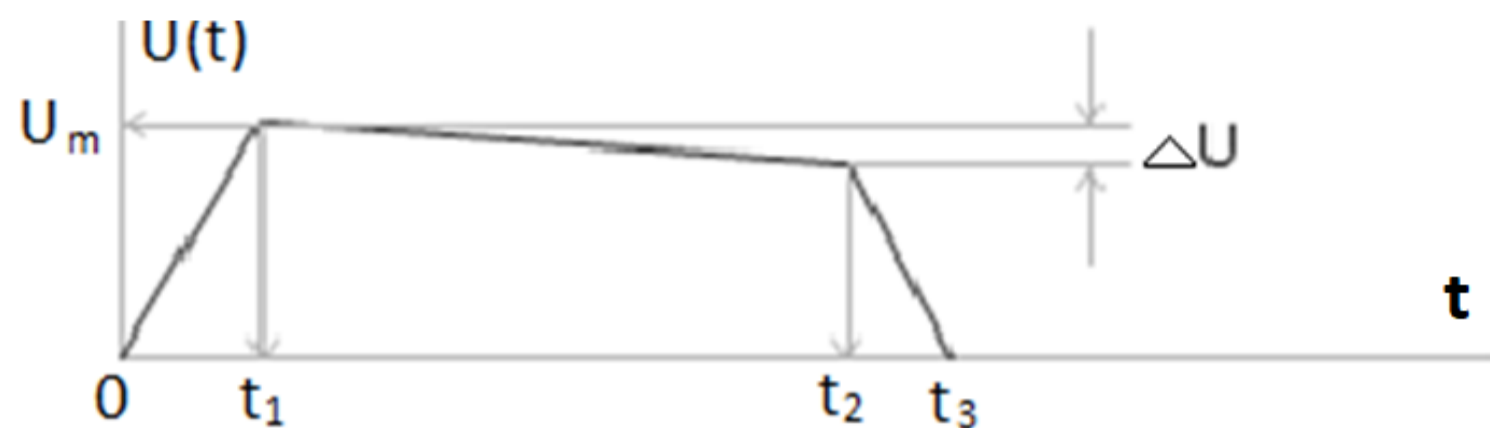
ΔU — virsmas nevienmērība

$t_1 - t_0$ kāpuma ilgums

$t_2 - t_1$ virsmas ilgums

$t_3 - t_2$ krituma ilgums

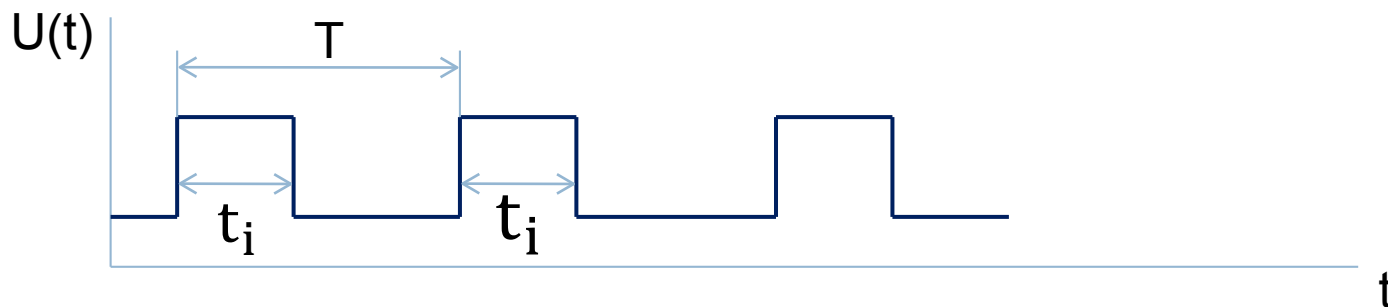
$t_3 - t_0$ impulsa ilgums



Elektriskie impulsi un to parametri

Periodisku impulsu virknes parametri

Periodisku impulsu virkne vienādas formas un vienādu parametru impulsi seko viens aiz otra pēc konstantiem laika sprīžiem, ko sauc par impulsu sekošanas periodu T .



$$f = \frac{1}{T} \text{ impulsu sekošanas frekvence (Hz)} \quad \lambda = \frac{1}{Q} = \frac{t_i}{T} \text{ Impulsu aizpildes koeficients}$$

$$Q = \frac{T}{t_i} \text{ impulsu samērs}$$

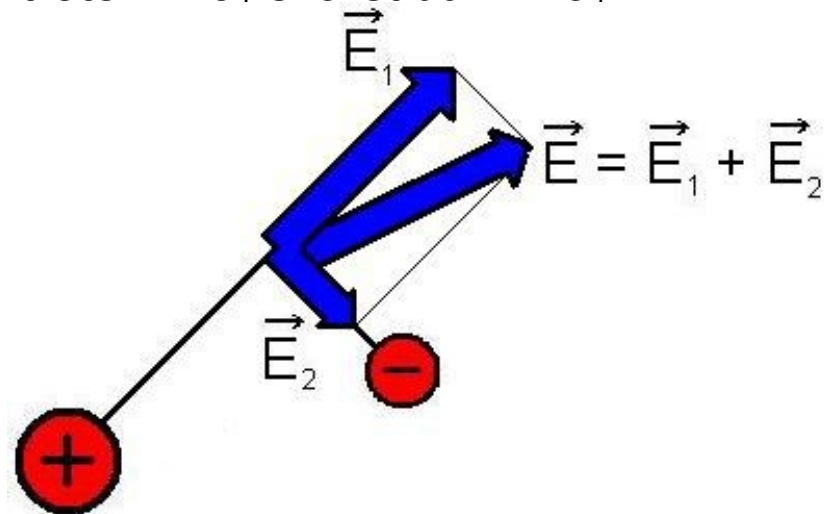
Impulsu signālu iedarbība uz lineārām elektriskām ķēdēm

Lineārās ķēdes veido ar R, L, C elementiem, kuri darbojas lineārā režīmā.

Superpozīcijas princips

Definīcija: Nosaka, ka vairāku uz aplūkojamo lineāro sistēmu vienlaikus darbošos faktoru rezultāts ir vienāds ar šo faktoru atsevišķi izraisīto rezultātu algebrisko summu. Izmanto elektrotehnikā, svārstību fizikā, elastības teorijā, kvantu mehānikā u. c.

Vairāku avotu radītais elektriskais lauks jebkurā telpas punktā ir atsevišķu avotu lauku summa, tas nozīmē, ka elektriskie lauki pārklājas viens otru neietekmējot.



Impulsu signālu iedarbība uz lineārām ķēdēm

Matemātiskās metodes, kuras izmanto signālu iedarbības uz lineārām ķēdēm analīzē:

- Klasiskā diferenciālo vienādojumu risinājumu metode
- Operatoru metode
- Diameļa integrāļa pielietojums

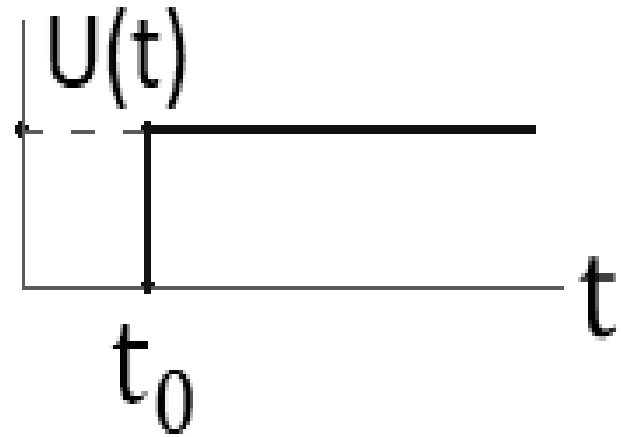
Impulsu signālu iedarbība uz lineārām ķēdēm

Elementārspriegumu metode

Ir trīs pamata elementārspriegumi:

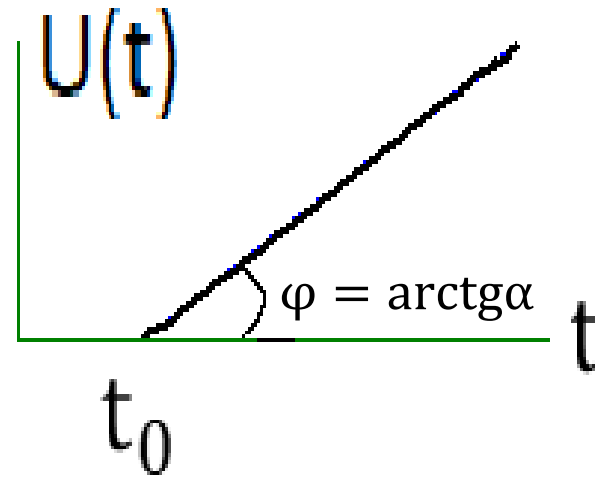
1) Lēcienveidīgs

$$U(t) = U_a, \text{ pie } t \geq t_0$$



2) Lineāri mainīgs

$$U(t) = \alpha t, \text{ pie } t \geq t_0$$



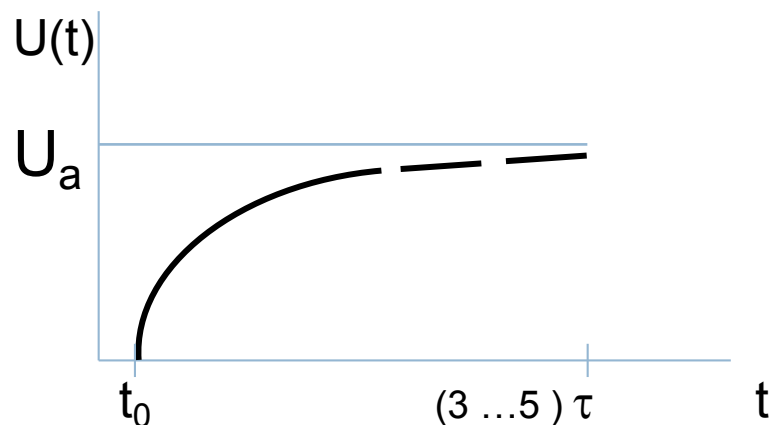
Impulsu signālu iedarbība uz lineārām ķēdēm

Elementārspriegumu metode

3. eksponenciāli mainīgs
spriegums

$$U(t) = U_a(1 - e^{-\frac{t}{\tau}}), \text{ kur}$$

τ — laika konstante

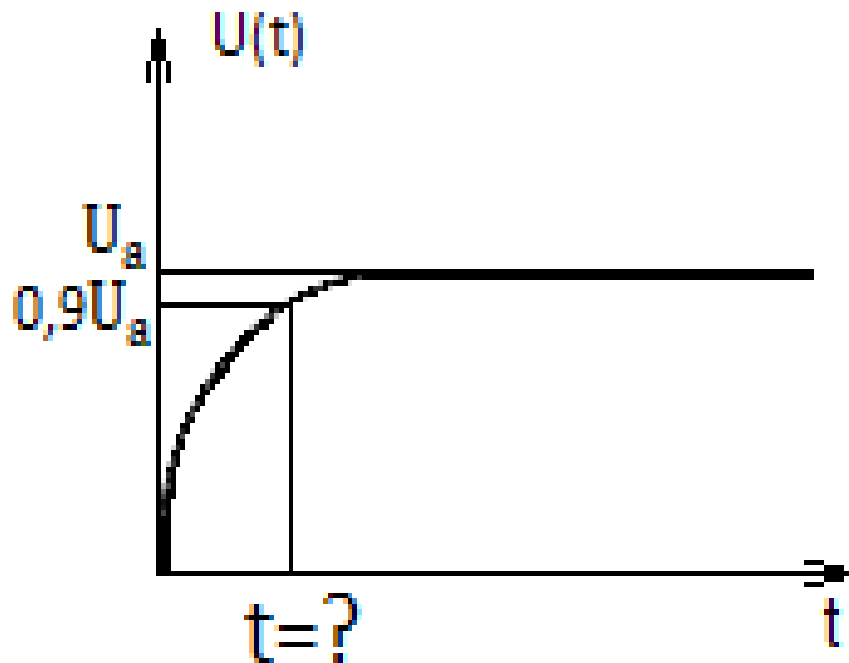


Visiem elementārspriegumiem ir kopīga pazīme – tie sākas konkrētā laika momentā (t_0) un turpinās bezgalīgi ilgi ($t = \infty$).

Pielikums:

Eksponenciāla procesa reālais ilgums ?

Aprēķināt, cik liels laiks t_i vajadzīgs, lai eksponenta pieaugtu līdz 90% no max. vērtības?



$$U(t) = U_a \left(1 - e^{-\frac{t}{\tau}} \right)$$

Pielikuma turpinājums:

pieņemot $U_a=1(V)$ vienkāršības dēļ, iegūstam

$$0,9=(1-e^{-\frac{t_i}{\tau}}) \text{ vai } 0,1=e^{-\frac{t_i}{\tau}} = \frac{1}{e^{\frac{t_i}{\tau}}}, \text{ jeb } \frac{t_i}{\tau} = \ln 10,$$

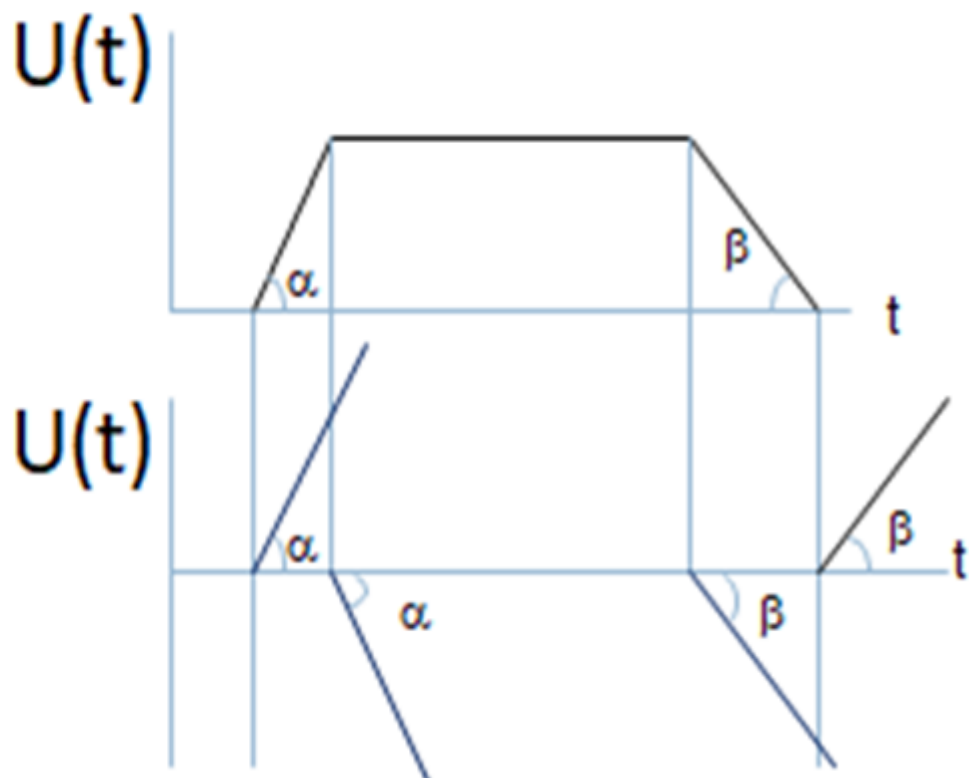
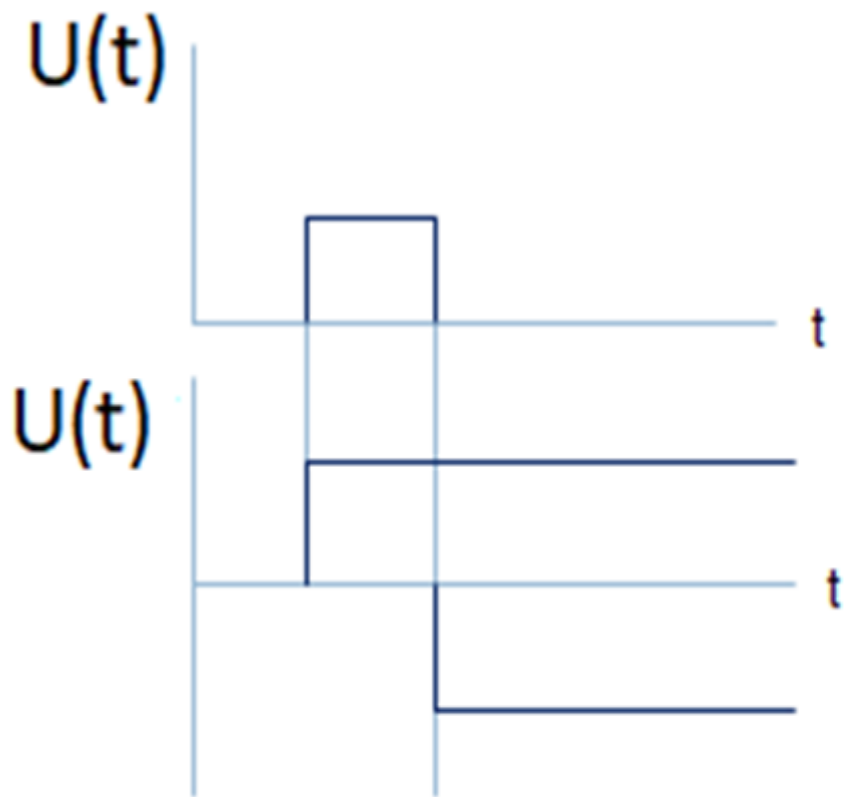
aprēķinot logaritmu iegūstam $t_i \approx 2,3\tau$

Pie citiem precizitātes kritērijiem, piemēram 95% vai 99% iegūsim citas t_i vērtības.

Praktiski uzskata, ka eksponentas izmaiņas ilgums ir $(2 \div 5)\tau$. Iegūtie rezultāti pilnīgi attiecas arī uz krītošām eksponentēm.

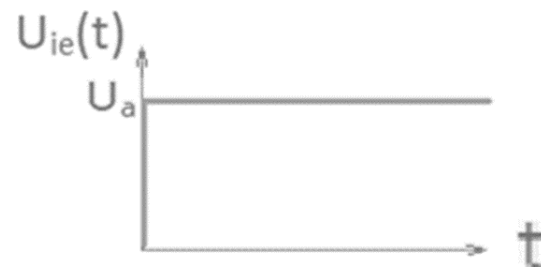
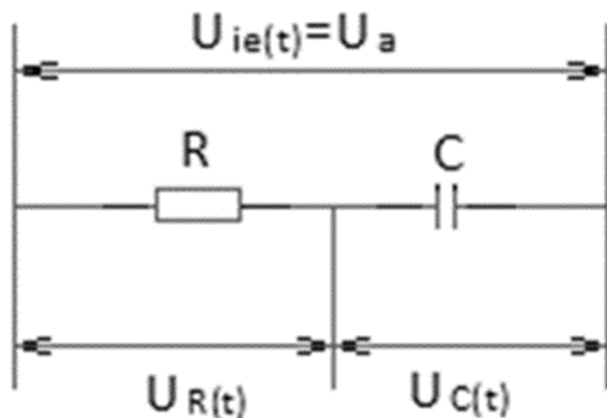
Impulsu signālu iedarbība uz lineārām ķēdēm

Kā ar elementārspriegumu palīdzību var sintezēt un analizēt elektriskos impulsus? Zemāk doti divi piemēri, kā ar elementārspriegumu palīdzību var modelēt taisnstūrveida impulsus, proti, tos veidojot kā noteiktu noteiktu elementārspriegumu summu (jeb superpozīciju).



Impulsu signālu iedarbība uz lineārām ķēdēm

Apskatīsim kā lēcienveidīgs elementārspriegums iedarbojas uz RC ķēdi



$U_{ie(t)} = U_C(t) + U_R(t)$ Apzīmējot ieejas lēcienveidīgā sprieguma vērtību ar U_a dabūsim:

$$U_a = \frac{1}{C} \int i(t) dt + i(t) \cdot R \quad \text{Izmantojot operatoru metodi, iegūstam: } \frac{U_a}{p} = \frac{i(p)}{p \cdot C} + i(p) \cdot R$$

Turpmāk lietosim attēla apzīmējumu ar garumzīmi $i(p) = \bar{i}$

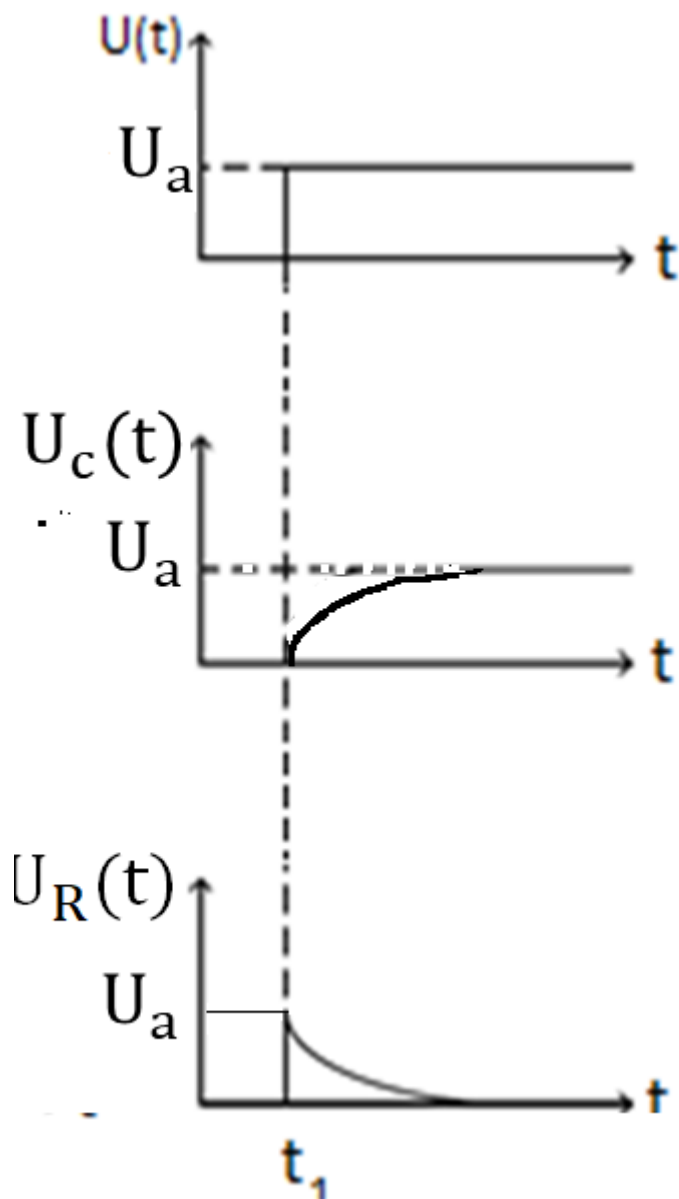
$$\frac{U_a}{p} = \bar{i} \left(\frac{1}{p \cdot C} + R \right); \quad \bar{i} = \frac{U_a}{p \left(\frac{1}{p \cdot C} + R \right)} = \frac{U_a}{\left(\frac{1}{C} + p \cdot R \right)} = \frac{U_a}{R} \cdot \frac{1}{p + \frac{1}{RC}} \quad \text{Apzīmēsim } \tau = RC,$$

pārejot no attēliem uz oriģināliem, pēc tabulām iegūstam: $i(t) = \frac{U_a}{R} \cdot e^{-\frac{t}{\tau}}$

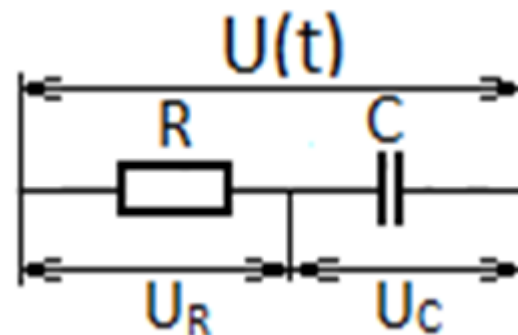
$$U_R(t) = i(t) \cdot R = U_a e^{-\frac{t}{\tau}} \quad U_C(t) = U_{ie(t)} - U_R(t) = U_a (1 - e^{-\frac{t}{\tau}})$$

Impulsu signālu iedarbība uz lineārām ķēdēm

Lēcienveidīga elementārsprieguma iedarbība uz RC ķēdi



$$U(t) = U_a \\ \text{pie } t \geq t_1$$

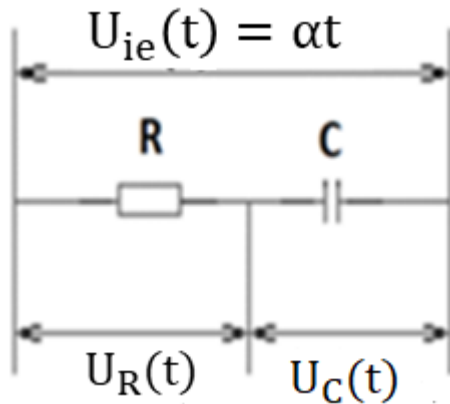


$$U_c(t) = U_a(1 - e^{-\frac{t}{\tau}}), \\ \tau = RC$$

$$U_R(t) = U_a e^{-\frac{t}{\tau}}$$

Impulsu signālu iedarbība uz lineārām ķēdēm

Apskatīsim kā uz RC ķēdi iedarbojas lineāri mainīgs spriegums

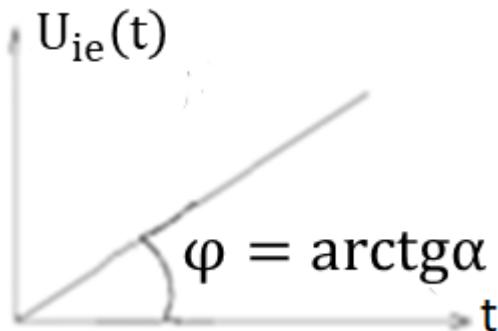


$$U_{ie}(t) = \alpha t = U_R + U_C = i(t)R + \frac{1}{C} \int i(t) dt$$

Pēc operatoru metodes:

$$\frac{\alpha}{p^2} = \bar{i}R + \frac{\bar{i}}{pC} \stackrel{\text{Ierakstiet vienādojumu šeit.}}{=} \bar{i} \left(R + \frac{1}{pC} \right) \quad \text{No šejienes}$$

$$\bar{i} = \frac{\alpha}{p^2 \left(R + \frac{1}{pC} \right)} = \frac{\alpha}{p \left(pR + \frac{1}{C} \right)} = \frac{\alpha}{R} \cdot \frac{1}{p \left(p + \frac{1}{RC} \right)}$$



Pārejot no attēliem uz oriģināliem iegūstam:

$$i(t) = \frac{\alpha RC}{R} \left(1 - e^{-\frac{t}{RC}} \right) = \alpha C \left(1 - e^{-\frac{t}{\tau}} \right)$$

Impulsu signālu iedarbība uz lineārām ķēdēm

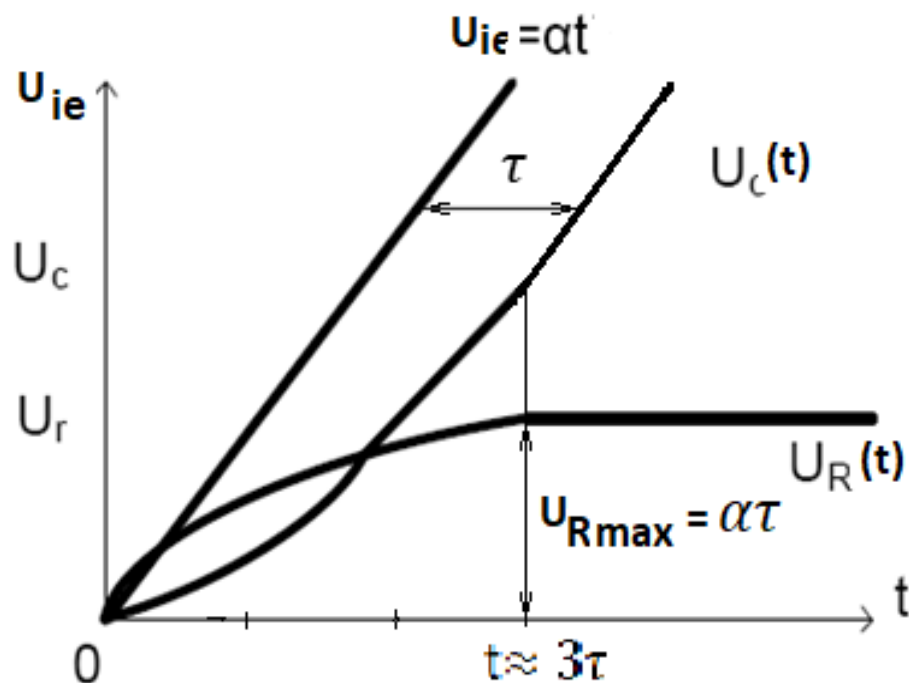
$$U_R(t) = iR = \alpha RC (1 - e^{-\frac{t}{\tau}})$$

$$U_C(t) = U_{ie} - U_R = \alpha t - \alpha \tau (1 - e^{-\frac{t}{\tau}})$$

Pie $t > (2 \div 5)\tau$ $U_R(t) \approx \alpha \tau$

$$U_C(t) \approx \alpha(t - \tau)$$

Dabūtie rezultāti atspoguļoti zīmējumā:

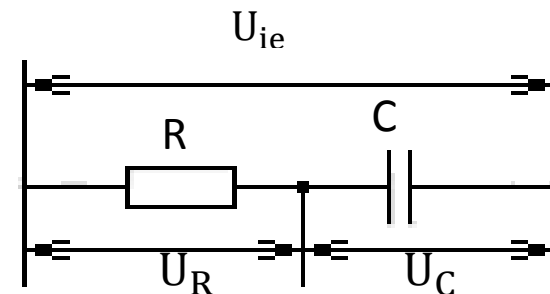
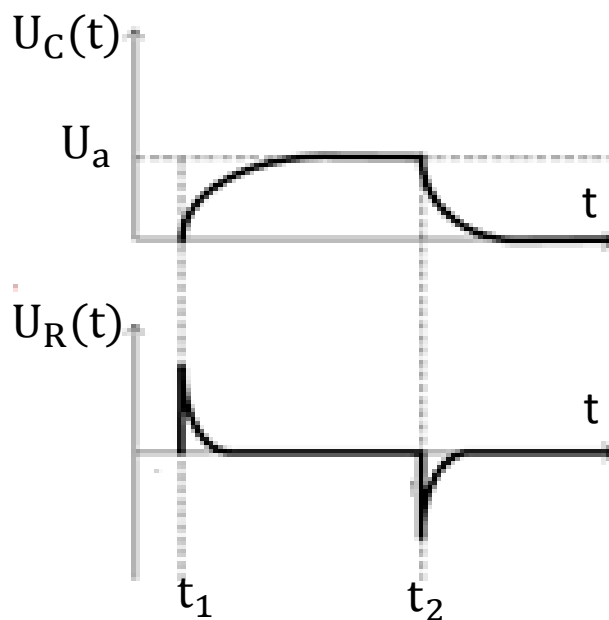
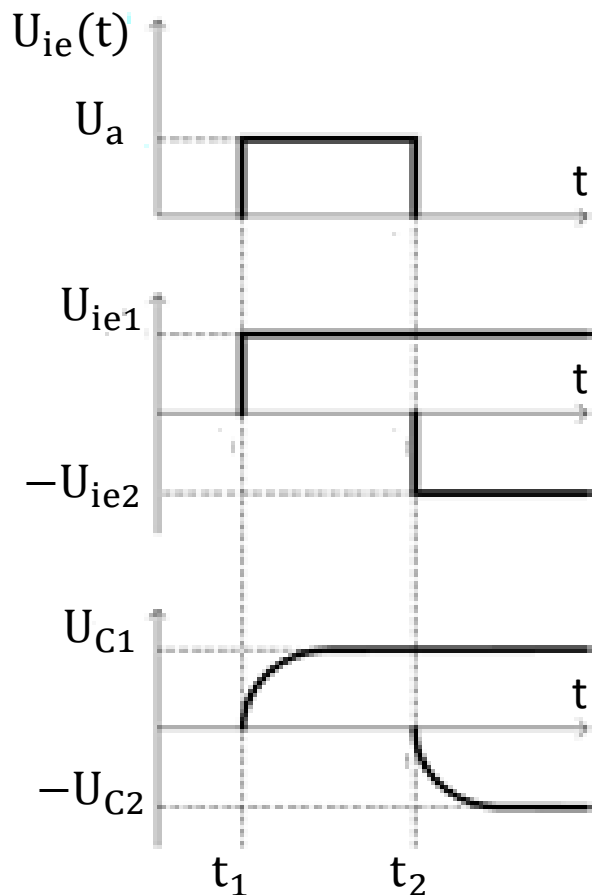


$\tau = RC$ - Ķēdes laika konstante

Kas ir raksturīgs šādam signālam? U_C eksponenciāli pieaugs un turpinās pieaugt paralēli U_{ie} ar pastāvīgu attālumu τ starp tiem. Savukārt, U_R pieaugs līdz $U_{max} \approx \alpha \tau$ un turpmāk nemainās.

Impulsu signālu iedarbība uz lineārām ķēdēm

Kā uz RC ķēdi iedarbojas taisnstūra veida impulss?

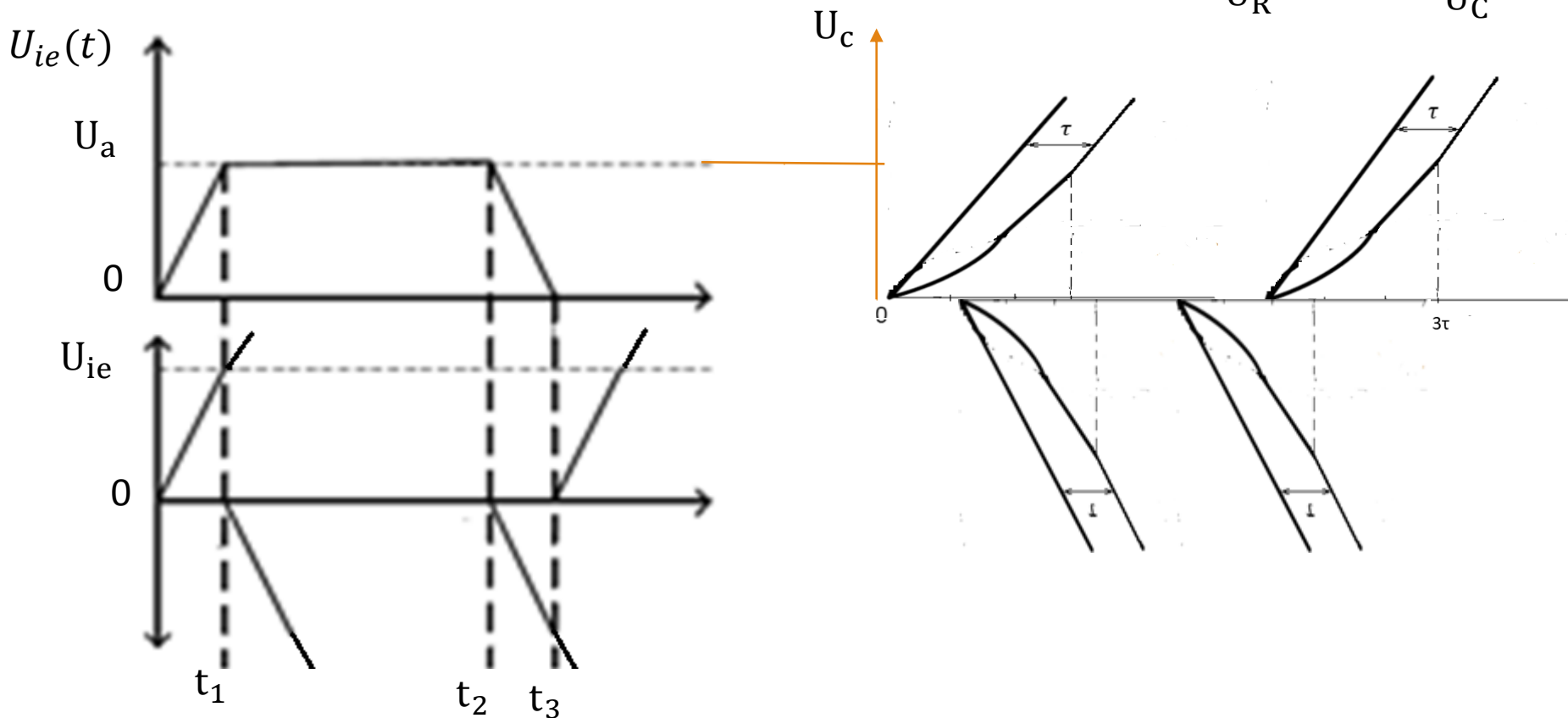
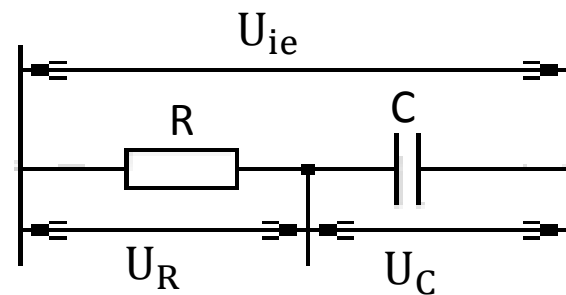


levērojot superpozīcijas principu, mēs ieejas signālu sadalām divos elementār-siņālos, un analizējot katra elementārsiņāla iedarbību uz RC ķēdi, pēc tam iegūtos rezultātus summējam.

Impulsu signāla iedarbība uz lineārām ķēdēm

Kā uz RC ķēdi iedarbojas trapecveida spriegums?

Nemam palīgā lineāri mainīgus elementārsprriegumus un superpozīcijas principu.



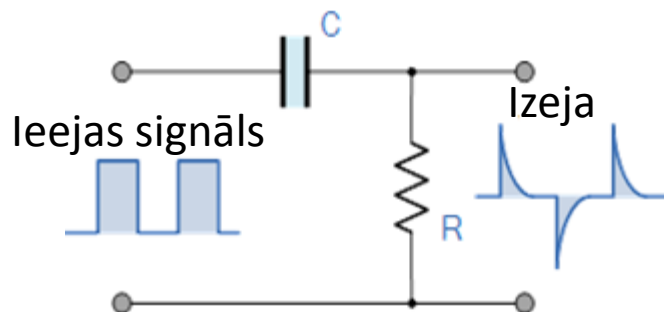
RC ķēdes praktiskais pielietojums

RC ķēdes tiek lietotas ļoti dažādos nolūkos: impulsu ilguma saīsināšanai vai paplašināšanai, kā sadales elementi starp pakāpēm vai iekārtām, kā arī lai realizētu dažādu signālu tuvinātu integrēšanu un diferencēšanu.

Aplūkosim daļu no minētajām pielietojuma iespējām.

Impulsu ilguma saīsināšana

Lai izmantotu RC ķēdi impulsu ilguma saīsināšanai izejas signāls jānoņem no rezistora. Slēgums parādīts attēlā. Ķēdes darbība ir atkarīga no rezistora (R) un kapacitātes (C) nomināliem. Šajā gadījumā laika konstantei jābūt pietiekoši nelielai. $\tau = RC$ ~~Laika~~ konstantes vērtību ierobežo parazitiskie elementi R_i un C_i .



RC ķēdes praktiskais pielietojums

RC atdalošā ķēde

Tādā pašā slēgumā šo ķēdi mēs varam izmantot arī kā sadalīšanas ķēdi, bet tādā gadījumā laika konstantei jābūt pietiekami lielai. $\tau = RC \rightarrow \max$

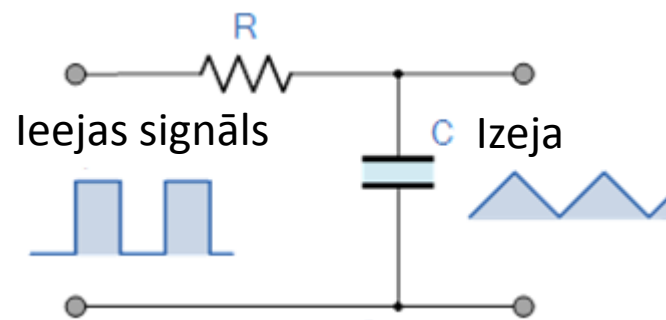
Tādā gadījumā izejas signāls pēc formas atkārto ieejas signālu un nodrošina ķēdes vai iekārtas atdalīšanu pēc līdzstrāvas.

Impulsu ilgumu paplašinošā ķēde

Lai izmantotu RC ķēdi impulsu ilguma paplašināšanai izejas signāls jāņem no kondensatora. Slēgums parādīts attēlā.

Laika konstanti šajā gadījumā jāņem pietiekoši lielu. $\tau \gg t_{ie}$

$$U_{izeja}(t) = U_C(t) = U_a(1 - e^{-\frac{t}{\tau}})$$
$$\approx U_a \left(1 - 1 + \frac{t}{\tau} + \dots\right) \approx U_a \frac{t}{\tau}$$



No zīmējuma ir redzams, ka izejas signālu ilgums būs lielāks par ieejas signālu ilgumu. Izejas signāls paplašinās tāpēc, ka pēc ieejas signāla beigām izejā būs signāls, līdz beidzas kondensatora izlāde.

Diferencējošas RC un RL ķēdes

Praksē parasti lieto RC ķēdes, RL neizmanto, jo induktīva ķēde ir daudz dārgāka un masīvāka par RC un induktīvai ķēdei daudz stiprāk ir izteikti parazitiskie parametri.

RL ķēdei ir šādi parazitiskie parametri:

- a) Spoles vadu aktīvā pretestība
- b) starpvijumu kapacitāte

RC ķēdei piemīt šādi parazitiskie parametri:

- a) Dielektriķa noplūdes pretestība
- b) kondensatora izvadu parazitiskā induktivitāte
(desmiti vai simti pH)

Diferencējošās RC ķēdes aprēķini

1) Ideālas diferencējošās ķēdes vienādojums $U_{iz}(t) = k \frac{dU_{ie}(t)}{dt}$, kur «k» ir proporcionalitātes koeficients.

2) Vai operatoru formā $\bar{U}_{iz} = k \bar{U}_{ie} \cdot p$ kur $\frac{d}{dt} \rightarrow p$, transformācijas mainīgais.

3) No shēmas pēc Kirhofa likuma

$$U_{iz}(t) = U_R(t) = i(t)R = U_{ie}(t) - U_C(t) = U_{ie}(t) - (U_{C(0)} + \frac{1}{C} \int i(t) dt)$$

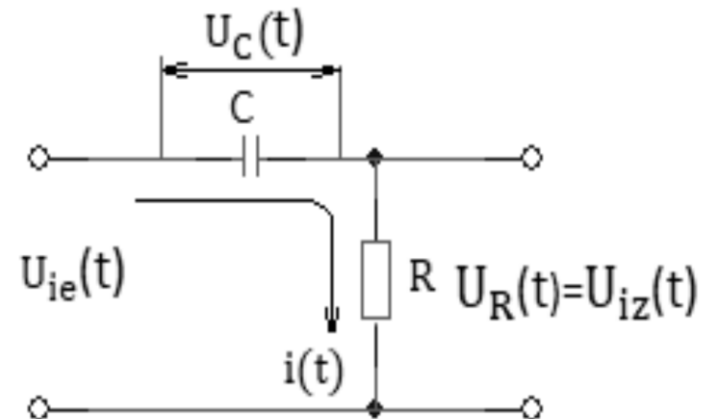
Sākuma spriegums $U_{C(0)}$ uz kondensatora diferenciālai ķēdei ir vienāds ar nulli, varam rakstīt, ka

$$4) U_{iz}(t) = U_{ie}(t) - \frac{1}{C} \int i(t) dt = U_{ie}(t) - \frac{1}{C} \int \frac{U_{iz}(t)}{R} dt$$

$$5) \text{ Operatoru formā } \bar{U}_{iz} = \bar{U}_{ie} - \frac{\bar{U}_{iz}}{pRC}$$

$$6) \text{ No šejienes } \bar{U}_{iz}(1 + pRC) = \bar{U}_{ie}pRC$$

$$7) \bar{U}_{iz} = \bar{U}_{ie} \frac{pRC}{1 + pRC} = \bar{U}_{ie} \frac{p}{p + \frac{1}{RC}}$$



Salīdzinot 2 un 7 izteiksmes, redzam, ka tās atšķiras viena no otras, bet ja ievēro nevienlīdzību $p \ll \frac{1}{RC}$, tad varam 7. izteiksmi pārrakstīt šādā formā:

$\bar{U}_{iz} \approx RC \bar{U}_{ie} p$, kas sakrīt ar 2. izteiksmi, kur proporcionalitātes koef. $k=RC$.

Lai saprastu, ko nozīmē praksē ievērot noteikumu $p \ll \frac{1}{RC}$, sareizinām nevienādojuma puses ar \bar{U}_{ie} , dabūjam $\bar{U}_{ie} p \ll \frac{\bar{U}_{ie}}{RC}$

8) Pārejot uz oriģināliem
$$\frac{dU_{ie}(t)}{dt} \ll \frac{U_{ie}(t)}{RC}$$

No pēdējās izteiksmes var secināt ka RC ķēde labi veic diferencēšanas funkciju, ja:

a) Ieejas signāls mainās lēni

b) ķēdes laika konstante $\tau=RC$ ir ar pietiekami mazu vērtību. Ja atvasinājums $\frac{dU_{ie}}{dt}$ ir liels, tad diferencēšana dod lielu kļūdu.

Aplūkosim vēl vienu diferencējošas RC ķēdes īpatnību.

Pārveidosim izteiksmi (7)

$$\bar{U}_{IZ} = \frac{\bar{U}_{ie}p}{p + \frac{1}{RC}} = \frac{\bar{U}_{ie}pRC}{pRC + 1} \quad (10)$$

$$\bar{U}_{iz}pRC + \bar{U}_{iz} = \bar{U}_{ie}pRC \quad (11)$$

$$\bar{U}_{iz} = pRC(\bar{U}_{ie} - \bar{U}_{iz}) \quad (12)$$

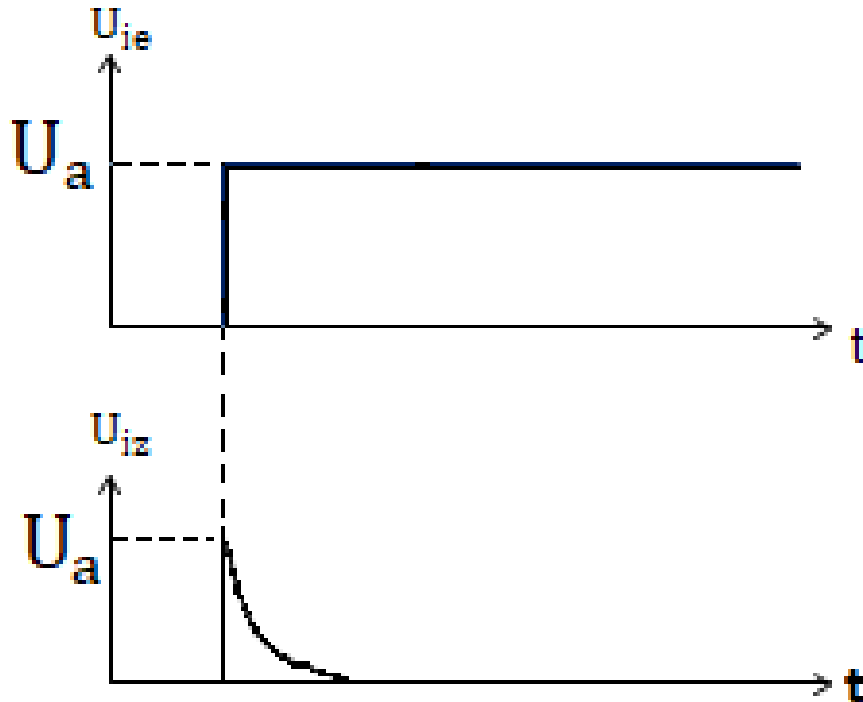
$$U_{iz} = \frac{RCd(U_{ie} - U_{iz})}{dt} \quad (13)$$

No (13) varam secināt, ka izejas signāls būs ieejas signāla atvasinājums tikai tad, ja izpildīsies nevienmērība

$$U_{iz} \ll U_{ie} \quad (14).$$

Citiem vārdiem, diferencēšanas kvalitāte būs laba tikai tad, kad ieejas signāls būs daudz lielāks par izejas signālu, kas ir sava veida pretruna starp kvalitāti un kvantitāti.

Diferencējošas RC ķēdes konkrēts gadījums



Ideāls diferencēšanas
gadījums, izteiksme (1),

$$U_{iz} \rightarrow \infty$$

$$t_{iz} \rightarrow 0$$

Reāli pēc izteiksmes (7)

$$\text{iegūsim } U_{iz}(t) = U_a e^{-\frac{t}{RC}}$$

$$t_{iz} \approx (2 \div 5)RC$$

Integrējošas ķēdes

Integrējošas RC ķēdes aprēķini:

1. $U_{iz}(t) = \int U_{ie}(t) dt$ integrējošas ķēdes vinādojums ideālā gadījumā

2. Operatoru formā $\bar{U}_{IZ} = \frac{\bar{U}_{IE}}{p}$

3. Reālai RC ķēdei dabūsim: $\bar{U}_{iz} = \bar{U}_{ie} \frac{\frac{1}{pC}}{R + \frac{1}{pC}} = \bar{U}_{ie} \frac{1}{pRC + 1}$

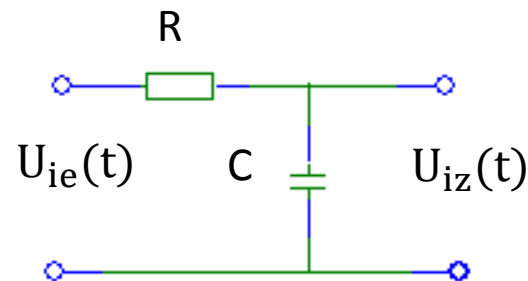
$$4. \bar{U}_{iz} = \frac{\bar{U}_{ie}}{RC} \cdot \frac{1}{p + \frac{1}{RC}}$$

Salīdzināsim 2 un 4 vienādojumus.

5. Ja izpildās nevienādojums $p \gg \frac{1}{RC}$, tad no 4 vienādojuma dabūsim

$$6. \bar{U}_{iz} \approx \frac{1}{RC} \cdot \frac{\bar{U}_{ie}}{p}$$

Redzam, ka 6 un 2 izteksmes ir līdzīgas un RC ķēde darbojas kā integrējoša (līdz proporcionalitātes koeficientam $k = \frac{1}{RC}$)



Integrējošas ķēdes

1. Turpinājums

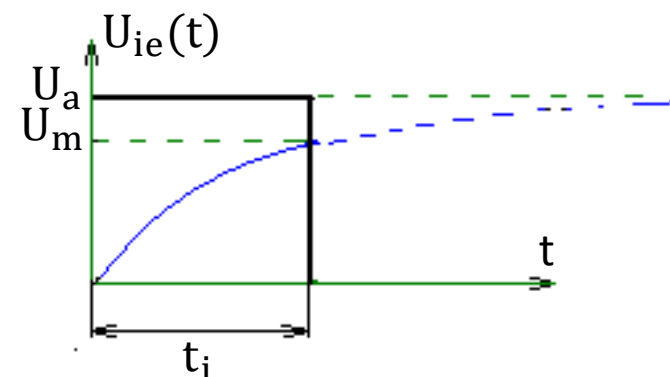
No 5 izteiksmes $p \gg \frac{1}{RC}$ var secināt, ka $\tau = RC$ jābūt liels, bet lai saprastu, salīdzinoši ar ko, apskatīsim piemēru, kad uz ķēdes ieeju padots taisnstūrveida impuls. Pārveidosim nevienādību šādi $RC \gg \frac{1}{p}$ un sareizināsim ar \bar{U}_{ie} tad dabūsim:

7. $\bar{U}_{ie} RC \gg \frac{\bar{U}_{ie}}{p}$, vai oriģinālformā

8. $U_{ie}(t) RC \gg \int U_{ie}(t) dt$ Ievietosim $U_{ie}(t) = U_a$

9. $U_a RC \gg \int_0^{t_i} U_a dt = U_a t_i$, vai

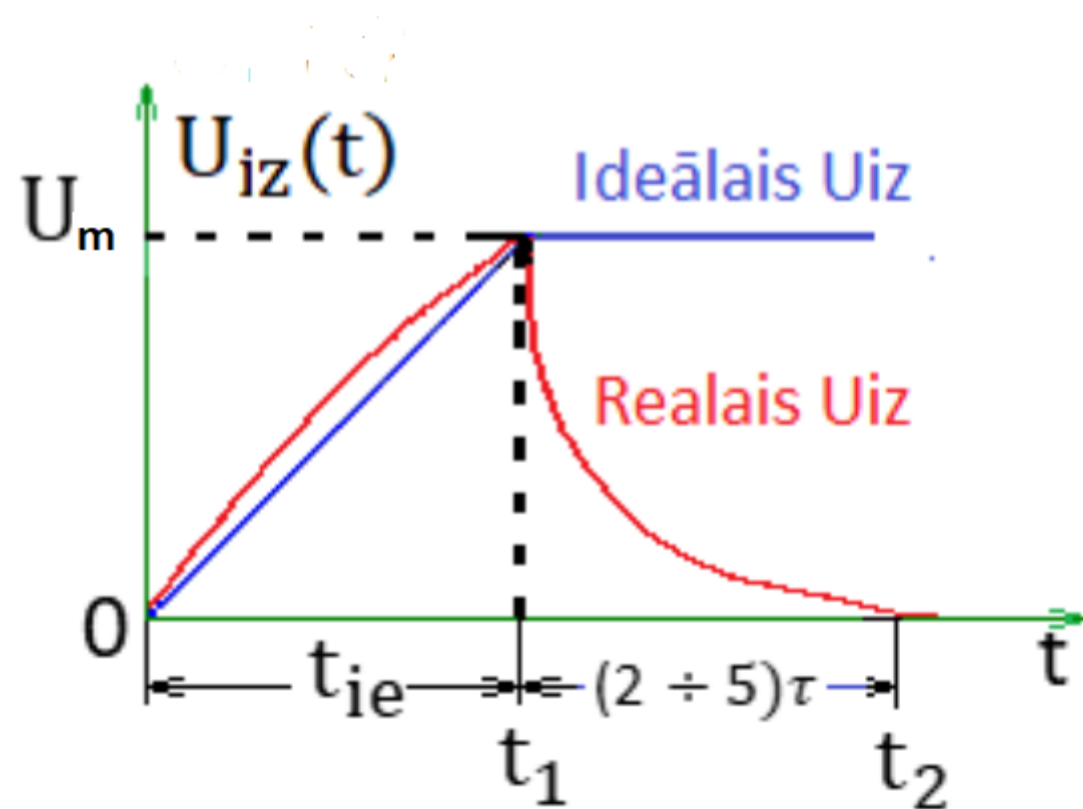
10. $RC \gg t_i$ Secinājums: $\tau = RC$ jāizvēlās liels, salīdzinājumā ar ieejas signāla ilgumu



11. $U_{iz}(t) = U_a(1 - e^{-\frac{t}{RC}}) \approx U_a(1 - 1 + \frac{t}{RC} - \frac{t^2}{2!(RC)^2} \approx U_a \frac{t}{RC}$

12. $U_m = U_{iz}(t_i) = U_a \frac{t_i}{RC}$

Secinājums: ja izteiktāka nevienmērība $\tau \gg t_i$, tad mazāka amplitūda, bet labāka kvalitāte (mūsu piemērā – linearitāte)



Tranzistoru slēdži

Elektroniskie slēdži.

Elektroniskā slēdža uzdevums ir komutēt strāvu slodzes ķēdē un lēcienveidīgi mainīt izejas spriegumu.

Zīm1. **Mehāniskais slēdzis**

1) ja slēdzis ir saslēgts, viss spriegums krīt uz R un $U_{ex}=0$

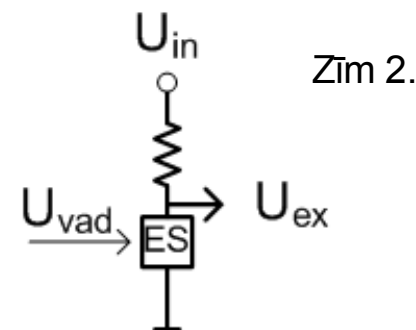
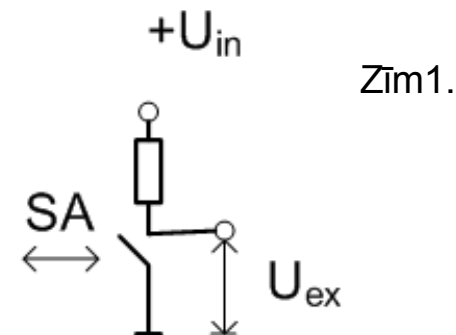
2) ja slēdzis ir atslēgts, $U_{ex}=U_{in}$

Mehāniskā slēdža kvalitāte ir atkarīga no slēdža pretestības slēgtā un atvērtā stāvoklī un komutācijas frekvence parasti ir ļoti zema. Ciparu iekārtās rodas nepieciešamība pāriet uz slēdžiem ar pārslēgšanās frekvencēm līdz GHz diapazonam.

Zīm 2. **Elektroniskais slēdzis**

Iespējamās komutācijas frekvences ir ļoti augstas.

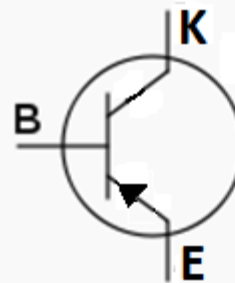
Galvenokārt izmanto slēdžus ar unipolāriem un bipolāriem tranzistoriem, izvēloties sprieguma vai strāvas vadību.



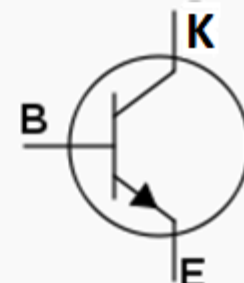
Tranzistoru slēdži

- Bipolārais tranzistors ir pusvadītāju ierīces - tranzistora veids ar trim dažādu vadītspējas tipu slāņiem un trim izvadiem. Bipolārajā tranzistorā tiek izmantoti divu dažādu veidu pusvadītāji – ar elektronu vadītspēju (n jeb negatīvais tips) un ar caurumu vadītspēju (p jeb pozitīvais tips).
- Bipolārā tranzistora trīs pusvadītāju slāņi tiek saukti par kolektoru (C), bāzi (B) un emiteru (E). Divus malējos slāņus (kolektoru un emiteru) izgatavo no pusvadītāju materiāla ar vienādu vadītspējas tipu (p vai n) bet trešo - centrālo - slāni (bāzi) no materiāla ar pretēju vadītspējas tipu. Tādējādi var būt divu dažādu veidu bipolārie tranzistori - pnp un npn tipa.

Bipolārā tranzistora apzīmējums shēmās



pnp tipa bipolārais
tranzistors.

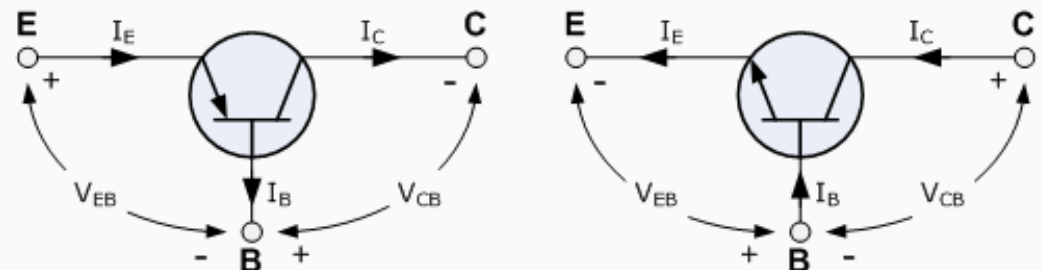
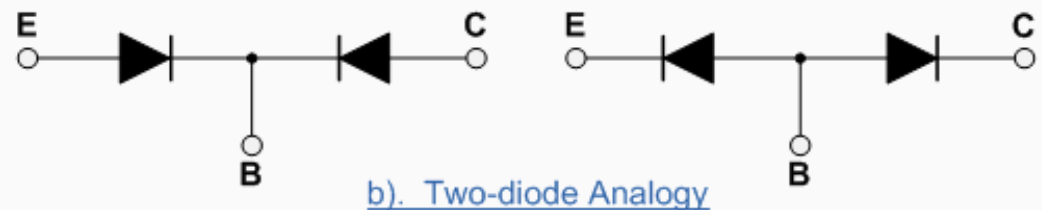
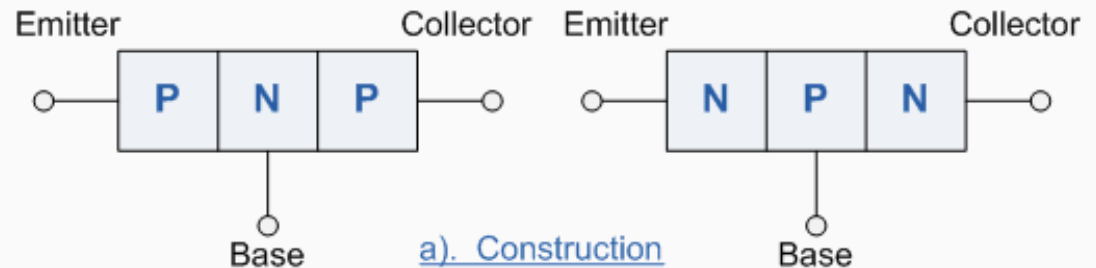


nnp tipa bipolārais
tranzistors.

Tranzistoru slēdži

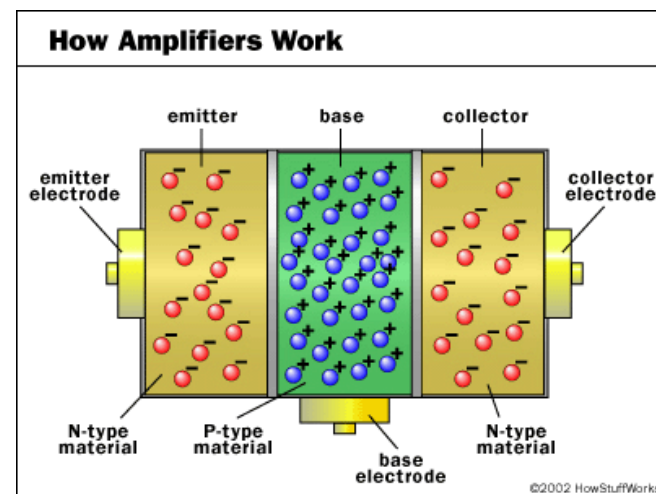
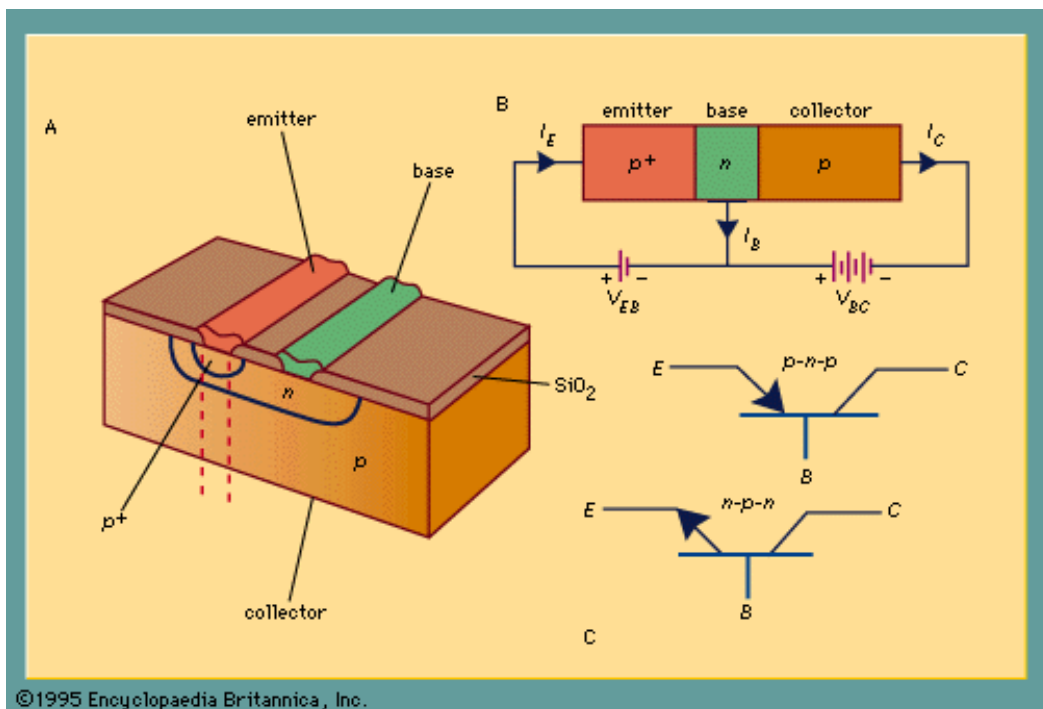
Bipolārie tranzistori ir strāvu regulējošas ierīces, kur kolektora un emitera strāvas lielumu var regulēt palielinot vai samazinot bāzes strāvu vai regulējot emitera-bāzes spriegumu.

nnp un pnp tipa tranzistoru darbības principi ir līdzīgi, atšķiras vienīgi strāvu virzieni un pieliktā barošanas avota polaritāte.



Tranzistoru slēdži

N-tipa pusvadītājā ir negatīvo lādiņu nesēju jeb elektronu pārpalikums, savukārt p-tipa pusvadītājā ir pozitīvo lādiņu nesēju jeb caurumu pārpalikums. Pusvadītāju slāņu kontakta zonas sauc par pusvadītāju pārejām. Pāreju starp kolektoru un bāzi sauc par kolektora pāreju, starp emiteru un bāzi - par emitera pāreju. Kolektora pārejai mēdz būt daudz lielāks laukums, nekā emitera pārejai.

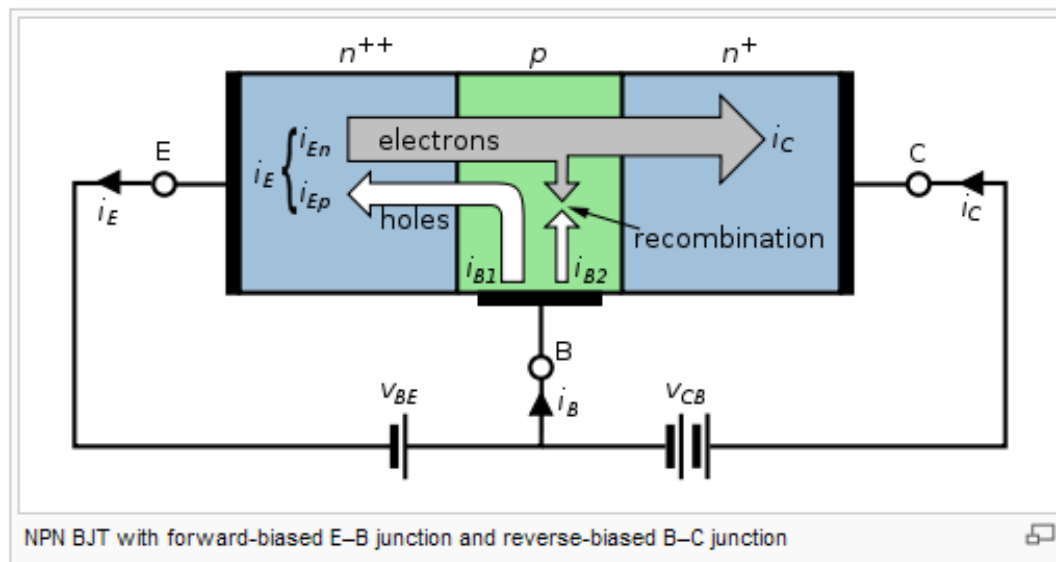


Kā lādiņu nesēju avots visos tranzistoros kalpo emitters, tāpēc tur tiek lietots tāds materiālu leģējums, lai brīvo lādiņu daudzums būtu lielāks kā tas ir kolektorā. Lādiņi bāzē pārvietojas pēc difūzijas likumiem. Turklāt bipolārā tranzistora normālai darbībai ir nepieciešams, lai bāzes biezums būtu neliels.

Tranzistoru slēdži

Strāvas stiprums tranzistorā ir atkarīgs no kontaktvirsmu jeb pusvadītāju pārejas laukumiem un pieliktajiem spriegumiem.

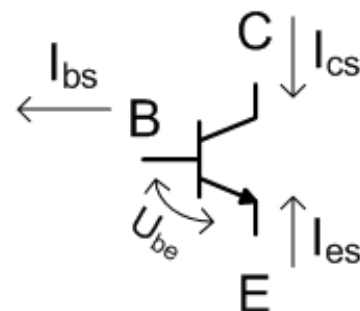
Lai tranzistors varētu darboties, to elektriskajā ķēdē ieslēdz tā, lai emitera pāreja būtu atvērta (starp emiteru un bāzi varētu plūst strāva. Ja apskatām npn tipa bipolāro tranzistoru, šāda tranzistora emiteru pieslēdz strāvas avota negatīvajam polam. Kolektoru savukārt pieslēdz pozitīvajam polam. Tādā gadījumā elektroni caur emitera pāreju var brīvi nokļūt bāzē.



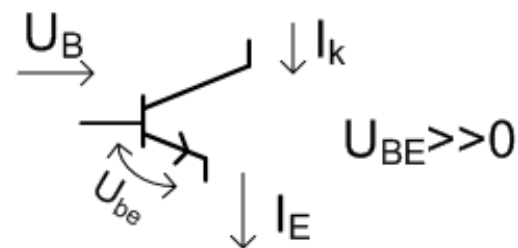
Tranzistoru slēdži

Lai npn tranzistors būtu slēgts $U_{BE} \leq 0$ un, ja bāze nekam nav pieslēgta (uz tās nav potenciāla), vai arī uz tās ir negatīvs potenciāls, elektroni no bāzes kolektorā nokļūt praktiski nevar (kolektora pāreja ir aizvērta, jo tajā ir izveidojies sprosts-lānis. Tādēļ starp emiteru un kolektoru plūst relatīvi neliela strāva, ko nosaka kolektora pārejas sprosts-trāva. Dažreiz tās sauc par siltumstrāvām.

Sproststrāvu virzieni slēgtam tranzistoram



Lai npn tranzistors būtu atvērts $U_{BE} > 0$, tā bāzei pievada nelielu pozitīvu spriegumu, caur emitera pāreju sāk plūst caurlaides strāva. Tā kā kolektora pozitīvais spriegums ir relatīvi lielāks, nekā bāzes spriegums, un bāze ir ļoti plāna, lielākā daļa šīs emitera strāvas plūst caur kolektora pāreju (šajā virzienā kolektora pāreja ir atvērta). Tādējādi kolektora strāva ir gandrīz vienāda ar emitera strāvu, tikai neliela daļa tās plūst caur bāzi (to sauc par bāzes strāvu).



Tranzistora strāvu virzieni atvērtā stāvoklī

Tranzistoru slēdži

Atvērtā stāvoklī tranzistorā plūst pamatstrāvas un pastāv strāvu balance:

$I_E = I_B + I_K$, tranzistora strāvu vienādojums atvērtā stāvoklī

Slēgtā tranzistorā plūst sproststrāvas jeb siltumstrāvas un pastāv strāvu balance:

$I_{B0} = I_{K0} + I_{E0}$ un $(I_{K0} \gg I_{E0})$, tāpēc $I_{B0} \sim I_{K0}$

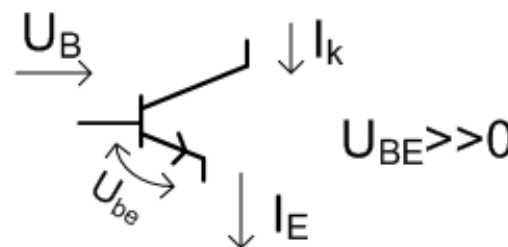
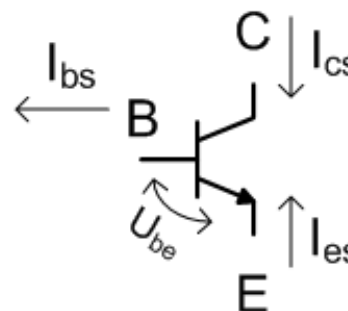
Koeficientu α , kas saista emitera un kolektora strāvas, sauc par emitera strāvas pārnese koeficientu, $I_K = \alpha \cdot I_E$. Jo šis koeficients ir tuvāks 1, jo tranzistors ir uzskatāms par labāku.

Šis koeficients visai nelielā mērā ir atkarīgs no spriegumiem starp kolektoru un bāzi, kā arī bāzi un emiteru. Tādēļ kolektora strāva ir proporcionāla bāzes strāvai. Šo proporcionalitātes koeficientu β sauc par tranzistora strāvas pārnese koeficientu.

$\beta = \alpha / (1 - \alpha)$ Parasti bipolārajiem tranzistoriem strāvas pārnese koeficients ir no 10 līdz 1000.

Tādējādi, izmainot nelielo bāzes strāvu, varam izmainīt un vadīt daudz lielāko kolektora strāvu.

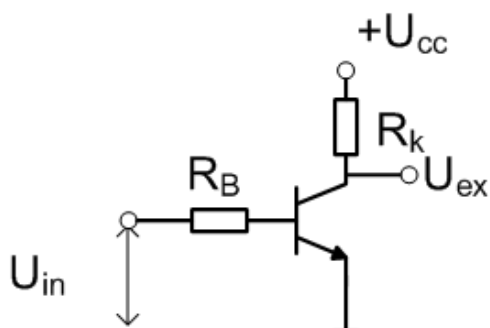
Sproststrāvu virzieni slēgtam tranzistoram



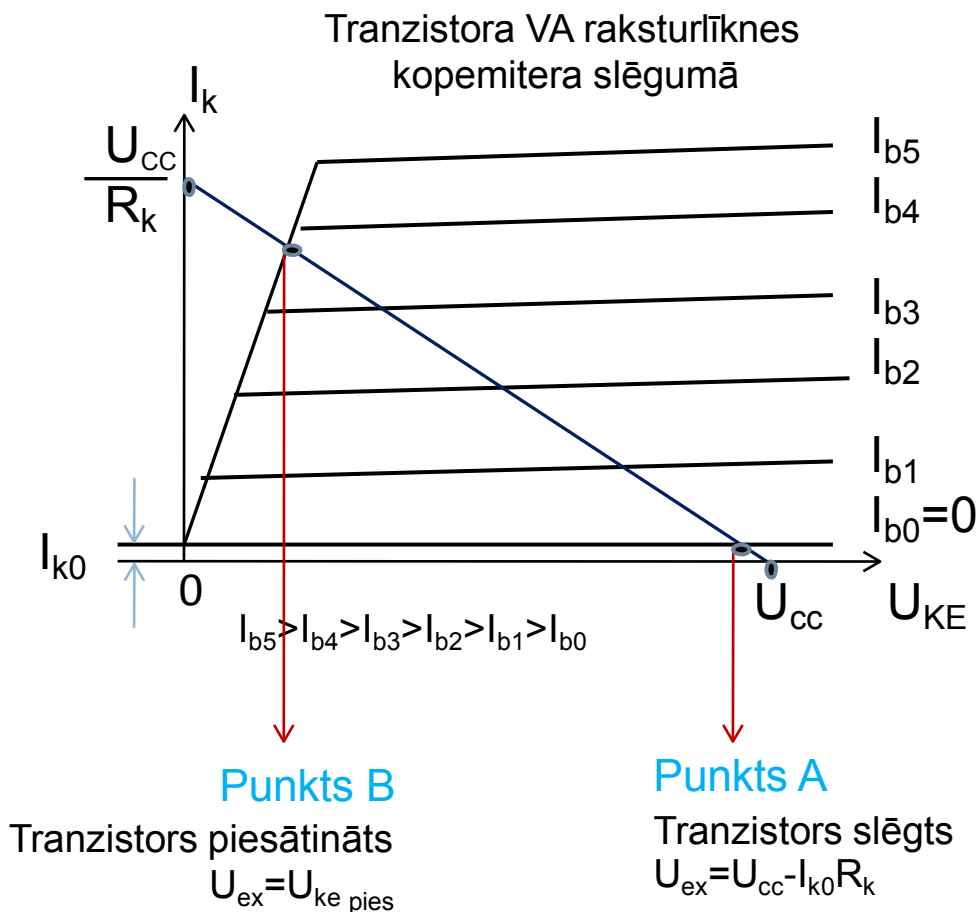
Tranzistora strāvu virzieni atvērtā stāvoklī

Tranzistoru slēdži

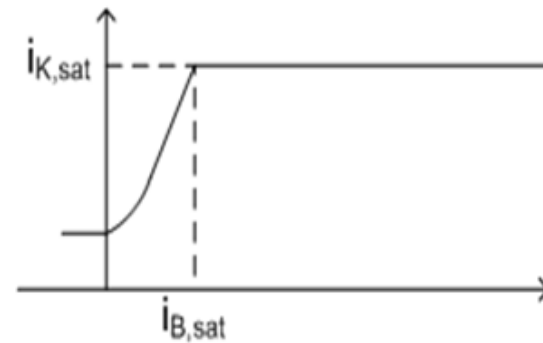
Piesātināts kopemitera slēguma slēdzis



Ja $U_{in} = 0$, tranzistors atrodas slēgtā režīmā un tajā plūst siltumstrāvas (punkts A). Palielinot ieejas spriegumu uz bāzes U_{in} , un tādējādi palielinot bāzes strāvu I_b , tranzistors no nogriešanas režīma pāriet lineārā apgabalā. Palielinot strāvu vēl vairāk, tranzistors nonāk piesātinājuma režīmā (punkts B).



Aplūkojot tranzistora bāzes un kolektora strāvas savstarpējo atkarību, varam novērot, ka sākumā kolektora strāva pieaug ļoti strauji. Pieaugot bāzes strāvai, tranzistora darba punkts pārvietojas pa slodzes raksturlīknes lineāro daļu un nonāk piesātinājuma režīmā, kad $I_B > I_{Bsat}$ un kolektora strāva praktiski vairs nemainās.

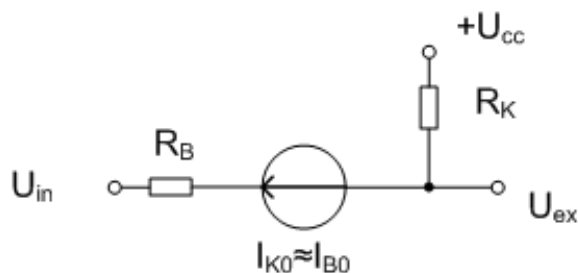


Tādējādi, mēs varam izdalīt trīs tranzistora darba režīmus, kurus nosaka darba punkta atrašanās vieta uz slodzes raksturlīknes:

- 1) Nogriezuma režīms – tranzistors slēgts, kad $U_{BE} \leq 0$ un $I_B = I_{B0} \approx I_{K0}$
- 2) Lineārais režīms -izmanto signālu pastiprinātājos, kad $U_{BE} > 0$ un $I_B \leq I_{Bsat}$
- 3) Piesātinājuma režīms, kad $U_{BE} > 0$ un $I_B \geq I_{Bsat}$

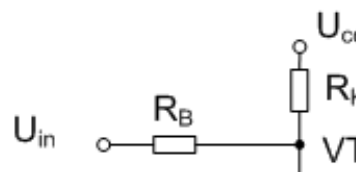
Slēgta tranzistora ekvivalentā shēma

$$U_{ex} = U_{CC} - I_{K0} R_K, \text{ jeb } U_{ex} \approx U_{CC}$$



Piesātināta tranzistora ekvivalentā shēma

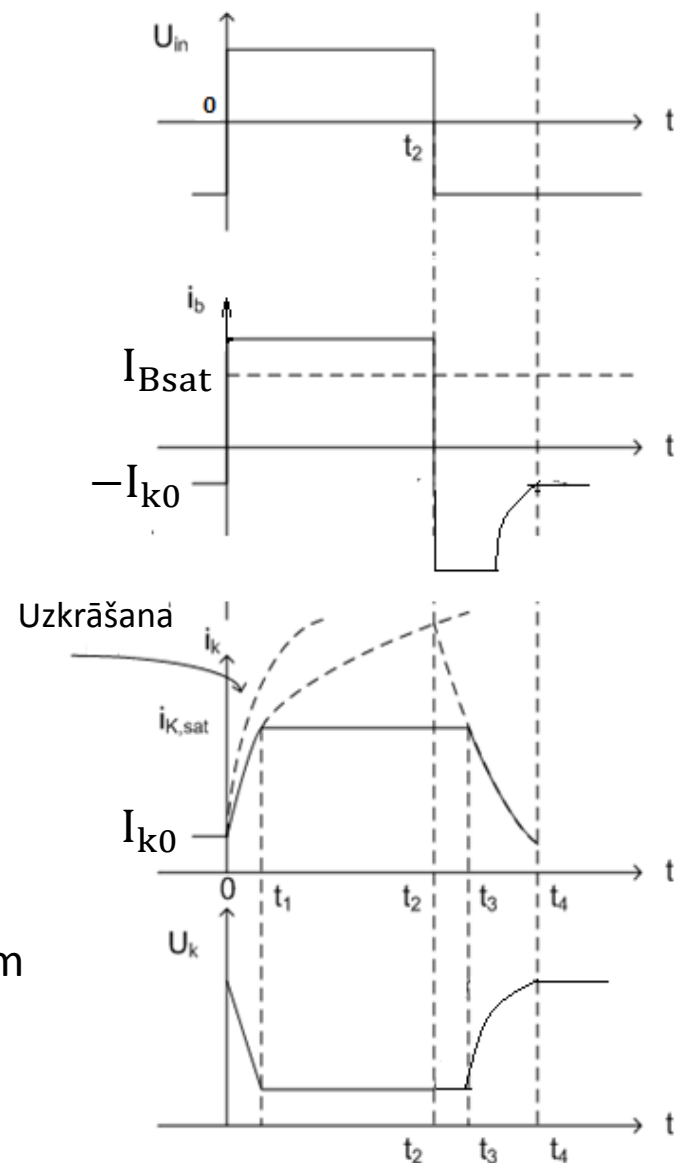
$$I_B \approx U_{in}/R_B \text{ un } I_{ksat} = U_{CC}/R_K$$



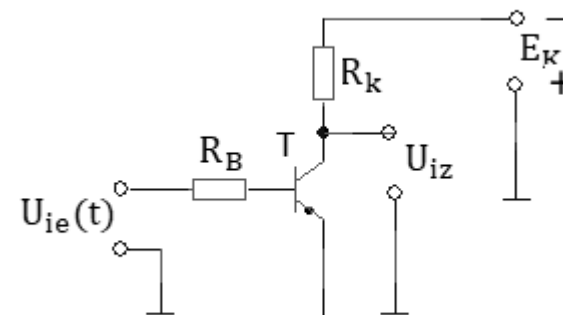
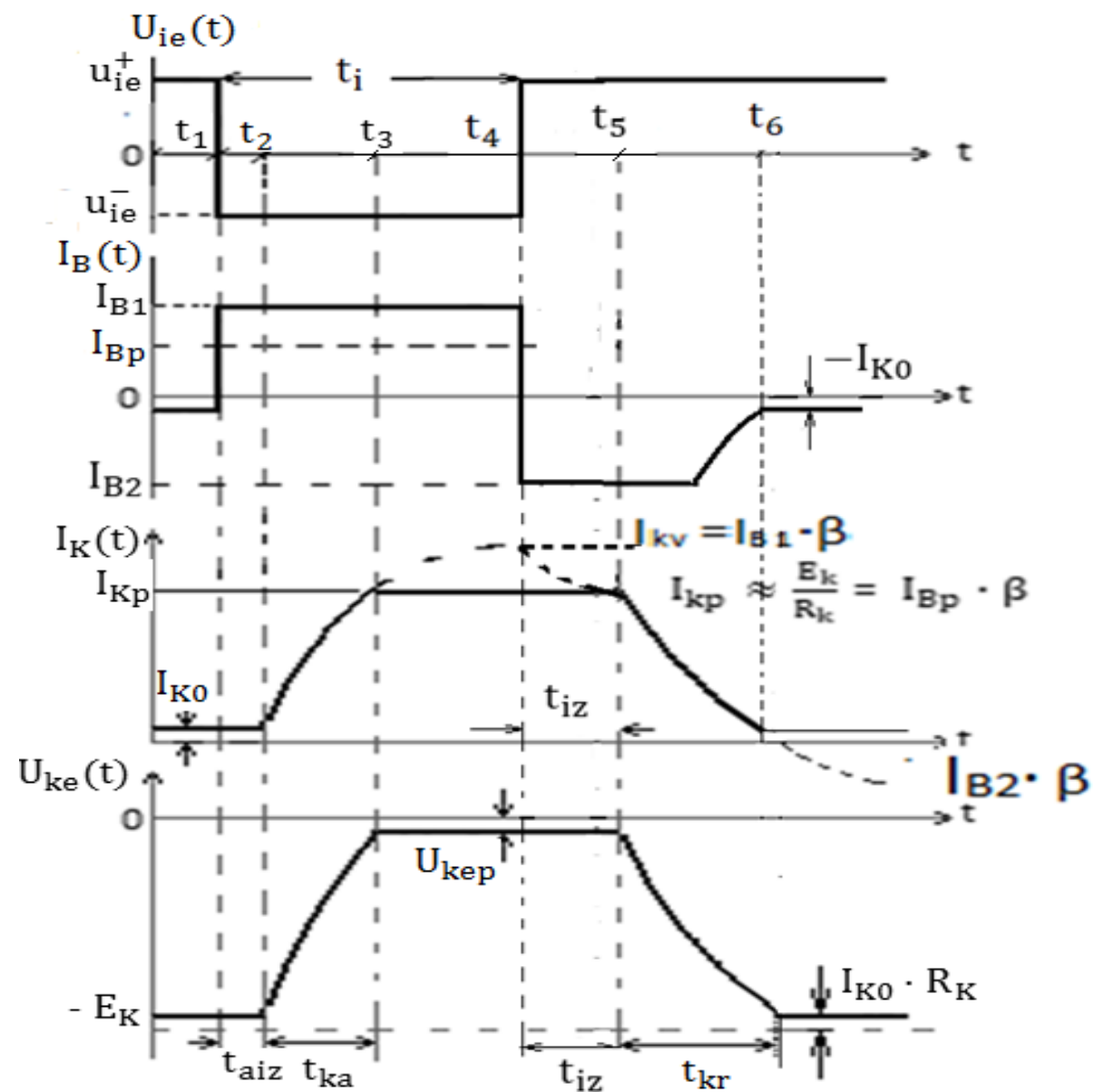
Pārejas procesi laika diagrammās kopemitera slēguma slēdzī ar n-p-n tranzistoru.

Pievadot impulsa veida spriegumu tranzistora slēdzim, strāva bāzē strauji pieaug un ātri sasniedz maksimālo vērtību $I_{b,sat}$. Turpretī kolektora strāva sasniedz $I_{k,sat}$ pēc kāda laika, jeb momentā t_1 . Tas notiek tāpēc, ka mazākumnesēju lādiņu uzkrāšanās bāzē prasa savu laiku. Redzam, ka impulsam beidzoties momentā t_2 , bāzes strāva tikpat strauji samazinās, bet tranzistors vēl kādu laiku paliek piesātinātā stāvoklī līdz t_3 . Tas notiek tāpēc, ka uzkrāto bāzes lādiņnesēju pārpalikumu nevar likvidēt momentāni. Jo lielākā piesātinājumā atradās tranzistors, jo lielāks laiks nepieciešams, lai to no šī stāvokļa atgrieztu atpakaļ. Līdz ar to arī izejas sprieguma U_k forma nav ideāla.

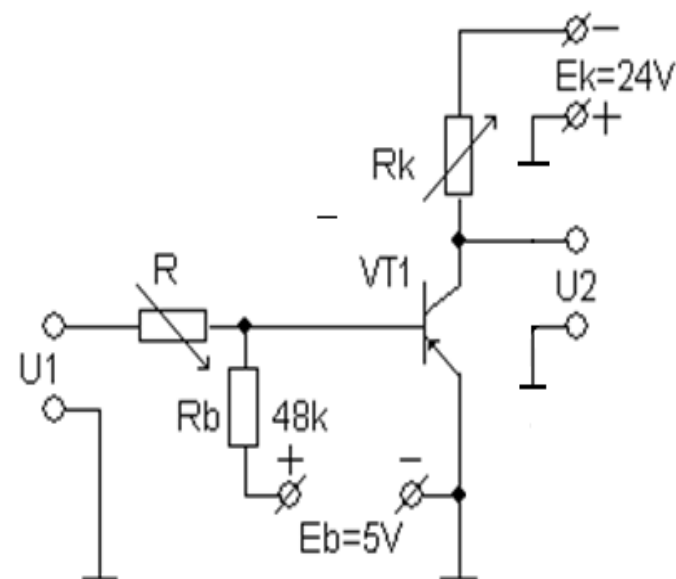
Pārejas procesu īpatnības slēdžiem ar p-n-p tranzistoriem atspoguļotas zemāk.



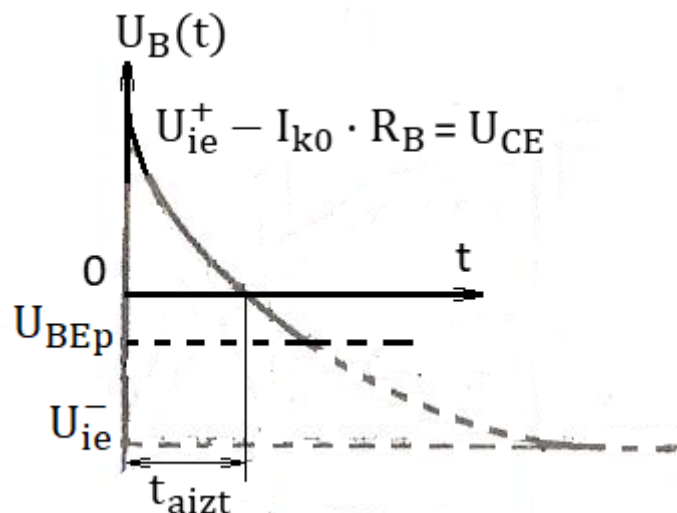
Pārejas procesu diagrammas slēdzī ar p-n-p tranzistoru



Praktiskā slēdža shēma



Pārejas procesu aprēķini slēdzī ar p-n-p tranzistoru



1) Ieslēgšanas aiztures laiks (t_{aizt})

$$U_B(t) = U_{Ce} \approx -U_{ie}^- + (U_{ie}^+ + U_{ie}^-)e^{-\frac{t}{\tau}}$$

pie $t=t_{aizt}$ var pieņemt $U_B(t) \approx 0$, tad

$$0 \approx -U_{ie}^- + (U_{ie}^+ + U_{ie}^-)e^{-\frac{t_{aizt}}{\tau}}$$

$$t_{aizt} \approx \tau \ln \frac{U_{ie}^+ + U_{ie}^-}{U_{ie}^-}, \text{ kur } \tau \approx (C_k + C_e)R_B$$

Secinājumi: lai samazinātu t_{aizt} vajadzētu: palielināt atverošo spriegumu (U_{ie}^-), samazināt sprosta spriegumu (U_{ie}^+), samazināt laika konstanti τ .

2) Kāpuma ilgums (t_{ka})

$$I_k(t) = I_{B1}\beta \left(1 - e^{-\frac{t}{\tau_\beta}}\right), \text{ kur}$$

$\beta = h_{21E}$ – pastiprināšanas koeficients slēgumā ar kopēju emiteru

$\tau_\beta = \frac{1}{2\pi f_\beta}$ tranzistora laika konstante, f_β – pastiprināšanas koeficienta robežfrekvence

Pie $t=t_{ka}$ $i_k(t_{ka}) = I_{B1}\beta(1 - e^{-\frac{t_{ka}}{\tau_\beta}}) = I_{kp} \approx \frac{E_k}{R_k}$ Tā kā $I_{kp} = I_{Bp}\beta \approx \frac{E_k}{R_k}$

Dabūsim $I_{Bp}\beta = I_{B1}\beta(1 - e^{-\frac{t_{ka}}{\tau_\beta}})$, vai $e^{-\frac{t_{ka}}{\tau_\beta}} = \frac{I_{B1}\beta - I_{Bp}\beta}{I_{B1}\beta}$. No šejienes

$$t_{ka} = \tau_\beta \ln \frac{I_{B1}}{I_{B1} - I_{Bp}}$$

$$t_{ka} = (\tau_\beta + \beta C_k R_k) \ln \frac{I_{B1}}{I_{B1} - I_{Bp}}$$

Kad formējas, kāpums tranzistors darbojas aktīvajā režīmā un sāk darboties negatīvā atgriezeniskā saite no kolektora uz bāzi caur C_k . Tas palielina kāpuma ilgumu. Šo efektu atspoguļo aizvietojo τ_β ar $\tau_{\beta ekv.} = (\tau_\beta + \beta C_k R_k)$.

Secinājumi. Lai samazinātu t_{ka} vajadzētu:

- 1) Izmantot tranzistorus ar lielāku robežfrekvenci f (ar mazāku τ_β un C_k)
- 2) Palielināt atverošo ieejas strāvu $I_{B1} \approx \frac{U_{ie}}{R_B}$
- 3) Samazināt vajadzīgo $I_{Bp} = \frac{E_k}{R_k \beta}$ ko varētu sasniegt palielinot β vai R_k un samazinot (I_n) ,
bet, tā kā vienlaicīgi pieaug $\tau_{\beta ekv}$ vērtība, ne vienmēr šis paņēmieni ir derīgi.

3) Izsūkšanās posma ilgums (t_{izs})

Laika intervālā $t_3 \div t_4$, slēdža ieejā turpina darboties atverošas polaritātes signāls. Bāzē šajā laikā notiek lādiņnesēju, kuri ienāk no emitera un nevar tikt tālāk uz kolektora ķēdi, daudzuma pieaugums. Šis process uz laika diagrammām ir atspoguļots kā virtuālās kolektora strāvas I_{kv} eksponentes pieaugums līdz $I_{kv} = I_{B1}\beta$. Laika momentā t_4 beidzas atverošais signāls, aizveras bāzes emitera pāreja. Sākas izsūkšanās posma formēšanās, plūst iepriekšējā līmeņa kolektora strāva un parādās negatīvā virzienā plūstoša bāzes strāva I_{B2} . Šis process ir atspoguļots uz laika diagrammām posmā $t_4 \div t_5$ un aprakstīts ar vienādojumu:

$$i_{kv}(t) = -I_{B2}\beta + (I_{B1}\beta + I_{B2}\beta)e^{-\frac{t}{\tau}}, \quad \text{pie } t=t_{izs} \quad i_{kv}(t_{izs}) \cong I_{Bp}\beta$$

$$\text{tad } I_{Bp}\beta = -I_{B2}\beta + (I_{B1}\beta + I_{B2}\beta)e^{-\frac{t_{izs}}{\tau\beta}}$$

$$e^{-\frac{t_{izs}}{\tau\beta}} = \frac{I_{Bp} + I_{B2}}{I_{B1} + I_{B2}}$$

$$t_{izs} = \tau\beta \ln \frac{I_{B1} + I_{B2}}{I_{Bp} + I_{B2}}$$

Secinājumi:

Lai samazinātu t_{izs} vajadzētu samazināt atverošo strāvu I_{B1} , lai nebūtu stipri piesātināts tranzistors. Tas ir pretrunā ar prasībām par t_{ka} samazināšanu.

4) Krituma posma ilgums t_{kr}

Pie $t=t_5$ nesēju daudzums bāzē samazinās līdz vērtībai, kas atbilst robežai starp piesātinājuma un aktīvo režīmiem. Sākas kolektora un bāzes strāvas izmaiņas, pieaug pēc absolūtās vērtības izejas spriegums. Krituma posma ilgumu varam aprēķināt no vienādojuma:

$$i_k(t) = -I_{B2}\beta + (I_{Bp}\beta + I_{B2}\beta)e^{-\frac{t}{\tau_\beta}} \quad \text{pie } t=t_{kr} \quad \text{un} \quad i_k(t_{kr}) \approx 0,$$

dabūsim $\frac{I_{B2}}{I_{Bp}+I_{B2}} = e^{-\frac{t_{kr}}{\tau_\beta}}$, no šejienes $t_{kr} = \tau_\beta \ln \frac{I_{Bp} + I_{B2}}{I_{B2}}$

Šajā posmā tranzistors atkal darbojas aktīvajā režīmā, parādās negatīvā atgriezeniskā saite, kas palielina krituma ilgumu un tāpat kā pie t_{ka} aprēķina mēs aizvietojam $\tau_{\beta kv.} = (\tau_\beta + \beta C_k R_k)$.

Secinājumi: Lai samazinātu t_{kr}

- 1) Jāizmanto tranzistors ar augstāku darba frekvenci, kuram ir mazāki τ_β un C_k
- 2) Padot lielāku aizverošo spriegumu, lai dabūtu lielāku I_{B2}

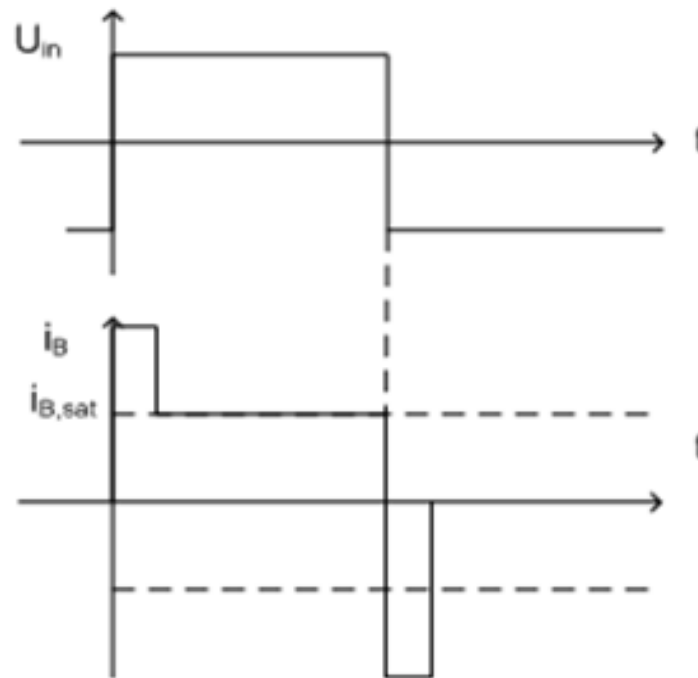
Piezīmes:

- 1) Izmantojot aprēķinos dabūtās formulas, vajag spriegumam un strāvai ņemt absolūtās vērtības. Zīmes ir ņemtas vērā formulas veidojot.
- 2) Pie precīziem aprēķiniem jāņem vērā ka tranzistora laika konstante τ_β katram pārejas posmam ir dažāda.

Shēmas kas uzlabo tranzistora slēdža darbību

Analizējot tranzistora slēdža pārejas procesus var secināt:

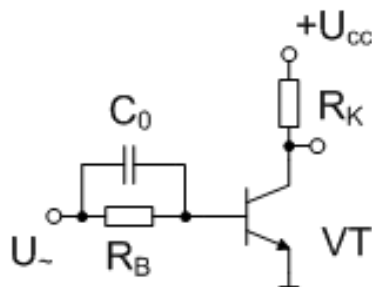
jo lielāks ir strāvas lēciens atverošā impulsa sākumā, jo ātrāk tranzistors sasniegs piesātinājuma stāvokli, bet tad, kad tas ir sasniedzis piesātinājuma robežu, bāzes strāvu ir jānotur $I_{B,sat}$ līmenī, lai bāzē neuzkrātos lieki lādiņnesēji. Beidzoties ieejas impulsam, bāzē ir jānodrošina liela atsūkšanās strāva, lai ātrāk no bāzes tiek atsūksti liekie uzkrātie lādiņi. Tādējādi varam secināt, ka optimālai bāzes strāvas formai atbilst forma, kas attēlota diagrammās.



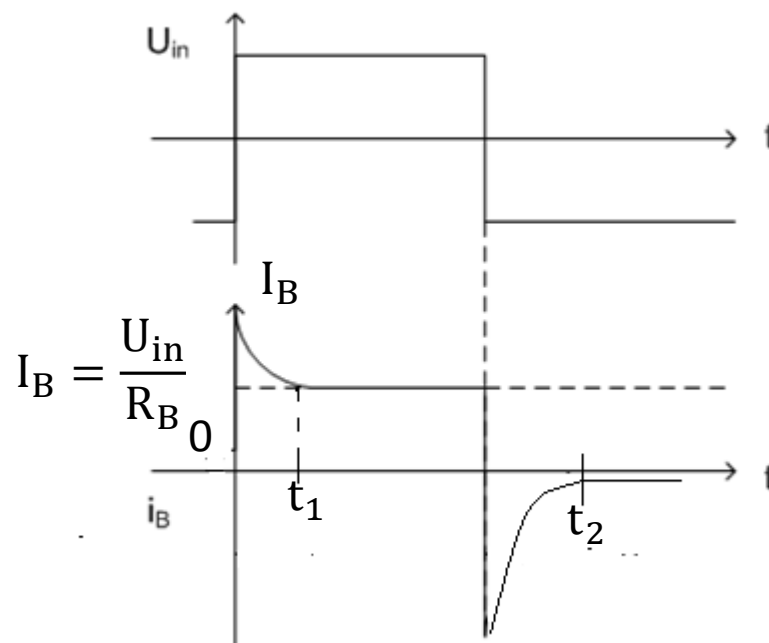
Bāzes strāvas
optimāla forma

Shēmas, kas uzlabo tranzistora slēdža darbību:

1) Korekcijas (paātrinošā) kondensatora slēgums bāzē

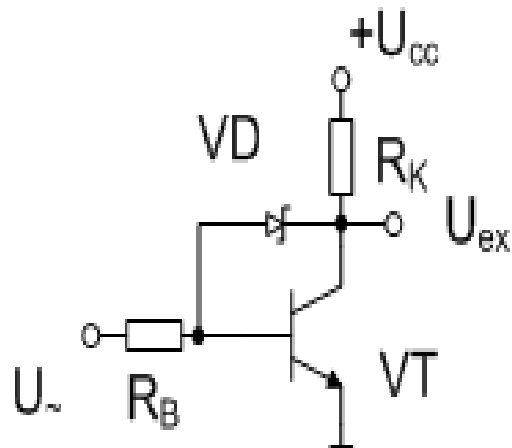


Pievienojot kondensatoru paralēli bāzes rezistoram, panāk bāzes strāvas plūsmas palielināšanu impulsa kāpuma un krituma frontēs, un tādējādi, bāzes strāva aptuveni līdzinās ideālas bāzes strāvas formai. Šāds paņēmieni samazina slēdža pārejas procesa ilgumu. Kondensatora kapacitātes vērtību jāizvēlās no nevienādības

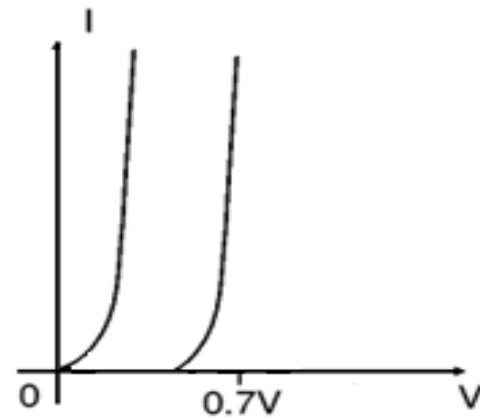
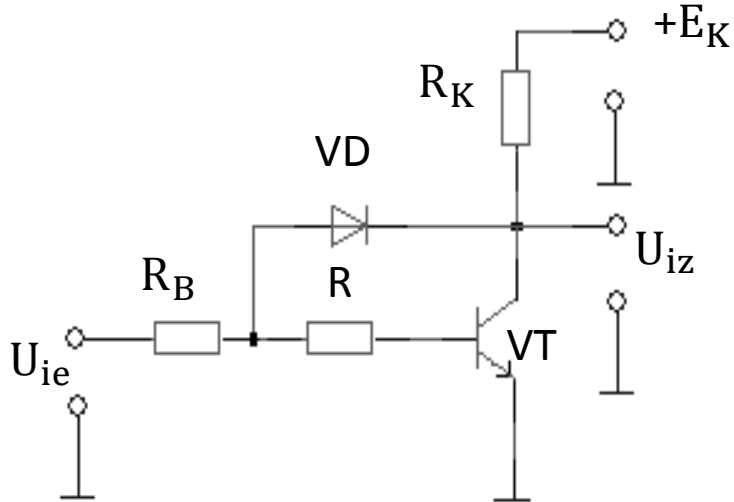


$$t_i > 3C_0 \cdot R_{uz} > t_{ka}$$

2) Shēmas ar Šotkija (Šotki) diodēm



Shēma ar parasto diodi



Parastās un Šotki diožu VA raksturlīknes

Šotkija diode (nosaukta vācu fiziķa Valtera Šotkija vārdā) - pusvadītāju diode ar mazu sprieguma kritumu tiešajā slēgumā (parastajām diodēm 0,6 - 0,7 V; Šotkija diodēm - līdz 0,2 V).

Šotkija diodei viens elektrods ir metāls, bet otrs n tipa pusvadītājs. Elektroni uzlādē metālisko slāni, tādēļ diodē ir mazāks sprieguma kritums, nekā uz parastām diodēm. Tā kā diodei nav elektronu un caurumu rekombinācijas, tā strādā ātrāk par citām diodēm.

Šotkija diode tiek slēgta starp bāzi un kolektoru. Diodes uzdevums ir nepieļaut tranzistora slēdža piesātinājumu, tāpēc šādus tranzistora slēdžus sauc par nepiesātinātiem kopemitera slēdžiem. Pieaugot bāzes spriegumam, tranzistors sāk atvērties, kolektora strāva pieaug, kas savukārt noved pie izejas signāla U_{iz} samazināšanās. Samazinoties izejas spriegumam, pienāk brīdis, kad spriegums uz Šotkija diodes to atver vaļā un tās pretestība strauji samazinās. Šajā momentā bāzes strāva gandrīz pārstāj pieaugt, jo ieejas un kolektora strāvas daļas caur Šotkija diodi noplūst uz ieeju. Tādējādi tranzistora darba punkts tiks noturēts uz piesātinājuma robežas, kas neļauj bāzē uzkrāties liekiem lādiņnesējiem. Ar Šotkija diodēm, tranzistoru ātrdarbību var palielināt 10-tiem un 100-tiem reižu. Modernās ātrdarbīgās shēmās bieži Šotkija diodes jau iebūvē tranzistoru kristālos. Tas ir tehnoloģiski vienkārši, jo kā vienu elektrodu var izmantot izvada metālisko kontaktu.

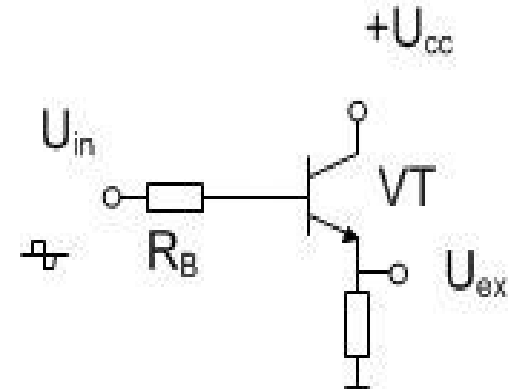
Tranzistoru slēdži

Nepiesātināts kopkolektora slēdzis

Kopkolektora slēdzi praktiskās shēmās parasti grūti piesātināt, darba punkts nonāk tikai augšējā aktīvā raksturlīknes daļā. Kopkolektora shēmā strāvas pastiprinājums ir apmēram tāds pats kā kopemitera slēgumā.

Šai shēmai ir liela ieejas pretestība, tāpēc tranzistors maz noslogo ieejas signāla avotu. Bieži šādu slēgumu sauc par emitera atkārtotāju, jo ieejas un izejas signāli atrodas vienā fāzē un sprieguma pastiprinājums ir tuvs 1.

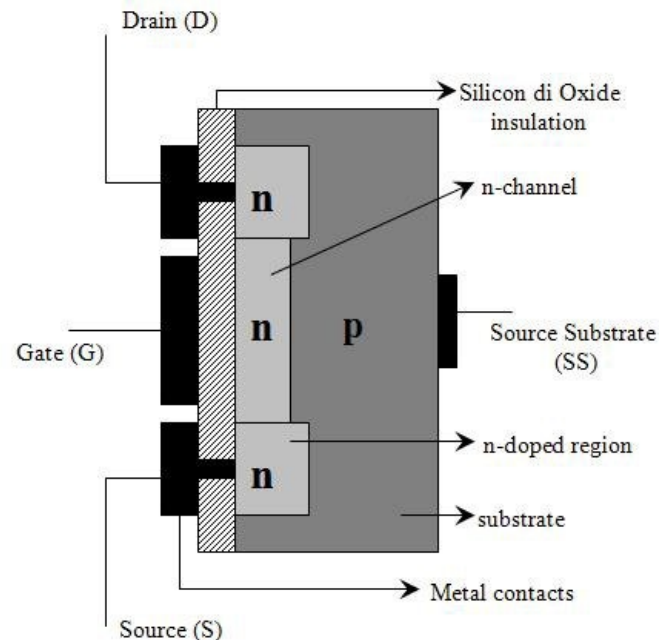
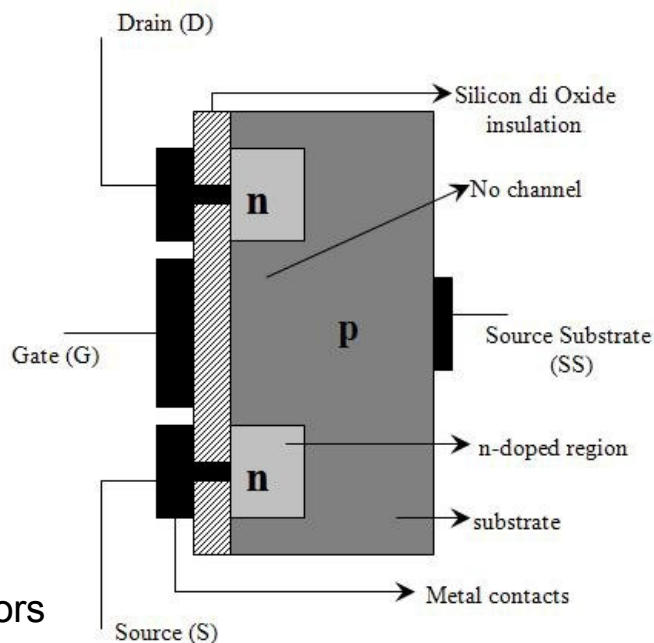
$$U_{in} = U_{RB} + U_{BE} + U_{ex}, \quad U_{in} > U_{ex}$$



Tranzistoru slēdži

MOP tipa tranzistors darbojas kā lādiņu koncentrācijas modulējoša ierīce ar pārejas kapacitātes palīdzību starp pamata bāzes un aizvara elektrodu, kas novietots uz tranzistora ar dielektrika starpniecību, piemēram silīcija dioksīda. Ja tiek izmantots cits dielektriķis, tad tranzistoru sauc par MDP (metāls-dielektriķis-pusvadītājs) tipa tranzistoru, jeb angiski FET (MISFET). Satece un iztece tiek veidoti kā leģēti apgabali ar p vai n vadītspēju, kas atrodas pretējas vadītspējas pamatnē. Mainot aizvara spriegumu, elektrostatiskās indukcijas ietekmē mainās lādiņnesēju koncentrācija kanāla un līdz ar to arī izteces strāva. Piemērā redzam nMOP tranzistoru slēgtā un atvērtā stāvokli, kad ir izveidots kanāls starp abiem n apgabaliem.

Slēgts
nMOP
tranzistors

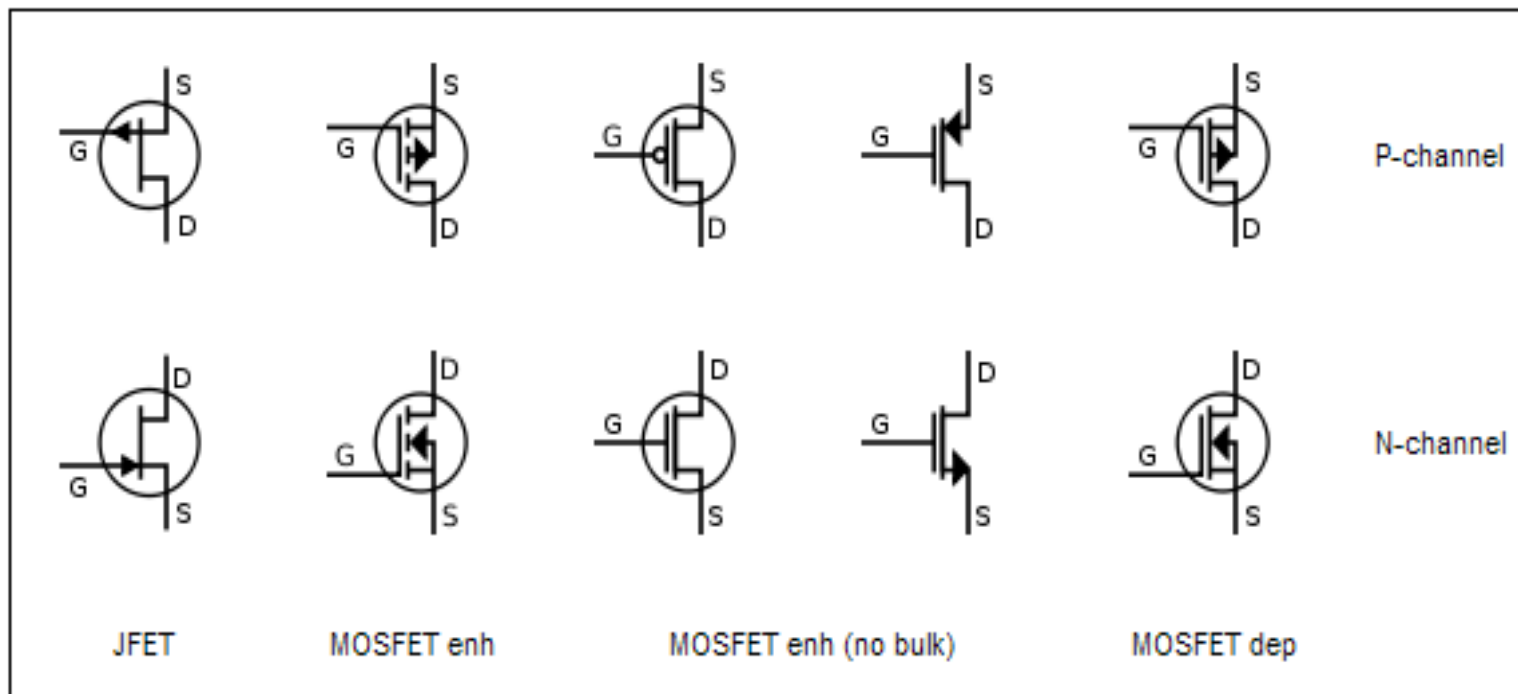


Atvērts
nMOP
tranzistors
ar
izveidotu
kanālu

Tranzistoru slēdži

Unipolārie tranzistori

MOP (metāls-oksīds-pusvadītājs) lauka efekta tranzistori jeb metal–oxide–semiconductor field-effect transistor (MOSFET, MOS-FET, or MOS FET) ir ierīces, kas paredzētas elektronisko signālu pastiprināšanai vai komutācijai. MOP tipa tranzistoros spriegums, ko padod uz izolēta aizvara elektroda, ierosina kanāla vadītspēju starp diviem citiem kontaktiem ko sauc par izteci un noteci. Kanāls var būt p vai n vadītspējas tipa (nMOP, pMOP). Šobrīd MOP tipa tranzistori dominē gan analogajās gan ciparu shēmas. Šiem tranzistoriem raksturīga ļoti liela ieejas pretestība un izteikta ieejas kapacitāte.

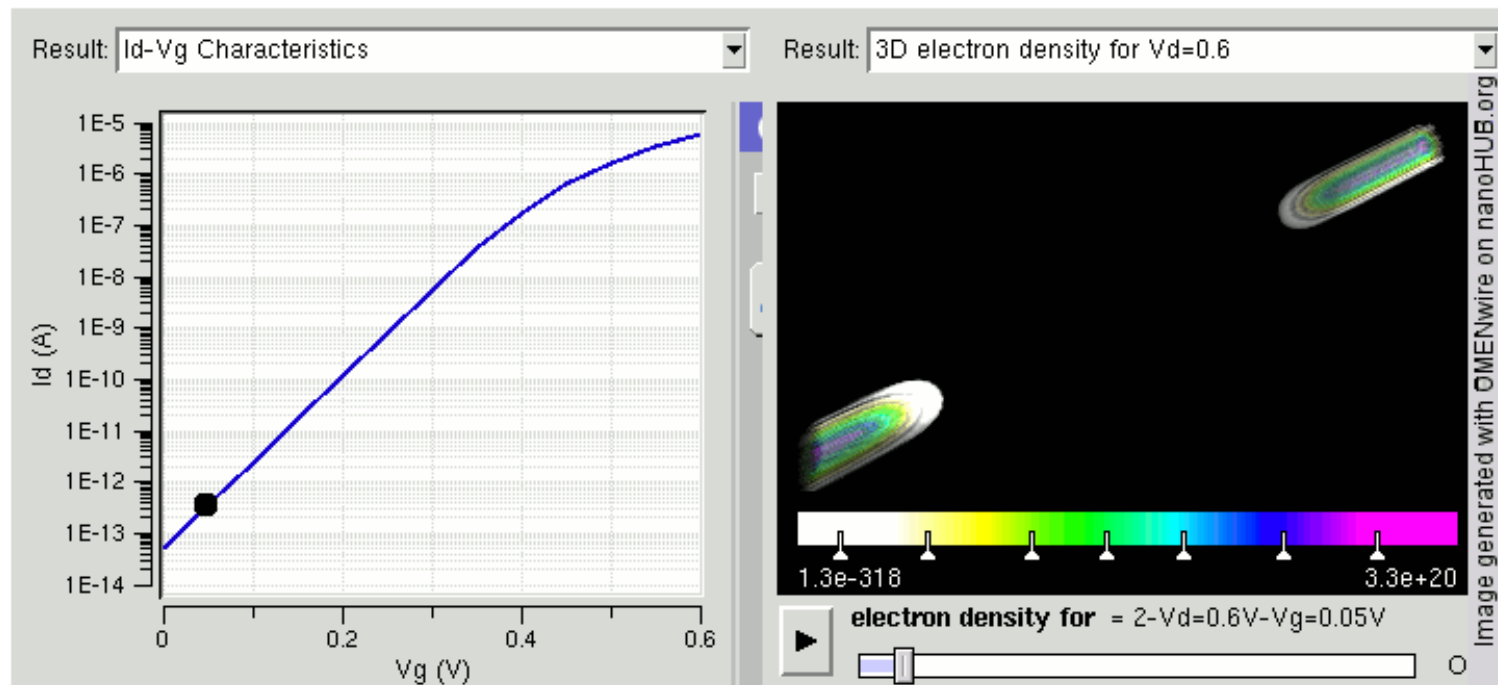


Dažādi MOP tipa tranzistoru apzīmējumi, G- aizvars (Gate), S- iztece (Source), D- notece (Drain); parasti gan ir vēl ceturtais izvads no pamatnes.

Tranzistoru slēdži

1. ATTĒLS

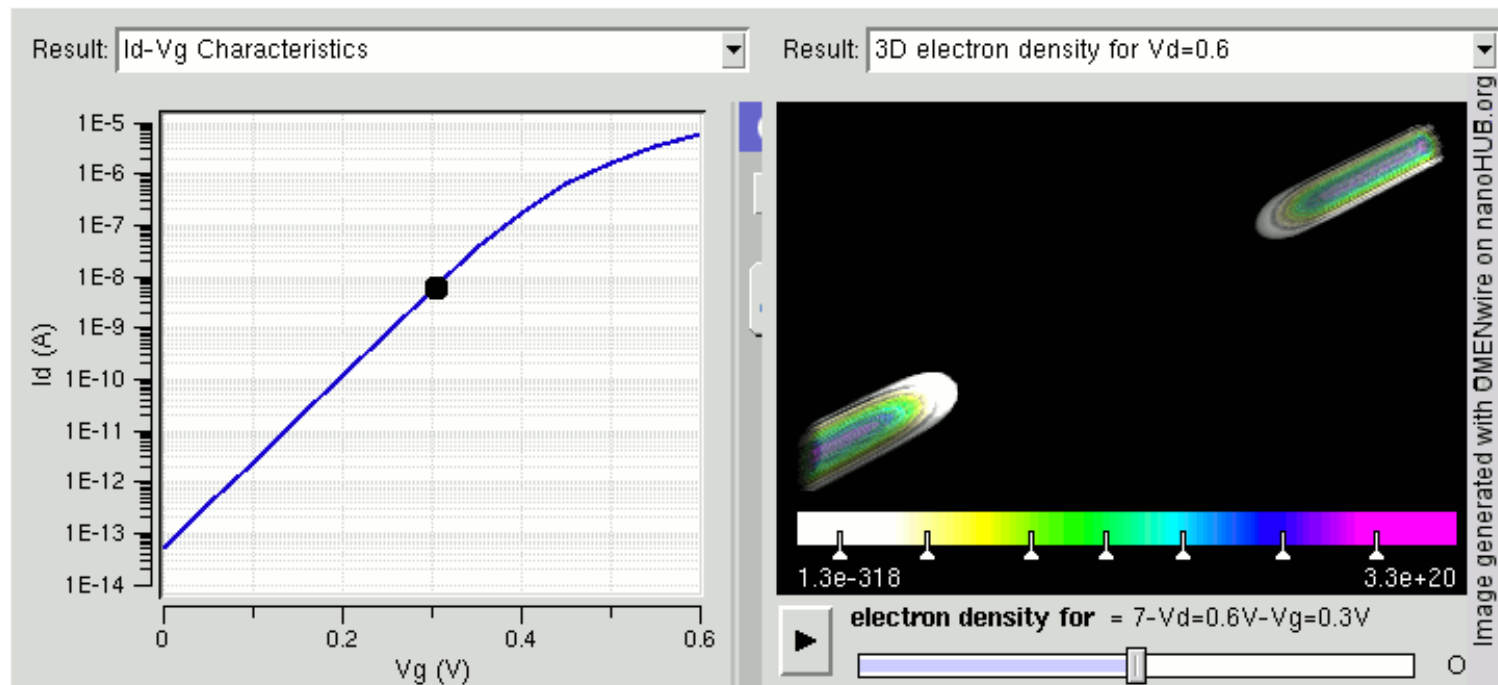
Simulācijas rezultāts nMOP tipa tranzistora elektronu kanāla formēšanā. Attēlā redzam, ka pie neliela aizvara sprieguma, kanāls vēl nav noformējies, $V_g=0,05V$.



Tranzistoru slēdži

2. ATTĒLS

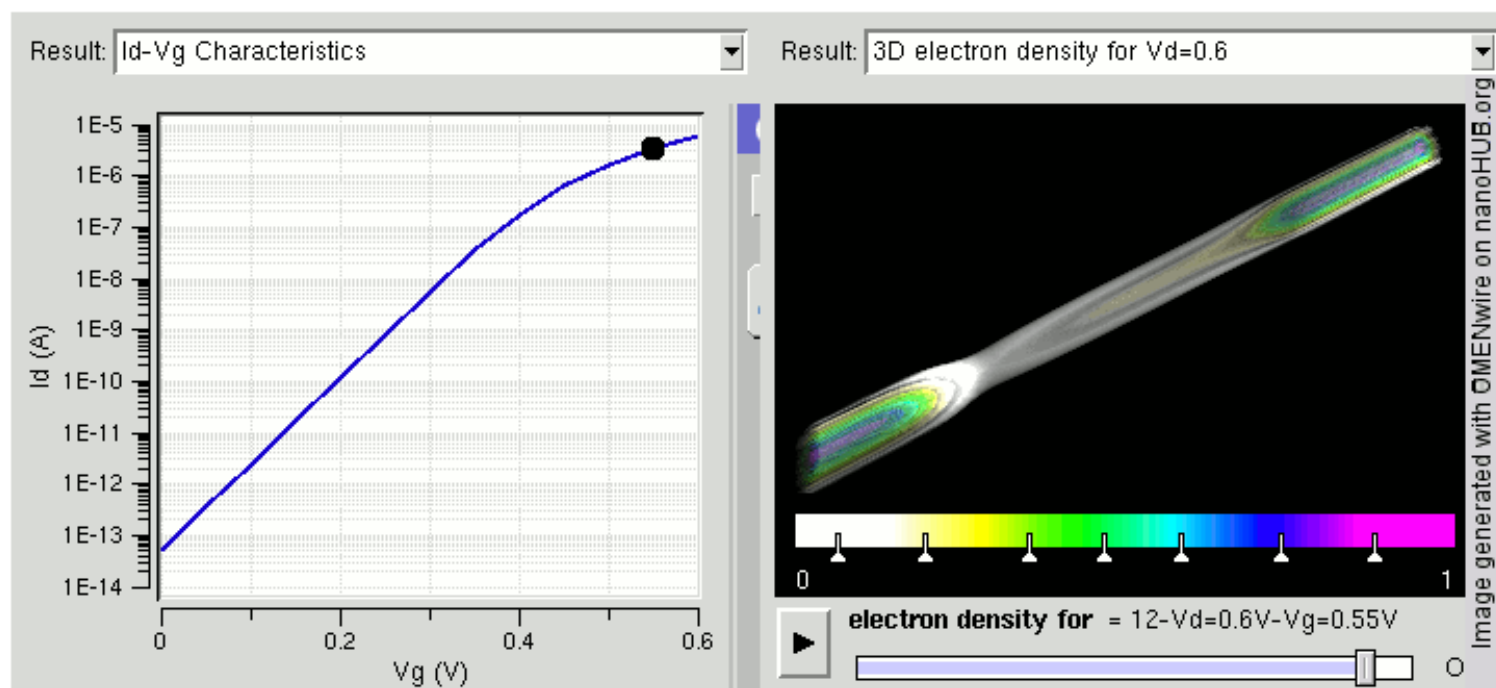
Simulācijas rezultāts nMOP tipa tranzistora elektronu kanāla formēšanā. Attēlā redzam, ka kanāls vēl nav līdz galam noformējies un aizvara spriegums ir apmēram 0,3V.



Tranzistoru slēdži

3. ATTĒLS

Simulācijas rezultāts nMOP tipa tranzistora elektronu kanāla formēšanā. Attēlā redzam, ka kanāls ir gandrīz noformējies un aizvara spriegums ir apmēram 0,55V.



Tranzistoru slēdži

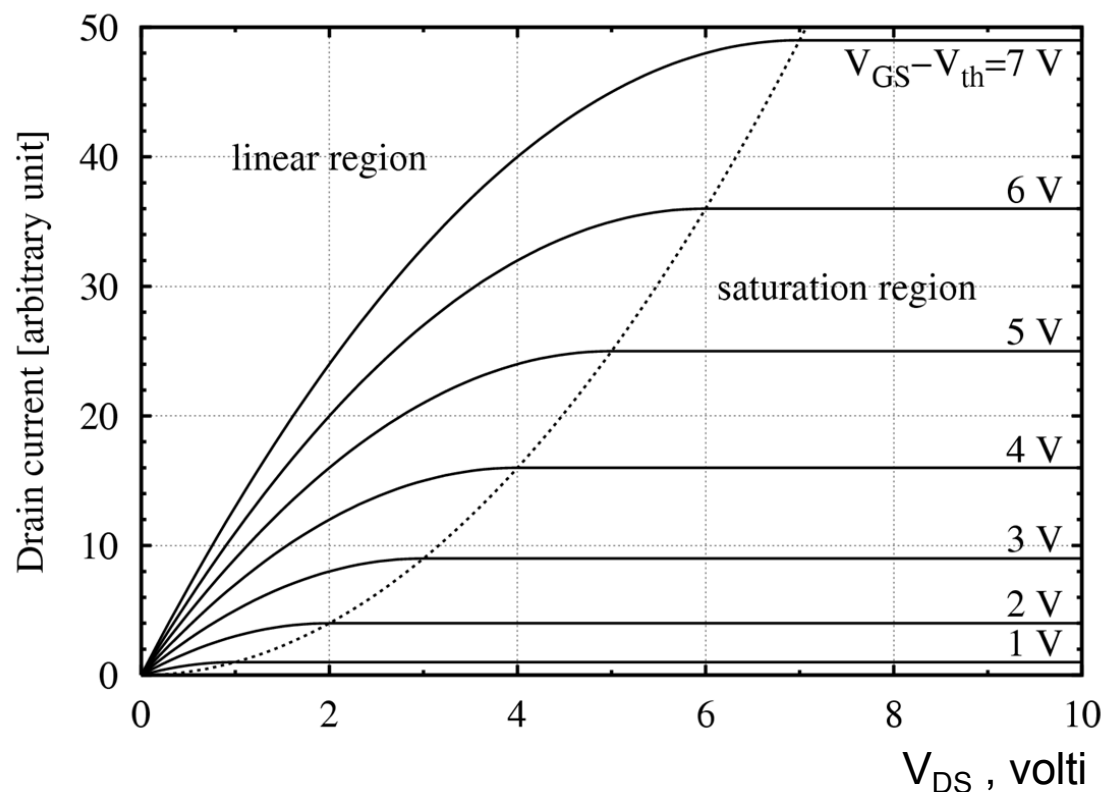
Grafikā redzam MOP tipa tranzistora noteces strāvas atkarību no izteces-noteces sprieguma lieluma, pie dažādām vērtībām $V_{GS} - V_{th}$; robeža starp lineāro un piesātinājuma režīmu ir apzīmēta kā augoša parabola.

Nogriešanas režīms jeb slēgts

tranzistors ir pie $V_{GS} < V_{th}$: kur V_{th} ir nostrādes sliekšņa spriegums

Triodes režīms jeb lineārais režīms (arī saukts par omisko režīmu), kad $V_{GS} > V_{th}$ un $V_{DS} < (V_{GS} - V_{th})$

Piesātinājuma jeb aktīvais režīms, kad $V_{GS} > V_{th}$ and $V_{DS} > (V_{GS} - V_{th})$



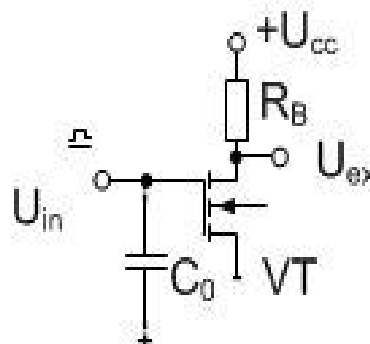
Tranzistoru slēdži

Slēdzis ar rezistīvo slodzi.

Īpašības:

Milzīga ieejas pretestība ($10^{15} \div 10^{18} \text{ Om}$)

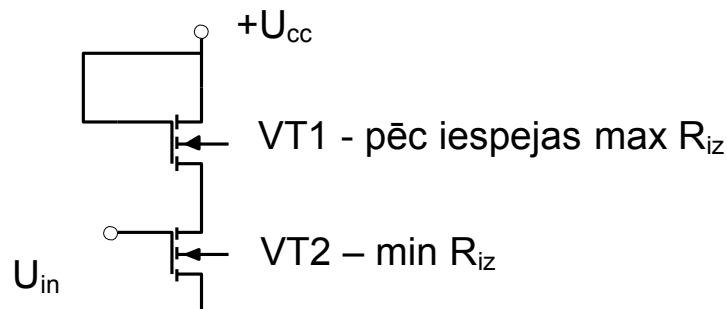
Izteikta ieejas kapacitāte



Slēdzis ar nelineāru slodzi.

Mikro-shēmtehnikā rezistorus izmantot ir neracionāli, tāpēc rezistoru vietā bieži izmanto tranzistorus. Tas iekonomē gan vietu, gan naudu.

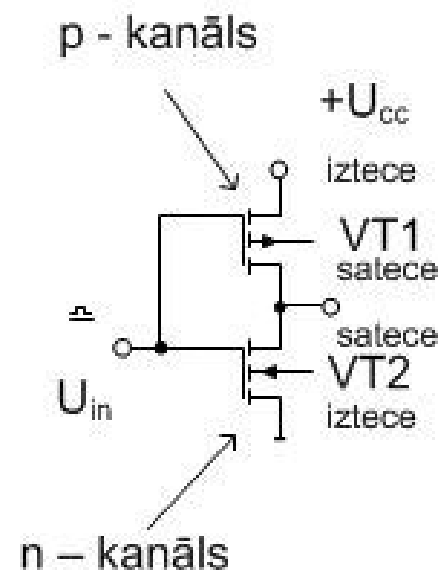
Slodze ir nMOP tranzistors atvērtā stāvoklī $VT1$. Slēdzis būvēts uz $VT2$ nMOP tranzistora.



Tranzistoru slēdži

MOP slēdzis ar kvazilineāru slodzi.

Izmanto divus pretējas vadāmības MOP tranzistorus n un p tipa. Aizvars šiem slēdžiem novietots kanāla vidū. Abu tranzistoru nostrādes spriegums ir lielāks par pusi no barošanas sprieguma. Vienmēr viens tranzistors ir atvērts, bet otrs slēgts. Kad ieejas spriegums ir liels jeb tuvs U_{cc} , PMOS tranzistors ir slēgts un noteces-sateces pretestība ir liela, kamēr NMOS tranzistors ir atvērts un tāpēc izeja tiek gandrīz sazemēta, jeb izejā būs ļoti neliels spriegums. Īsāk sakot, PMOS and NMOS tranzistori strādā kā komplementārs pāris un shēma realizē loģisko NE funkciju, proti, kad ieejas līmenis ir augsts, izejā ir zems sprieguma līmenis un, kad ieejas līmenis ir zems, izejā būs augsts sprieguma līmenis.

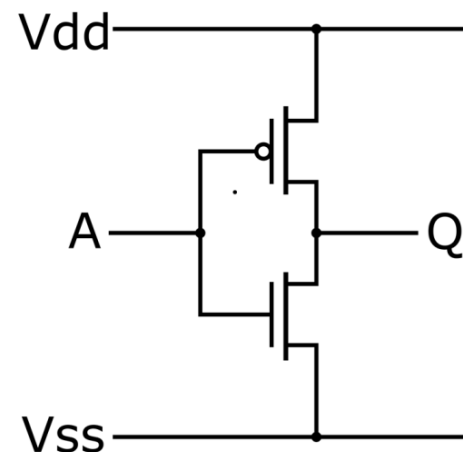


Tranzistoru slēdži

KMOP jeb angl. CMOS shēmas

Ciparu KMOP shēmās kā uzbūves elementus izmanto lauka tranzistorus ar abiem kanāliem.

Integrālo shēmu galvenā problēma ir pārkaršana, jo arvien lielāks tranzistoru skaits tiek izvietots arvien mazākos laukumos. KMOP loģika patērē maz jaudas, jo ideālā gadījumā, shēma patērē elektrību tikai tad, kad notiek pārslēgšanās no viena loģiskā stāvokļa otrā. To panāk ar NMOP un PMOP tranzistoru slēgumu viens otram slodzē, tāpēc pie zema vai augsta signāla līmeņa ieejā, viens tranzistors vienmēr būs vaļā, bet otrs slēgts. Pārslēgšanās procesā abi tranzistori vadīs strāvu ļoti īsu brīdi, tāpēc arī shēma patērē elektrību tikai paslēgšanas brīžos, kas kopumā dod ļoti lielu jaudas ekonomiju salīdzinot ar bipolāro tranzistoru slēdžiem. Tomēr jāsaprot, ka pie lielām frekvencēm KMOP struktūru jaudas patēriņš tuvojās bipolāro shēmu jaudas patēriņam un shēmas tāpat silst.



A- ieeja, Q-izeja

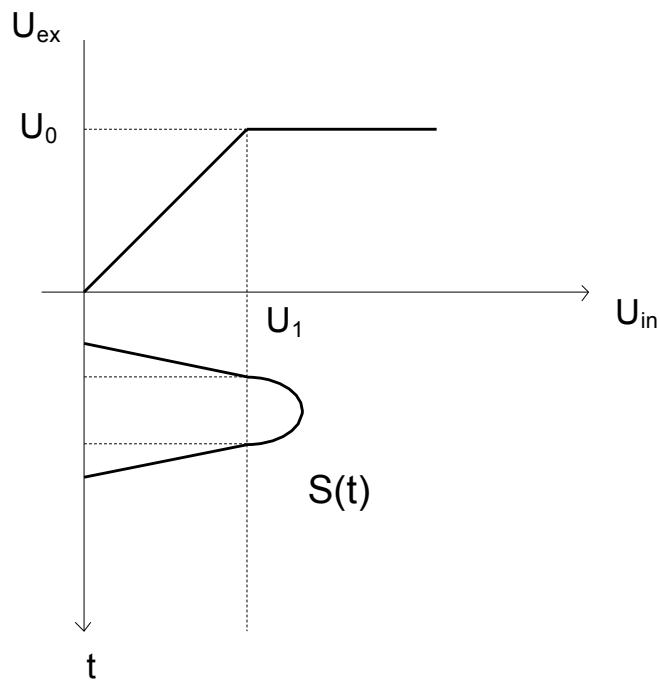
V_{dd} barošanas spriegums,

V_{ss} -zemējums

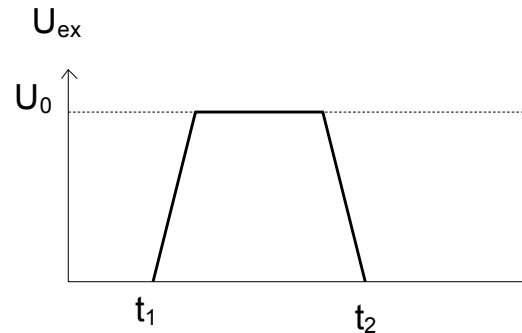
Ierobežotāji

Ierobežotājs ir nelineārs četrpols, kura izejā spriegums mainās pēc sekojoša algoritma:

- 1) Ja $U_{in} \geq U_1$ (zināma vērt.) $\rightarrow U_{ex} = U_0 = \text{const}$
- 2) Ja $U_{in} \leq U_1 \rightarrow U_{ex} \sim U_{in}$

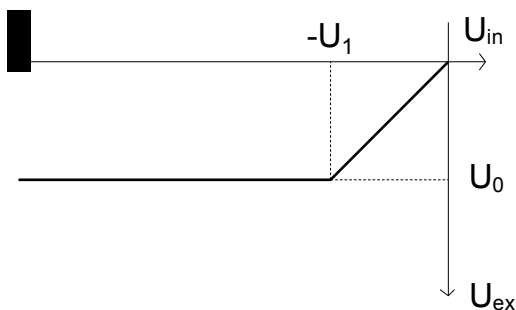


Ierobežotāja raksturlīkne
 $S(t)$ ierobežots no augšas (ierobežotājs no augšas)
Spriegumu U_1 sauc par ierobežošanas sliekšni
 U_0 ir ierobežošanas līmenis

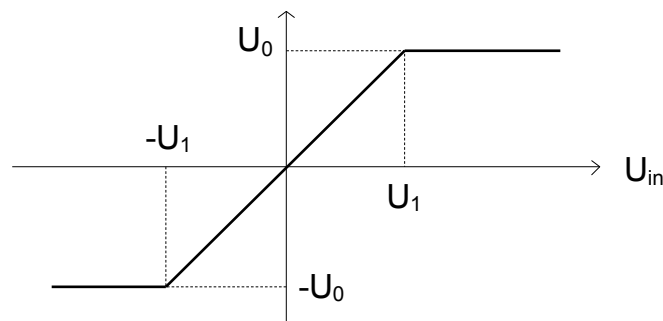


Ierobežotāji

Ierobežotājs no apakšas



Abpusējs ierobežotājs (divpusējs)



Kas nosaka proporcionalitātes koeficientu, kad sliekšnis netiek pārsniegts? To nosaka raksturlīknes slīpums. Jo stāvāka lineārā daļa, jo lielāks pastiprināšanas koeficients

Ierobežotāju galvenie parametri:

- 1) ierobežošanas virziens
- 2) kāda ir lineārā daļa
- 3) lauzuma punkta stabilitāte laikā

Divpusējai raksturlīknei nav obligāti jāiet caur nulles punktu.

Ierobežotājus būvē gan diožu, gan bipolāro tranzistoru bāzē.

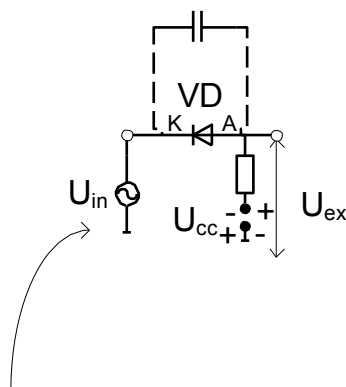
Ierobežotāji

Diožu ierobežotāji.

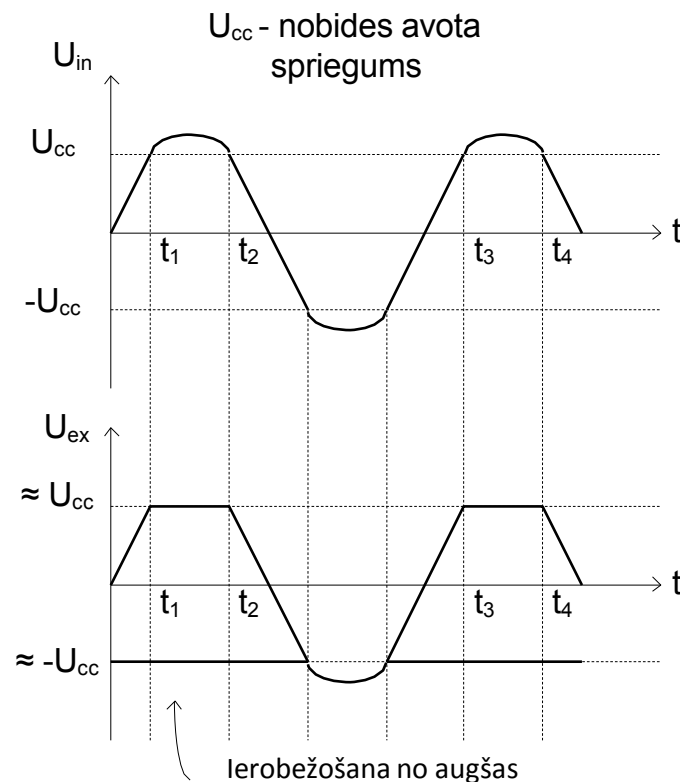
Izšķir divu tipu diožu ierobežotājus: virknes slēguma un paralēlā slēguma

Virtnes slēguma
ierobežotājs no
augšas.

Polaritātes apgrīšana
otrādi, nozīmē, ka
nogriešana pārvietojas
uz leju.

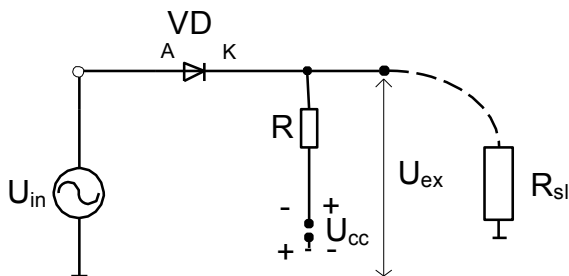


- 1) idealizēts sprieguma avota ģenerators;
- 2) nav slodzes pretestības;
- 3) lai vienkāršotu darbības principa apskatu, diode ir idealizēta.

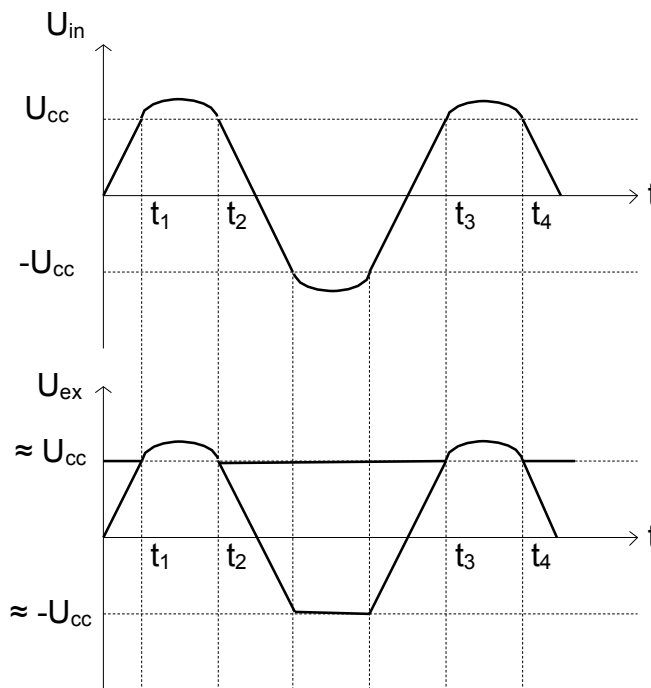


Ierobežotāji

Virtnes slēguma ierobežotājs no apakšas.



Pretestīb
a
 $R_s \gg R$



Rezistora R vērtību
izvēlās stipri lielāku par
diodes vadāmības
pretestību.

$$R_{d,spr} \gg R \gg R_{d,v}$$

$R_{d,spr}$ diodes sprost
pretestība

$R_{d,v}$ diodes vadāmības
pretestība

Trūkums: sliktāk strādā
pie augstām frekvencēm.

Ja ņemtu vērā ģenerators
iekšējo un diodes
pretestību, tad griešana
nenotiktu tieši U_{cc} vērtībā,
tā būtu nedaudz nobīdīta.

Ierobežotāji

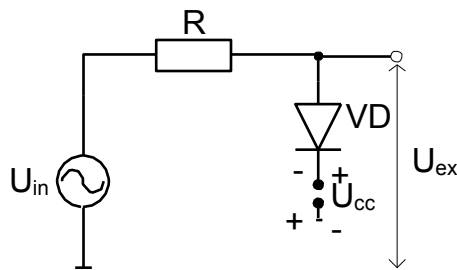
Otrs shematiskais risinājums jeb paralēlie diodes ierobežotāji.

Diode un rezistors šādos ierobežotājos, savstarpēji tiek apmainīti vietām.

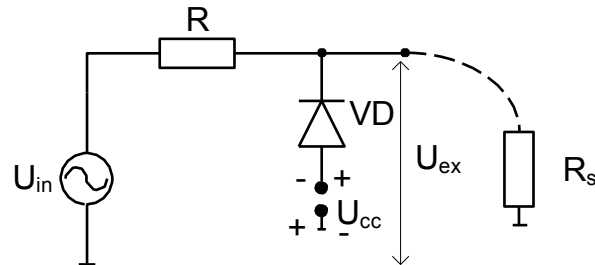
Atšķirība starp virknes un paralēlo diodes ierobežotāju ir:

Virknes ierobežošana notiek diodei esot sprostā virzienā;

Paralēlā ierobežošana notiek diodei esot vaļējā stāvoklī.



Paralēlā slēguma
ierobežotājs no augšas.

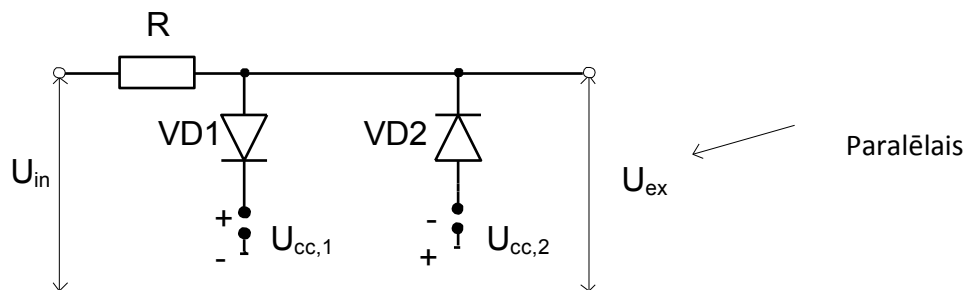
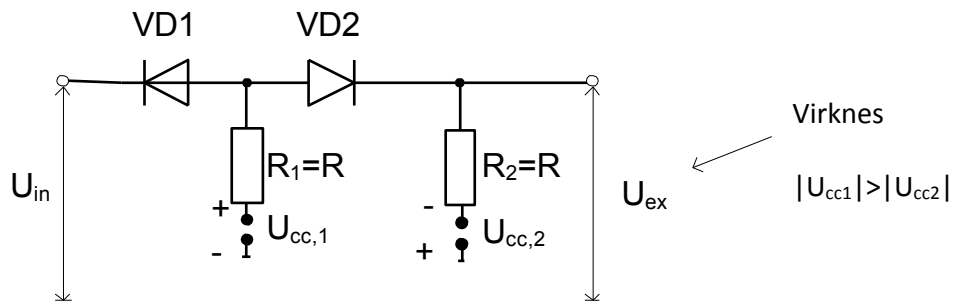


Paralēlā slēguma
ierobežotājs no apakšas.

Ierobežotāji

Divpusējie ierobežotāji.

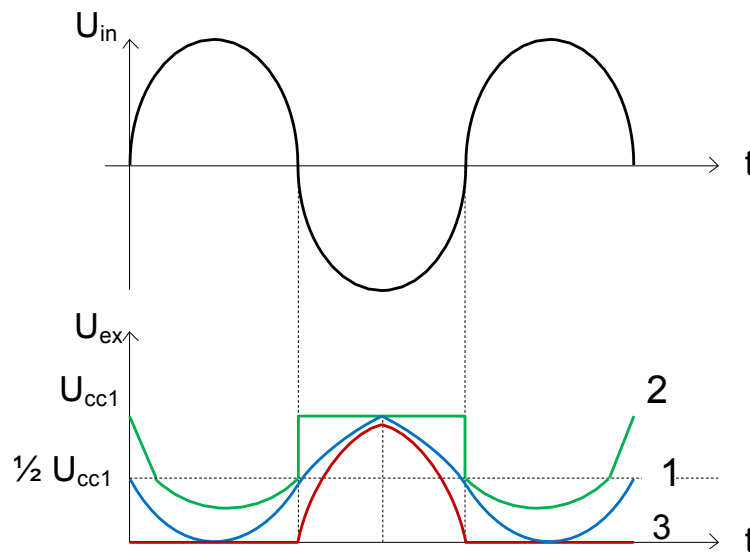
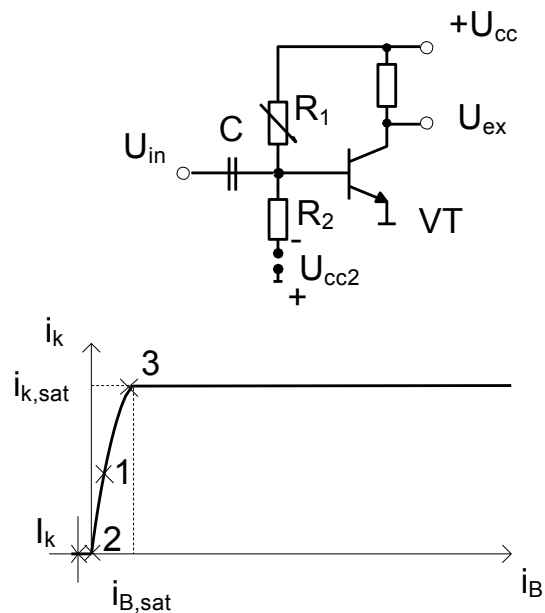
Divpusēju ierobežotāju var izveidot ņemot vienu ierobežotāju no augšas un galā pieslēdzot ierobežotāju no apakšas.



Ierobežotāji

Tranzistoru ierobežotāji.

Visbiežāk izmantotais ir kopemitera slēguma universāls ierobežotājs, kas dod iespēju mainīt ierobežošanas virzienu un līmeni. Mainot R_1 mēs varam sākuma punktu iestādīt, kur vēlamies. Izvietojot noteiktā vietā darba punktu var iegūt jebkuru rezultātu 1, 2, vai 3.



Loģisko elementu vispārējie parametri

Pastāv daudz elektronisku struktūru, uz kuru bāzes tiek būvēti loģiskie elementi un shēmas. Tāpēc ir nepieciešamība tos aprakstīt ar kopējiem lielumiem.

Digitālo shēmu klases pamatā iedala pēc to uzbūves tehnoloģijām. Agrāk eksistēja vesela virkne digitālo shēmu klases, kaut gan šodien visplašāk tiek lietota tieši KMOP klase.

- DL : Diožu Loģika (Diode Logic)
- RTL : Rezistoru Tranzistoru Loģika (Resistor Transistor Logic)
- DTL : Diožu Tranzistoru Loģika (Diode Transistor Logic)
- HTL : Augsta Sliekšņa Loģika (High threshold Logic)
- TTL : Tranzistoru Tranzistoru Loģika (Transistor Transistor Logic)
- I²L : Divkāršas Injekcijas Loģika (Integrated Injection Logic)
- ECL : Emitera Saites Loģika (Emitter coupled logic)
- MOS : MOP Loģika (Metal Oxide Semiconductor Logic), PMOS un NMOS
- CMOS : KMOP Loģika (Complementary Metal Oxide Semiconductor Logic)
- CLIP : Capacitance Complementary Logic Input Parallel jeb CLIP loģika ietver lauktranzistora vadības pakāpi, KMOP invertorus un vismaz vienu FET tranzistoru.

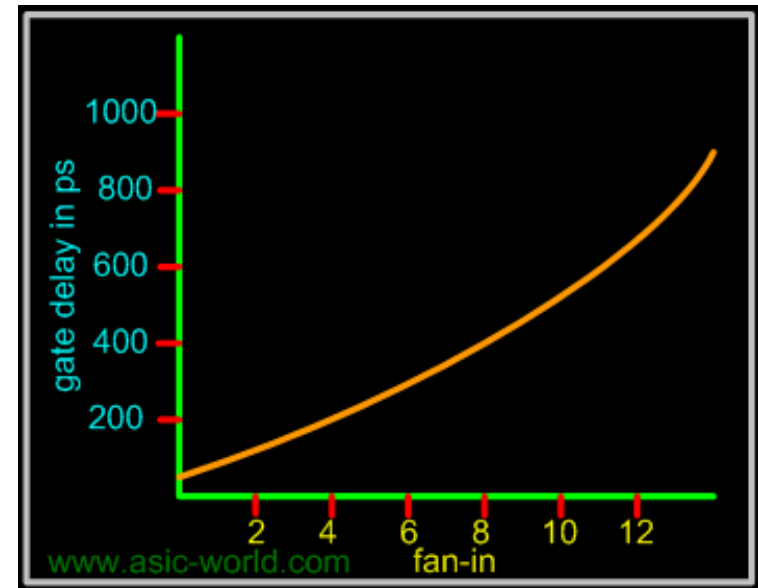
Loģisko elementu vispārējie parametri

Pirms aplūkot dažādu loģisko shēmu uzbūvi, jānoskaidro daži principi. Tiem, kas nākotnē būs elektroniskās shēmas, piemēram ASIC application-specific integrated circuit vai elektronisko spiesto plašu dizaineri, šie principi ir labi jāzina un jāsaprot.

- Loģiskā elementa ieeju (apvienojuma) koeficients (Fan-in)
- Loģiskā elementa izeju (sazarojuma) koeficients (Fan-out)
- Loģiskā elementa aizture (Gate vai Propagation Delay)
- Vadu jeb transporta aizture (Wire Delay)
- Signālu nobīde (Skew)
- Loģiskie sprieguma un strāvu līmeņi (Voltage and Current Levels)
- Traucējumu noturība (Noise Margin)
- Impulsa kāpuma un krituma laiki (Rise and Fall time)
- Jaudas patēriņš (Power Dissipation)

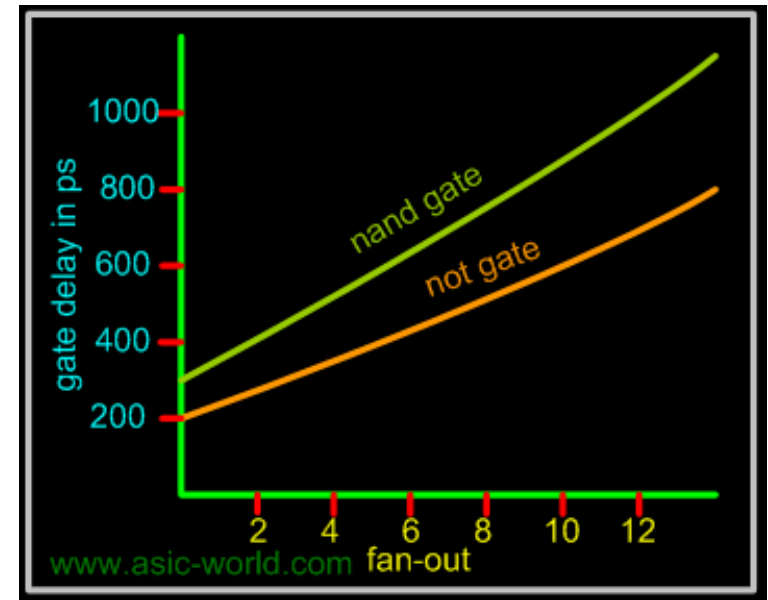
Loģisko elementu vispārējie parametri

Loģiskā elementa ieeju (apvienojuma) koeficients (Fan-in) ir vesels skaitlis, kas norāda cik ieeju ir dotajam elementam. Piemēram divu ieeju UN elementam šis koeficients ir 2, savukārt trīs ieeju UN-NE shēmai šis skaitlis ir 3. NE elementam šis koeficients ir 1. Grafiks parāda kā mainās loģiskā elementa aiztures laiks atkarībā no ieeju koeficienta KMOP elementam. Atkarība ir tuva kvadrātiskai.



Loģisko elementu vispārējie parametri

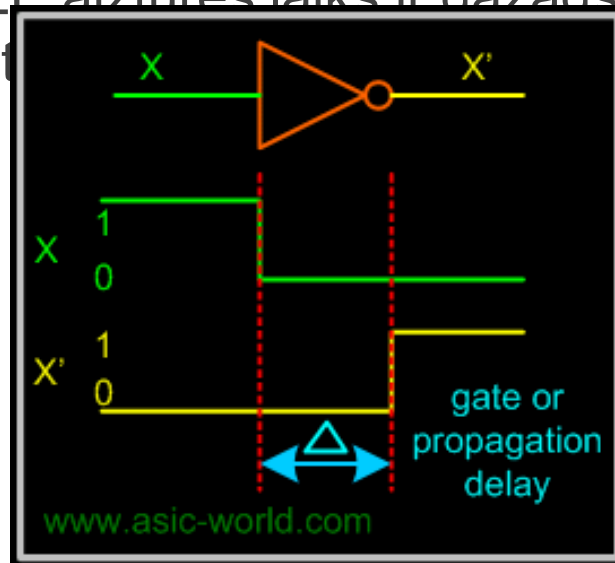
Loģiskā elementa izeju (sazarojuma) koeficients (Fan-out) ir vesels skaitlis, kas parāda cik loģisko elementu ieejas drīkst pieslēgt dotā loģiskā elementa izejai. Šis skaitlis ir atkarīgs no tā, cik lielu strāvu spēj ģenerēt dotais elements, lai vadītu pieslēgtās ieejas. Tajā pašā laikā izejā ir jānodrošina vajadzīgie loģisko elementu sprieguma līmeņi un citi parametri: proti, lai LOW līmenī VO_L būtu zemāks par VO_{Lmax} , lai HIGH stāvoklī VO_H būtu augstāks par VO_{Hmin} , lai elements nepārkarstu, lai signālu kāpuma un krituma laiki būtu normas robežās, lai signālu aiztures laiks nepieaugtu virs pieļaujamā līmeņa.



Loģisko elementu vispārējie parametri

Loģiskā elementa aizture (Gate vai Propagation Delay)

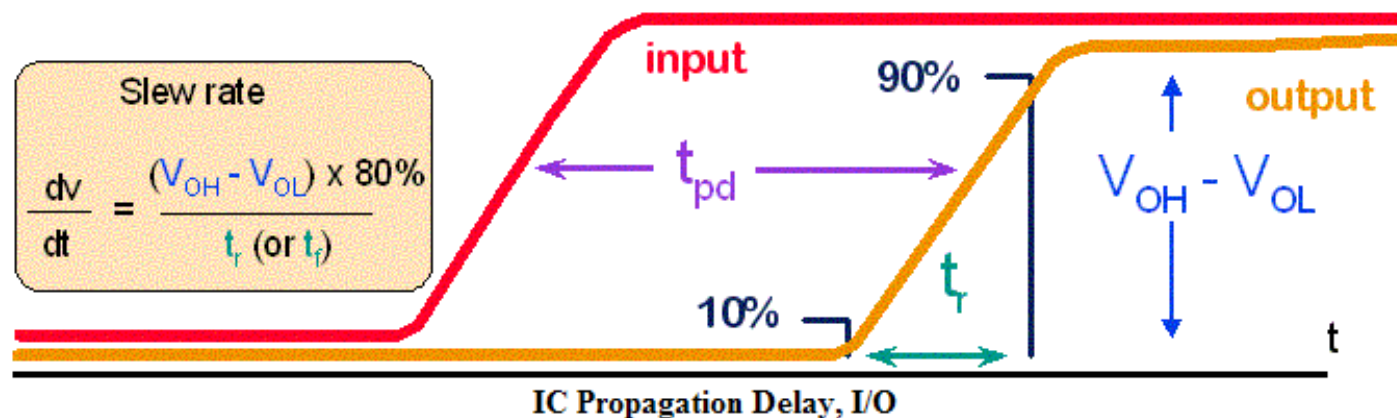
Tas ir laiks, kas paiet kamēr signāls no LE ieejas nonāk tā izejā. Zīmējumā redzam vienkāršotu NE elementa laika aizturi, kur redzams, ka reakcija uz ieejas signālu notiek tikai pēc “delta” aiztures laika. LE aiztures laiks ir dažāds, piemēram pārejot no 0 uz 1, vai pārejot



Loģisko elementu vispārējie parametri

Loģiskā elementa aizture (Gate vai Propagation Delay)

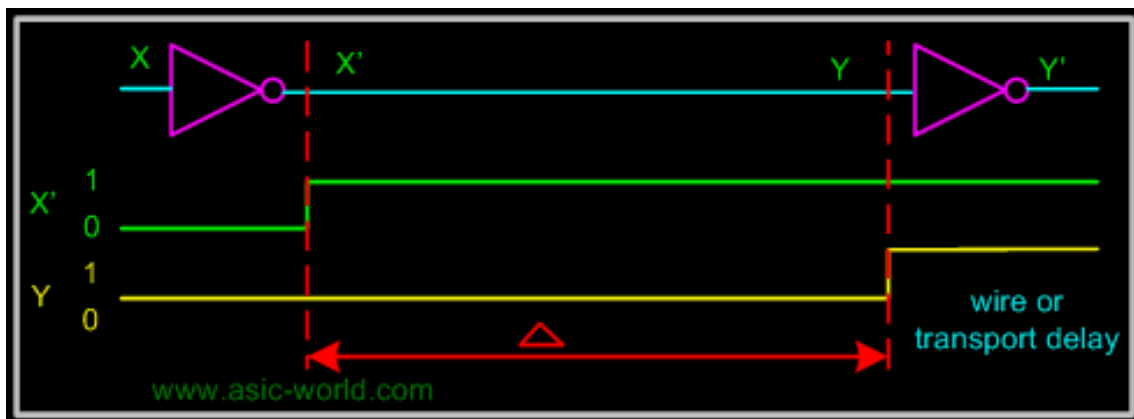
Cits loģiskā elementa aiztures traktējums un aprēķins. Signāla izplatīšanās laika aizturi mēra kā t_{pd} . Tas ir laiks, kas vajadzīgs, lai signāls no ieejas nonāktu loģiskās shēmas izejā. Parasti šo parametru mēra signālu kāpuma un krituma viduspunktos. Reālos apstākļos parametrs t_{pd} ir atkarīgs no daudziem apstākļiem, piemēram barošanas spriegums, temperatūra, slodzes kapacitāte, cik daudz izejas vienlaicīgi strādā dotajā brīdī, u.c.



Loģisko elementu vispārējie parametri

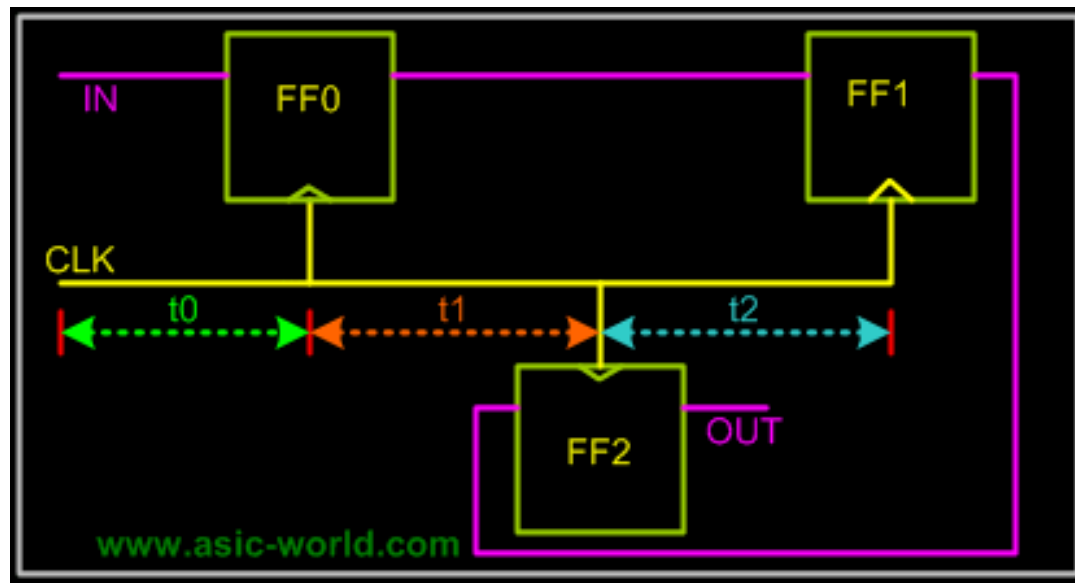
Vadu jeb transporta aizture (Wire Delay)

Arī savienojošie vadi starp elementiem veic signālu aizturi. It jo sevišķi svarīgi tas ir pie augstām frekvencēm, jeb tad, kad tranzistoru lielumi mērāmi mikronu daļās. Dažreiz šo laiku sauc par signāla lidojuma laiku no punkta A uz punktu B.



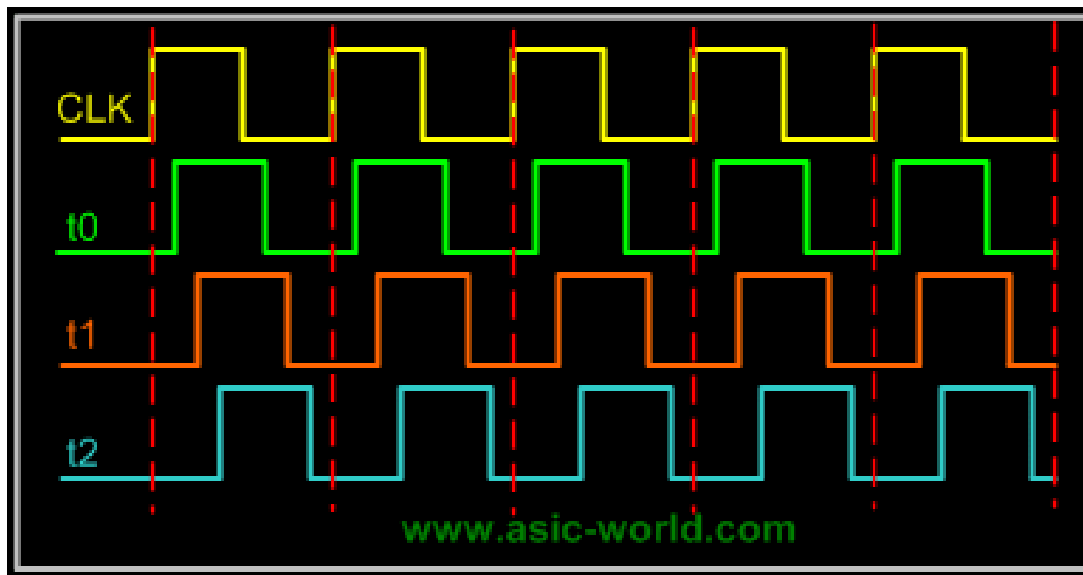
Loģisko elementu vispārējie parametri

Signālu nobīde (Skew) ir viena un tā paša signāla, piemēram, takts impulsu jeb clock signāla, ierašanās dažādās elektriskās shēmas vietās ar dažādām laika aizturēm. Zīmējumā, takts signāls CLK nonāk triggerī FF0 pēc laika intervāla t_0 , savukārt triggerī FF1 pēc laika intervāliem t_0 , t_1 un t_2 . Parasti šīs aiztures ir mērāmas nanosekundēs.



Loģisko elementu vispārējie parametri

Zīmējumā redzams, kā izskatās takts signāls CLK dažādās shēmas vietās attiecīgi pēc laika intervāliem t_0 , t_1 un t_2 .



Loģisko elementu vispārējie parametri

Loģiskie sprieguma līmeņi (Voltage Levels)

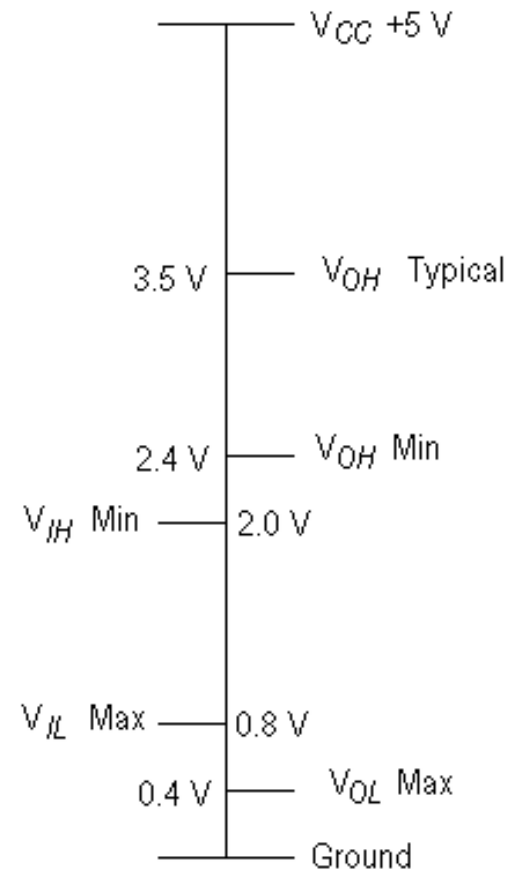
Loģiskie līmeņi raksturo shēmas spriegumus pie augsta HIGH un zema LOW signāla līmeņa jeb 1 un 0.

VO_{Hmin} : minimālais izejas spriegums pie loģiskā 1

$VO_{Hmin} = 2.4 \text{ V}$ TTL pie 0,4 mA slodzes un 4.9 V KMOP.

VO_{Lmax} : maksimālais izejas spriegums pie loģiskās 0

$VO_{Lmax} = 0.4 \text{ V}$ TTL pie 16 mA slodzes un 0.1 V KMOP.



Loģisko elementu vispārējie parametri

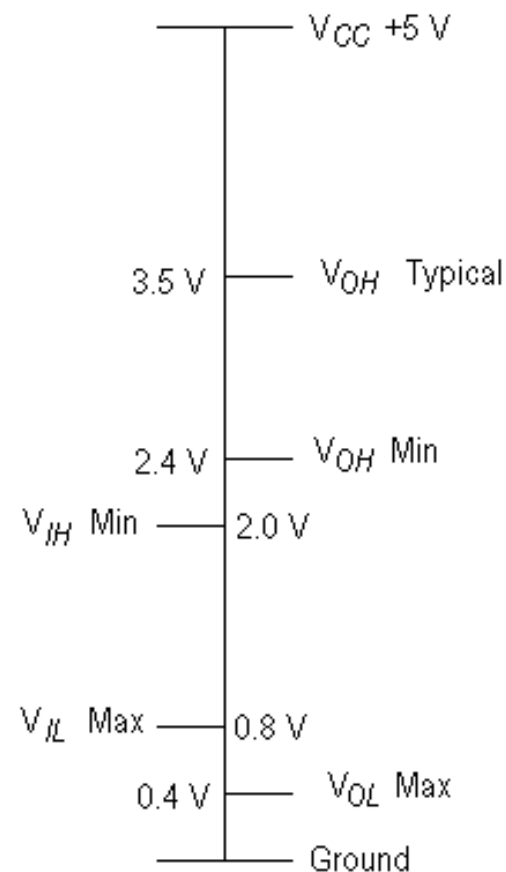
Loģiskie sprieguma līmeņi (Voltage Levels)

$V_{I_{Hmin}}$: minimālais ieejas spriegums, ko garantēti shēma atpazīst kā loģisko 1

$V_{I_{Hmin}} = 2 \text{ V}$ TTL pie 0,04 mA ieejas strāvas un 3,5 V KMOP.

$V_{I_{Lmax}}$: maksimālais ieejas spriegums, ko garantēti shēma atpazīst kā loģisko 0

$V_{I_{Lmax}} = 0.8 \text{ V}$ TTL pie 1,6 mA ieejas strāvas un 1.5 V KMOP.



Loģisko elementu vispārējie parametri

Loģiskie strāvu līmeņi (Current Levels)

- $I_{O_{Hmin}}$: maksimālā izejas strāva, ko shēma spēj nodrošināt loģiskā 1 stāvoklī, saglabājot izejas sprieguma līmeni virs VO_{Hmin} .
- $I_{O_{Lmax}}$: maksimālā izejas strāva, ko shēma spēj nodrošināt loģiskās 0 stāvoklī, saglabājot izejas sprieguma līmeni zem VO_{Lmax} .
- I_{Imax} : maksimālā strāva, kas plūst kādā no ieejām jebkurā stāvoklī (tipiski $1\mu A$ priekš KMOP struktūrām).

Loģisko elementu vispārējie parametri

Traucējumu noturība (Noise Margin)

Loģiskās shēmas tiek konstruētas tā, lai tās varētu izturēt noteiktas izejas un ieejas sprieguma izmaiņas vai lēcienus. Arī barošanas spriegums var mainīties, piemēram ar baterijām vai akumulatoriem apgādātās ierīcēs, barošanas spriegums ar laiku samazinās. Augsta darba temperatūra var izraisīt tranzistoru parametru nobīdes, dažreiz blakus esošās jaudas ierīces var inducēt impulsus signālu ķēdēs.

Visas šīs nevēlamās sprieguma izmaiņas, kas summējas ar normāliem shēmas darba spriegumiem, sauc par troksni. Visas loģiskās shēmas ir paredzētas izturēt noteikta līmeņa trokšņa signālus ieejās un izejās. Maksimālo trokšņa sprieguma līmeni, ko spēj izturēt loģikas ieeja, sauc par trokšņa līmeni vai traucējumu noturību. Šos parametrus parasti uzrāda shēmu tehniskajos datos, ko publicē ražotājs.

Loģisko elementu vispārējie parametri

LNM (Low noise margin): vislielākā trokšņa signāla amplitūda, kas garantēti neizmaina izejas līmeni, kad tiek padota shēmas ieejā pie 0 līmeņa:

$$LNM = V_{I_{Lmax}} - V_{O_{Lmax}}$$

HNM (High noise margin): vislielākā trokšņa signāla amplitūda, kas garantēti neizmaina izejas līmeni, kad tiek padota shēmas ieejā pie 1 līmeņa:

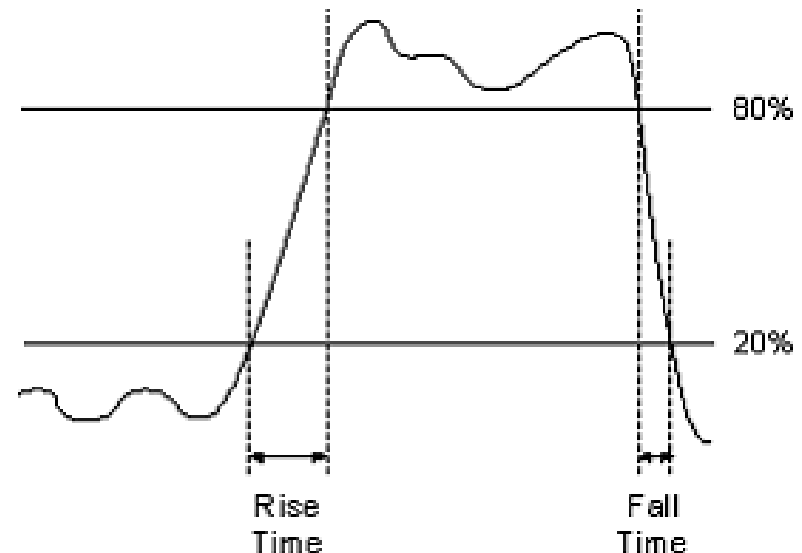
$$HNM = V_{O_{Hmin}} - V_{I_{Hmin}}$$

Aplūkojot TTL struktūru ieejas un izejas spriegumu līmeņa tabulu, var redzēt, ka eksistē sprieguma rezerve starp garantētiem izejas sprieguma un nepieciešamajiem ieejas sprieguma līmeņiem ciparu TTL shēmās. Trokšņa signāla līmenis zem 400mV neizmainīs loģisko elementu darbību un neradīs kļūdas shēmu darbībā. Trokšņa signāla lēcienveida amplitūdas vērtības virs 400mV var izraisīt kļūdainu shēmas darbību.

Loģisko elementu vispārējie parametri

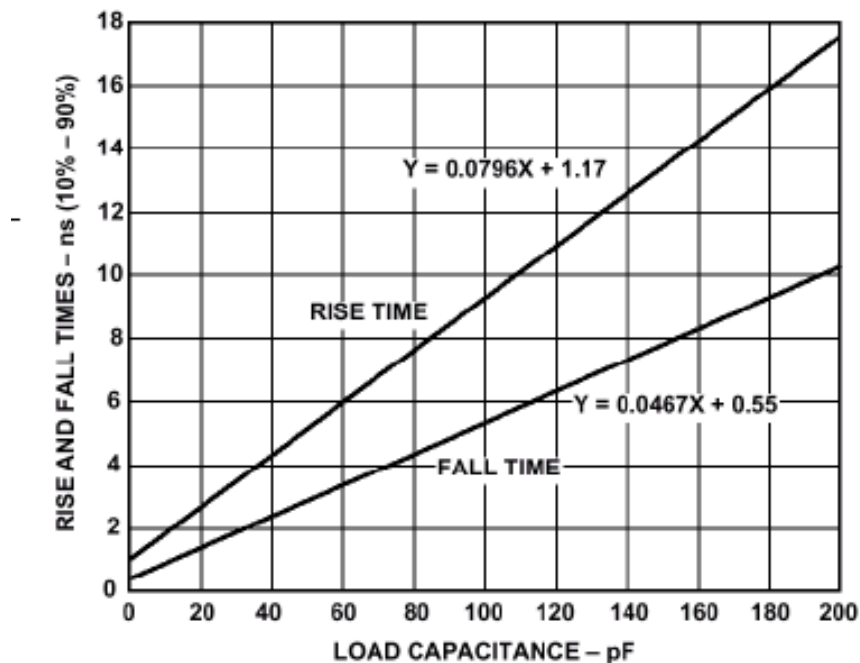
Impulsa kāpuma laiks (Rise time) t.i. laiks, kas nepieciešams lai spriegums pieaugtu no V_{ILmax} līdz V_{IHmin} . Citur literatūrā min robežas 20-80% vai 10-90% respektīvi.

Impulsa kritumu laiks (Fall time) t.i. laiks, kas nepieciešams, lai spriegums izejā nokristu no V_{IHmin} līdz V_{ILmax} . Citur literatūrā min robežas 80-20% vai 90-10% respektīvi.



Loģisko elementu vispārējie parametri

Tipiska DSP KMOP iekārtu signālu kāpuma un krituma laika atkarība no slodzes kapacitātes



Loģisko elementu vispārējie parametri

Jaudas patēriņš (Power Dissipation)

Katrs loģiskais elements ir pievienots barošanas avotam VCC (VDD pie KPOM struktūrām) un tas patērē noteiktu enerģijas daudzumu darbojoties. Par cik katrs loģiskais elements var būt trīs stāvokļos H (1), Pāreja, L (0) , tad ir iespējami trīs strāvas patēriņa režīmi.

ICCH: Strāva HIGH stāvoklī

ICCT: Strāva pārejas stāvokļos HIGH uz LOW, LOW uz HIGH

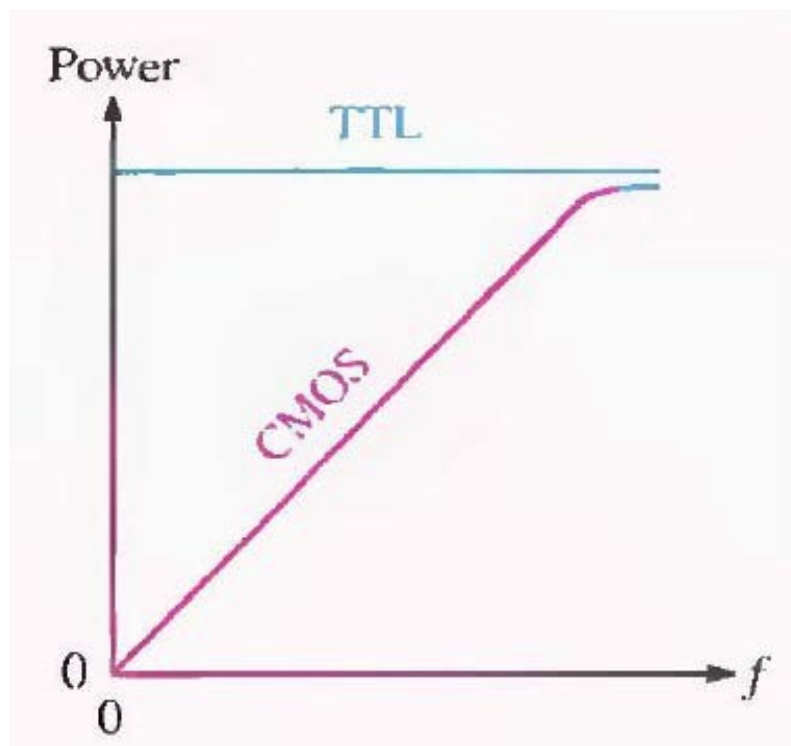
ICCL: Strāva LOW stāvoklī

TTL shēmām, ICCT irniecīga un pieņemot, ka ICCH un ICCL ir aptuveni vienādas, vidējais jaudas patēriņš būs $P_{TTL} = V_{cc} * (ICCH + ICCL)/2$

KMOP shēmās, ICCH un ICCL ir niecīgas, salīdzinot ar ICCT. Tāpēc vidējais jaudas patēriņš būs $P_{KMOP} = V_{cc} * ICCT$

Loģisko elementu vispārējie parametri

Varam secināt, ka TTL shēmas jaudas patēriņš ir stabils un praktiski nav atkarīgs no darbības frekvences, turpretī KMOP struktūrām jaudas patēriņš ir tieši proporcionāli atkarīgs no darbības frekvences.



Loģisko elementu vispārējie parametri

Jaudas patēriņš (Power Dissipation)

Jaudas patēriņu ir svarīgi zināt divu iemeslu pēc. Bateriju kapacitāte ir ierobežota, tāpēc jaudas patēriņš nosaka to, cik ilgi strādās sistēma. Tāpat jaudas patēriņš ir proporcionāls siltuma daudzumam, ko shēma saražo un shēmai pārkarstot, tas darbībā var rasties kļūdas, tāpēc katras loģiskās shēmas jaudas patēriņš pēc iespējas jāsamazina.

Jaudas patēriņu var iedalīt divās grupās:

Ps Statiskais Jaudas Patēriņš (Static Power Dissipation): jaudas patēriņš kad ieejas vai izejas stāvokļi nemainās. Parasti šo parametru nosaka noplūdes strāvas, jo samazinot tranzistoru izmērus zem 90nm, noplūdes strāva var sastādīt 40% no kopējā strāvas patēriņa.

Pd Dinamiskais Jaudas Patēriņš (Dynamic Power Dissipation): jaudas patēriņš pārejas stāvokļos.

Gala rezultātā varam rakstīt:

Kopējais jaudas patēriņš = Statiskais Jaudas Patēriņš + Dinamiskais Jaudas Patēriņš

Loģisko elementu uzbūves struktūras

DL jeb Diožu Loģika (diode logic)

Visi loģiskie elementi ir realizēti tikai uz diožu un rezistoru bāzes. Blakus redzam DL shēmas variantu. Lai diode vadītu strāvu, tai jāpieslēdz spriegums caurlaides virzienā.

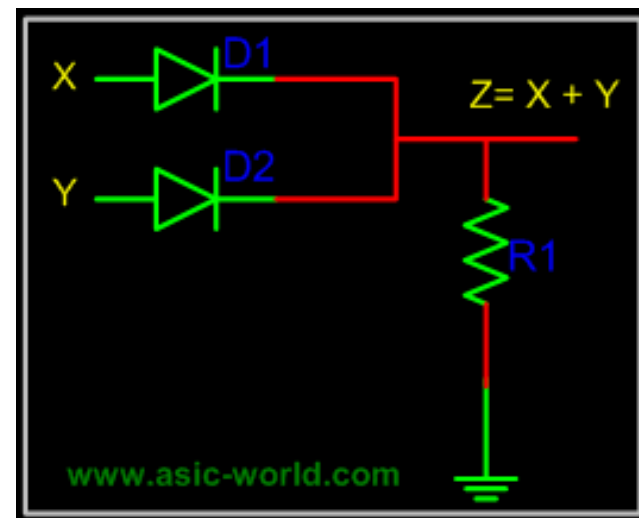
Ja ieejā nav sprieguma, izejas spriegums Z ir zems, patiecoties rezistoram R1. Ja augsts līmenis tiek padots uz kādu no ieejām X vai Y, attiecīgā diode atveras un vada strāvu, tāpēc izejas spriegums būs augsts.

Apspriežami jautājumi

Diožu Loģikas shēmās ir novērojami sprieguma zudumi pārejot no vienas pakāpes uz otru.

Diožu Loģika atļauj būvēt tikai VAI un UN funkcijas.

Diožu Loģika tiek lietota plaši, bet ne integrālā izpildījumā

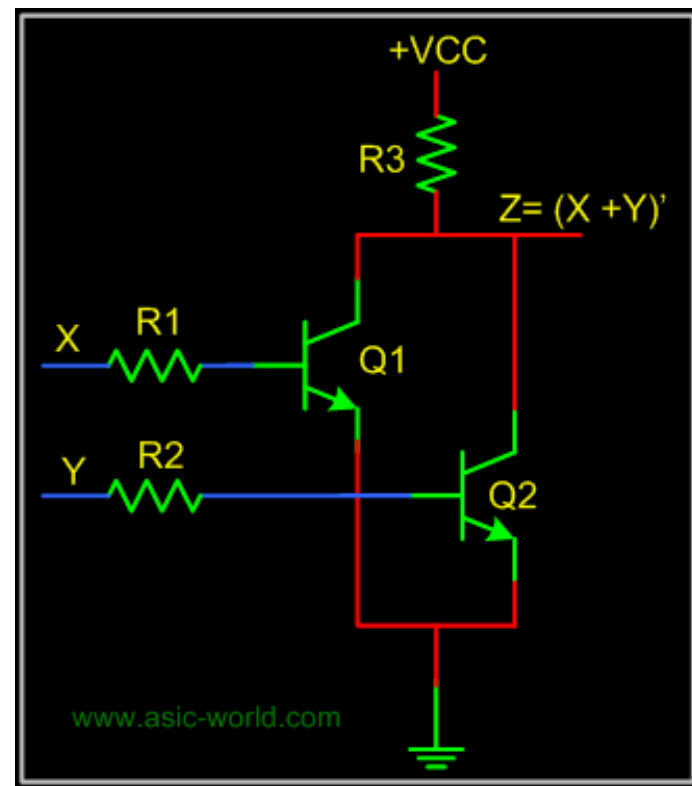


Loģisko elementu uzbūves struktūras

RTL jeb Rezistoru Tranzistoru Loģika (resistor transistor logic)

Visi loģiskie elementi tiek būvēti izmantojot rezistorus un tranzistorus. n-p-n tranzistors kopemitera slēgumā strādā kā sprieguma invertors, jo augsts sprieguma līmenis HIGH ieejā dod zemu līmeni tranzistora izejā LOW.

Blakus esošajā shēmā ir redzama RTL divu ieeju VAI-NE shēma, kas sastāv no diviem tranzistoriem Q1 un Q2, attiecīgā slēgumā. Ja kādā no ieejām X vai Y tiek padots augsts līmenis HIGH, attiecīgais tranzistors piesātinās un izejas spriegums Z būs zems jeb LOW.

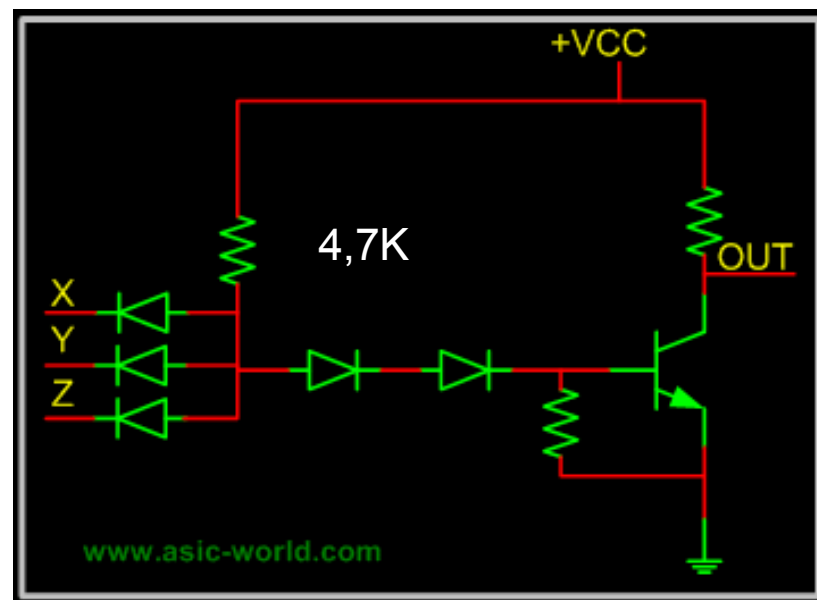


Loģisko elementu uzbūves struktūras

DTL jeb Diožu Tranzistoru Loģika (Diode Transistor Logic)

Visi loģiskie elementi tiek būvēti izmantojot diodes un tranzistorus. DTL loģikas pamat shēma ir attēlota blakus zīmējumā. Katra atsevišķa ieeja X, Y vai Z tiek pieslēgta diodei. Diodes un 4.7K rezistors veido UN loģisko shēmu. Ja kāda no ieejām ir zemā līmenī LOW, diodes vada strāvu caur rezistoru 4.7K un sekojošajā tranzistora bāzē strāva neplūst. Ja tranzistora bāzē strāva neplūst, izejas līmenis OUT būs augsts HIGH.

Ja visās ieejā vienlaicīgi būs augsti līmeņi HIGH, diodes tranzistora bāzē atveras un tranzistors piesātinās, tāpēc izejā būs zems līmenis jeb LOW.



Loģisko elementu uzbūves struktūras

TTL jeb Tranzistoru Tranzistoru Loģika (Transistor Transistor Logic)

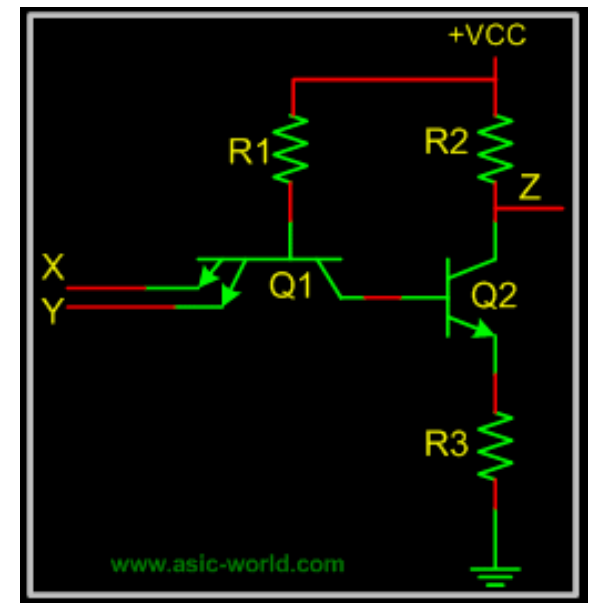
TTL loģiskās shēmas ir būvētas izmantojot pamatā tranzistorus. Pirmās TTL shēmas tika izveidots jau 1965 gadā. Modernākās TTL shēmas ir attīstītas, lai nodrošinātu jaunus ātrdarbības un jaudas patēriņa kritērijus. Visizplatītākās ir sekojošās TTL struktūras:

- Standard TTL jeb standarta TTL
- High Speed TTL jeb ātrdarbīgās TTL
- Low Power TTL jeb zema jaudas patēriņa TTL
- Schottky TTL jeb Šotkija TTL

Loģisko elementu uzbūves struktūras

TTL jeb Tranzistoru Tranzistoru Loģika
(Transistor Transistor Logic)

TL shēmas ieejas pakāpe gandrīz visām grupām ir vienāda, skat. zīmējumu. Tā sastāv no ieejas tranzistora Q1 ar vairākiem emiteriem un invertējoša tranzistora Q2. Ja kāda no ieejām X vai Y ir zemā līmenī LOW, tranzistors Q1 atveras un sāk vadīt strāvu. Tas savukārt, nover pie tā, ka izejas tranzistors Q2 aizveras un izejā mēs novērojam augstu līmeni HIGH.



Loģisko elementu uzbūves struktūras

TTL jeb Tranzistoru Tranzistoru Loģika (Transistor Transistor Logic)

TTL loģiskām struktūrā ir iespējamās trīs dažādas izejas pakāpes versijas jeb konfigurācijas:

- **Totem - Pole output** jeb Standarta aktīva izejas pakāpe
- **Open Collector Output** jeb Atvērtā kolektora izejas pakāpe
- **Tristate Output** jeb Trīs stāvokļu izeja

Totem - Pole output jeb Standarta aktīvas izejas pakāpe ir TTL izejas pakāpe, kurai raksturīgi tikai divi stabili izejas līmeņi HIGH un LOW.

Open Collector Output jeb Atvērtā kolektora izejas pakāpe ir TTL izejas pakāpe, kurai izejas tranzistors ir jaudīgāks un kuram kolektors ir brīvs, proti izejas tranzistora kolektorā var slēgt dažādas slodzes pēc vajadzības.

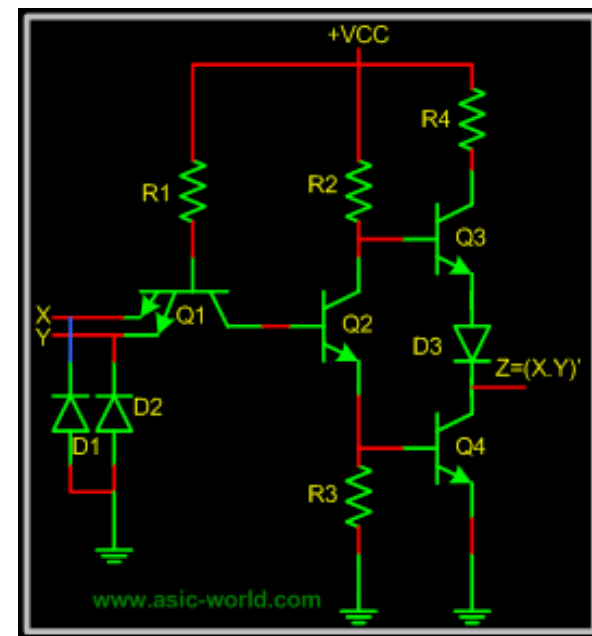
Tristate Output jeb Trīs stāvokļu izejas pakāpe ir TTL izejas pakāpe, kurai raksturīgi trīs izejas stabili stāvokļi: HIGH, LOW un Z jeb augstomīgs stāvoklis ar augstu izejas pretestību.

Loģisko elementu uzbūves struktūras

Totem - Pole output jeb Standarta aktīvas izejas pakāpe, kurai raksturīgi tikai divi stabili izejas līmeņi.

Zīmējumā redzam Standarta divu ieeju UN-NE shēmu, kurā mēs varam saskatīt trīs pakāpes: ieejas pakāpi uz daudzu emiteru tranzistora Q1, fāzes dalīšanas jeb invertēšanas pakāpe uz tranzistora Q2, izejas pakāpe uz tranzistoriem Q3 un Q4.

Ieejas pakāpe un invertējošā pakāpe jau aplūkotas iepriekš, savukārt izejas pakāpi veido Q3 un Q4, kur Q3 novietots virs Q4 tā kolektora ķēdē. Šajā shēmā, Q2 nodrošina pretējas fāzes spriegumus priekš tranzistoriem Q3 un Q4, proti, tad, kad viens ir vaļā, otrs ir slēgts. Q4 ir tranzistors, kas piesātinoties, novelk izejas spriegumu līdz zēmam līmenis LOW, kamēr Q3 paliek slēgtā stāvoklī. Un otrādi, kad Q3 ir piesātināts, tas izvelk izejas spriegumu uz augšu jeb HIGH stāvoklim, kamēr Q4 ir slēgts. Diodes shēmas ieejā, kalpo kā aizsargi pret negatīviem spriegumiem, tos sazēmejot.

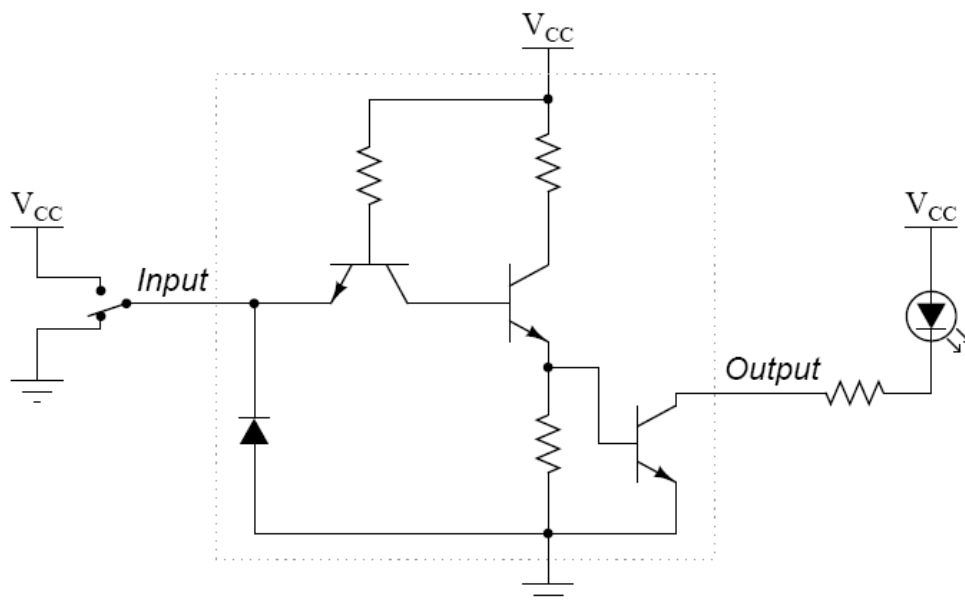


Loģisko elementu uzbūves struktūras

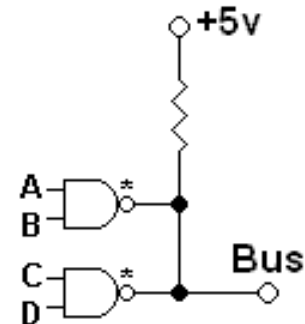
TTL jeb Tranzistoru Tranzistoru Loģika (Transistor Transistor Logic)

Open Collector Output jeb Atvērtā kolektora izejas pakāpe

Izejas tranzistors ir ar atvērtu kolektoru un sazemētu emiteru. Šādu izeju izmanto gadījumos, kad slodze ir lielāka par standarta pieļaujamo, dažādu indikatoru, releju, displeju vadībai vai augstu spriegumu komutācijai un gadījumos, kad loģisko elementu izejas apvieno šinā, loģiskās funkcijas UN vai VAI veikšanai.



Apvienotu izeju shēma dod UN loģikas funkciju pie pozitīvas loģikas vai VAI loģisko funkciju pie negatīvas loģikas. "wired-AND" un "wired-OR",



Loģisko elementu uzbūves struktūras

TTL jeb Tranzistoru Tranzistoru Loģika (Transistor Transistor Logic)

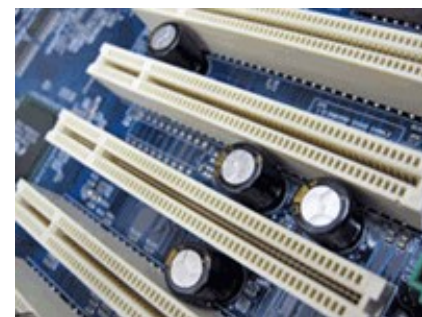
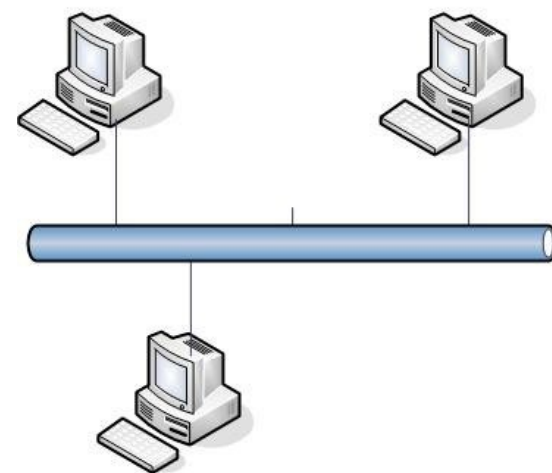
Tristate Output jeb Trīs stāvokļu izeja

Gadījumos, kad ir jāveido koplietošanas šina, kas secīgi apkalpo dažādus avotus (shared bus), to veido vai nu uz MUX/DEMUX sistēmas bāzes vai lietojot trīs stāvokļu izejas shēmas.

Shared bus -koplietošanas šina, kopne vai maģistrāle ir datora elektrisko signālu vadītāju (vadu) komplekts, pa kuru notiek informācijas apmaiņa starp dažādiem datora funkcionālajiem blokiem (procesoriem, atmiņu, pieslēgvietām, ārējo iekārtu vadības ierīcēm u. c.). Personālajos datoros parasti izmanto standartizētās kopnes, ko veido trīs dažādu kopņu apvienojums. Pa tām tiek pārsūtīti dati (datu kopne), informācija par datu atrašanās vietu (adrešu kopne) un vadības informācija (vadības kopne). PCI local bus ir firmas Intel izstrādāta augstas caurlaidspējas 32 bitu lokālā kopne, bet izmantojot multipleksēšanu, nodrošina 64 bitu datu pārraidi, bet sprādzienrežīmā — neierobežota garuma datu masīvu pārraidi.

Lokālajos tīklos LAN izmanto vienu ātras darbības kopni 100MB/s, 1GB/s, kas savieno un apkalpo visus ieejošos un izejošos datoru un tīkla iekārtu portus pēc TDM principa, jeb time division multiplexing, laukdales blīvēšana un laukdales multipleksēšana.

Three Computers on a single Local Area Network (LAN) segment.



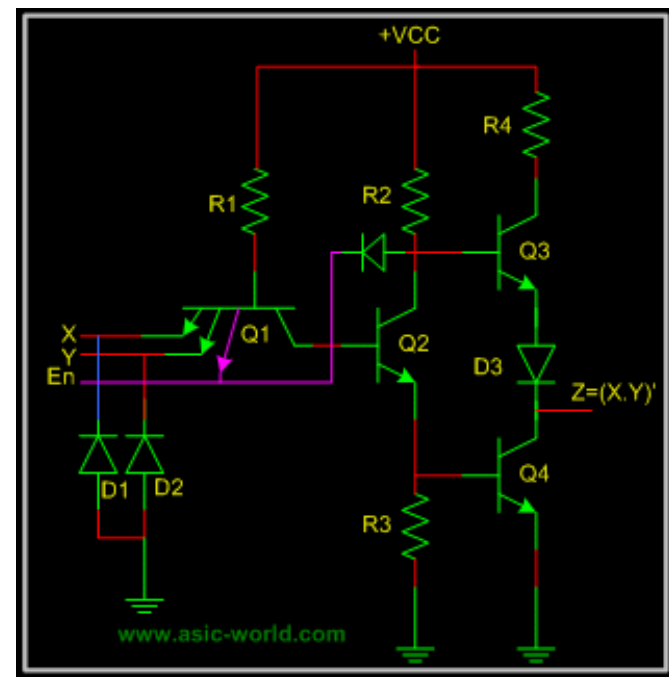
Loģisko elementu uzbūves struktūras

TTL jeb Tranzistoru Tranzistoru Loģika
(Transistor Transistor Logic)

Tristate Output jeb Trīs stāvokļu izeja

Trīs stāvokļu shēmas gadījumā, kad loģiskā shēma nepilda savu funkciju, tās izeja atrodas nevis zemā LOW vai augstā HIGH, bet gan kādā trešā stāvoklī, ko var raksturot kā brīvi peldoša jeb augstomīga izeja. Atšķirībā no atvērta kolektora shēmām, trīs stāvokļu shēmas nodrošina stabilus HIGH un LOW stāvokļus izejā, tad kad tie ir atļauti.

Zīmējumā redzam trīs stāvokļu UN-NE shēmu. Ja En ieeja ir HIGH stāvoklī, shēma strādā kā jebkura parasta UN-NE shēma. Ja En pariet LOW stāvoklī, Q1 ieslēdzas, diode, kas savieno Q1 emiteru ar Q2 kolektoru vada strāvu un noved Q3 slēgtā stāvoklī. Ja Q2 ir slēgts, arī Q4 ir slēgts, tāpēc arī abi izejas tranzistori Q3 un Q4 būs slēgtā stāvoklī, kas noved pie augstomīgas izejas stāvokļa uz Z.

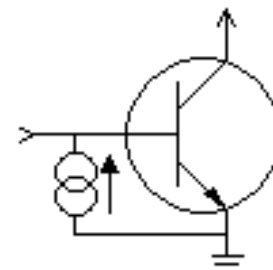


Loģisko elementu uzbūves struktūras

I²L : Divkāršas Injekcijas Loģika (Integrated Injection Logic)

I²L ir ciparu iekārtas, kas būvētas uz lielas ātrdarbības bipolāriem tranzistoriem. Iespējamie apzīmējumi (I¹L, I²L, or I²L) ir ciparu iekārtu klase, kas būvēta uz vairāku kolektoru bipolārajiem tranzistoriem. Šāda iekārtu klase nodrošināja ātrdarbību, kas līdzinās TTL shēmu ātrdarbībai un jaudas patēriņu tuvu CMOS struktūrām. Kaut gan loģiskie līmeņi šajās shēmās atrodas ļoti tuvu viens otram (High: 0.7V, Low: 0.2V), I²L shēmām ir augsta traucējumnoturība pateicoties, tam, ka tās tiek vadītas ar strāvu nevis spriegumu.

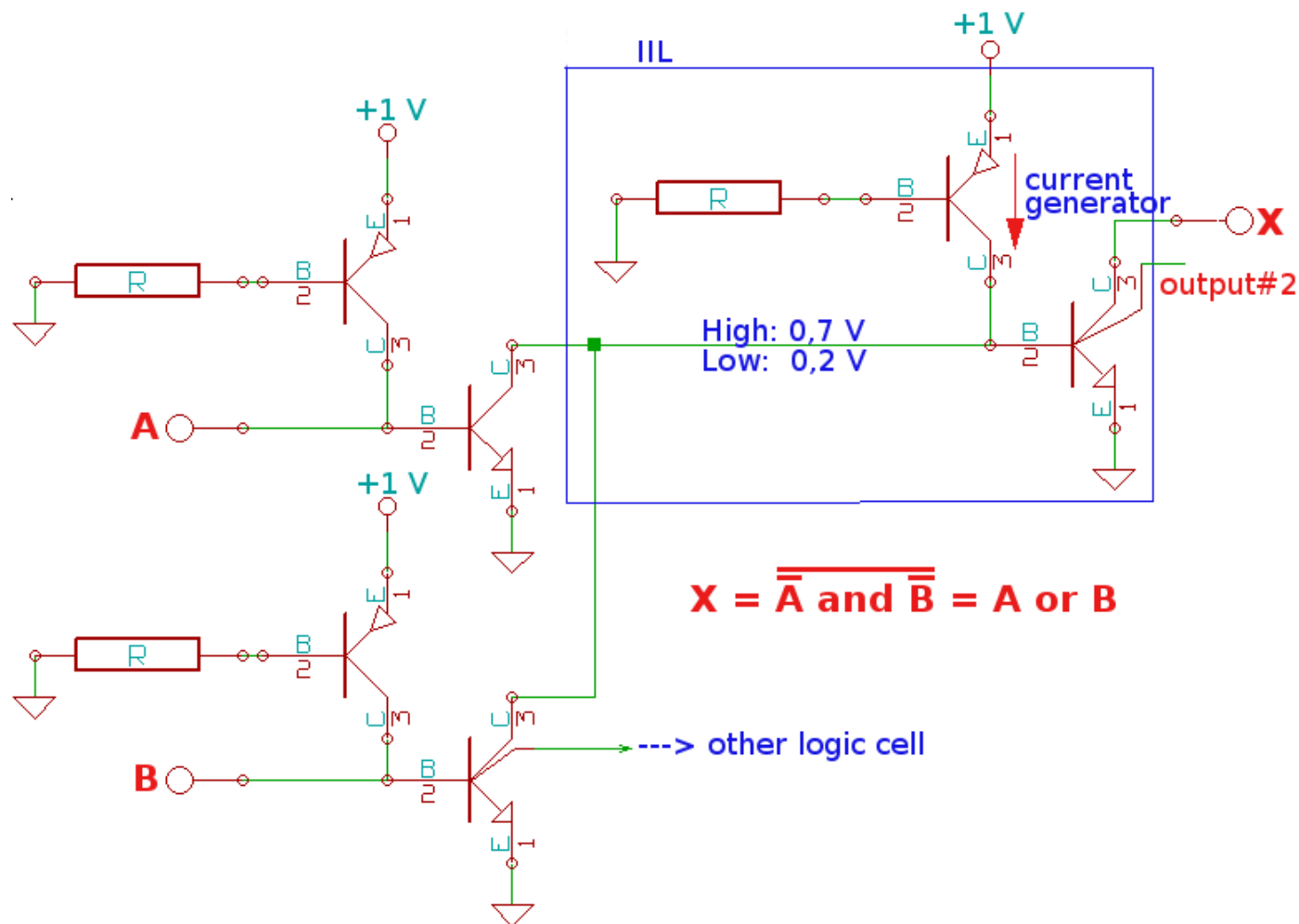
I²L shēmas sirds ir atvērta kolektora tranzistora invertors. Parasti tas ir NPN tranzistors, kura bāzē papildus tiek injicēta tiešā strāva. Zems loģiskais līmenis ieejā nozīmē strāvas plūsmu pret zemi, savukārt augsts loģiskais līmenis ir pie augstomīga Z stāvokļa tranzistora ieejā. Izejas signāls tiek ņemts no kolektora, kas nodrošina līdzīgus spriegumus.



Loģisko elementu uzbūves struktūras

I²L :
Divkāršas
Injekcijas
Loģika
(Integrated
Injection
Logic)

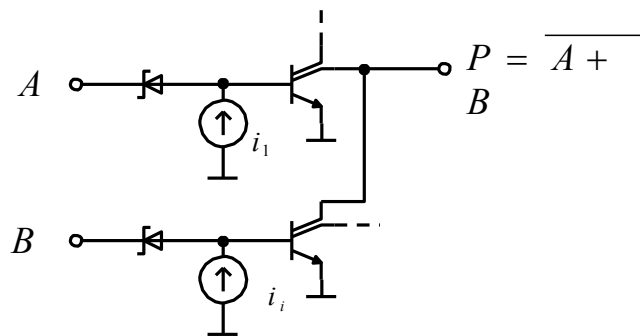
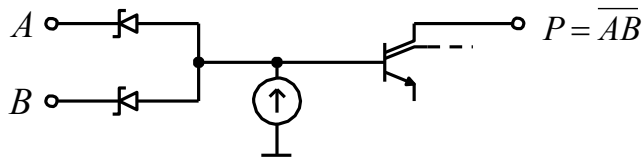
PNP
tranzistors ir
injekcijas
strāvas
tranzistors,
bet NPN
tranzistors ir
ātrdarbīgs
slēdzis-
invertors.



Loģisko elementu uzbūves struktūras

I2L : Divkāršas Injekcijas Loģika (Integrated Injection Logic)

Lai saprastu kā strādā I2L shēma, jāaplūko tranzistora invertora strāvas. Ja pie 0 vērtības ieejā, bāze ir sazemēta, tad tranzistors ir slēgts un tā izejas kolektors ir augstomīgā jeb brīvā stāvoklī. Savukārt, ja ieejā ir 1 līmenis, proti augstomīgs stāvoklis, tranzistora bāzē plūst strāva, kas noved pie kolektora sprieguma samazināšanās. Par cik tranzistora izeja var tikai samazināt izejas pretestību, bet nevar padot kādu spriegumu uz nākošo pakāpi, droši vairākas tranzistoru izejas var savienot kopā. Tādējādi var veidot savienoto UN shēmu jeb wired AND gate. Ja divu invertoru izejas ir saslēgtas kopā, pēc De-Morgana likuma mēs iegūstam divu ieeju VAI-NE shēmu. Parasti, I2L shēmas būvē ar 1, 2 vai 3 atsevišķiem kolektoriem, kas atļauj būt līdz 3 ieejām UN-NE un VAI-NE shēmas samērā vienkāršā veidā, skat. zīmējumus.



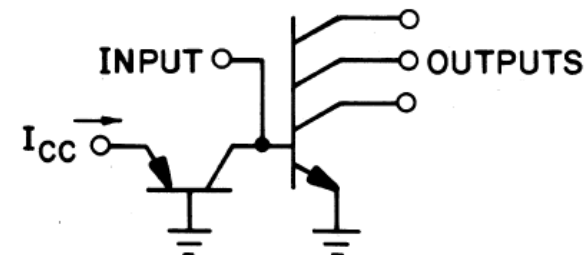
Loģisko elementu uzbūves struktūras

I²L : Divkāršas Injekcijas Loģika
(Integrated Injection Logic)

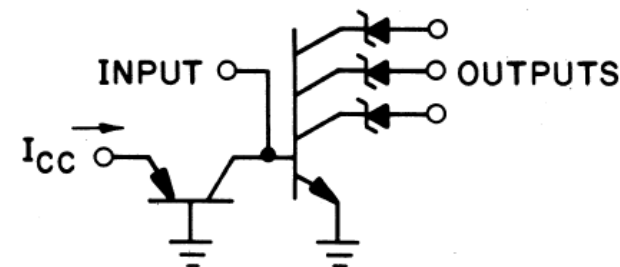
1. Zīm. Tipiska I²L shēma

2. Zīm. Šotkija I²L shēma

Struktūrai ar Šotkija diodēm ir raksturīga mazāka kapacitāte, mazāka signālu amplitūda, un mazāka signālu aizture.



A. Conventional I²L



B. Schottky I²L

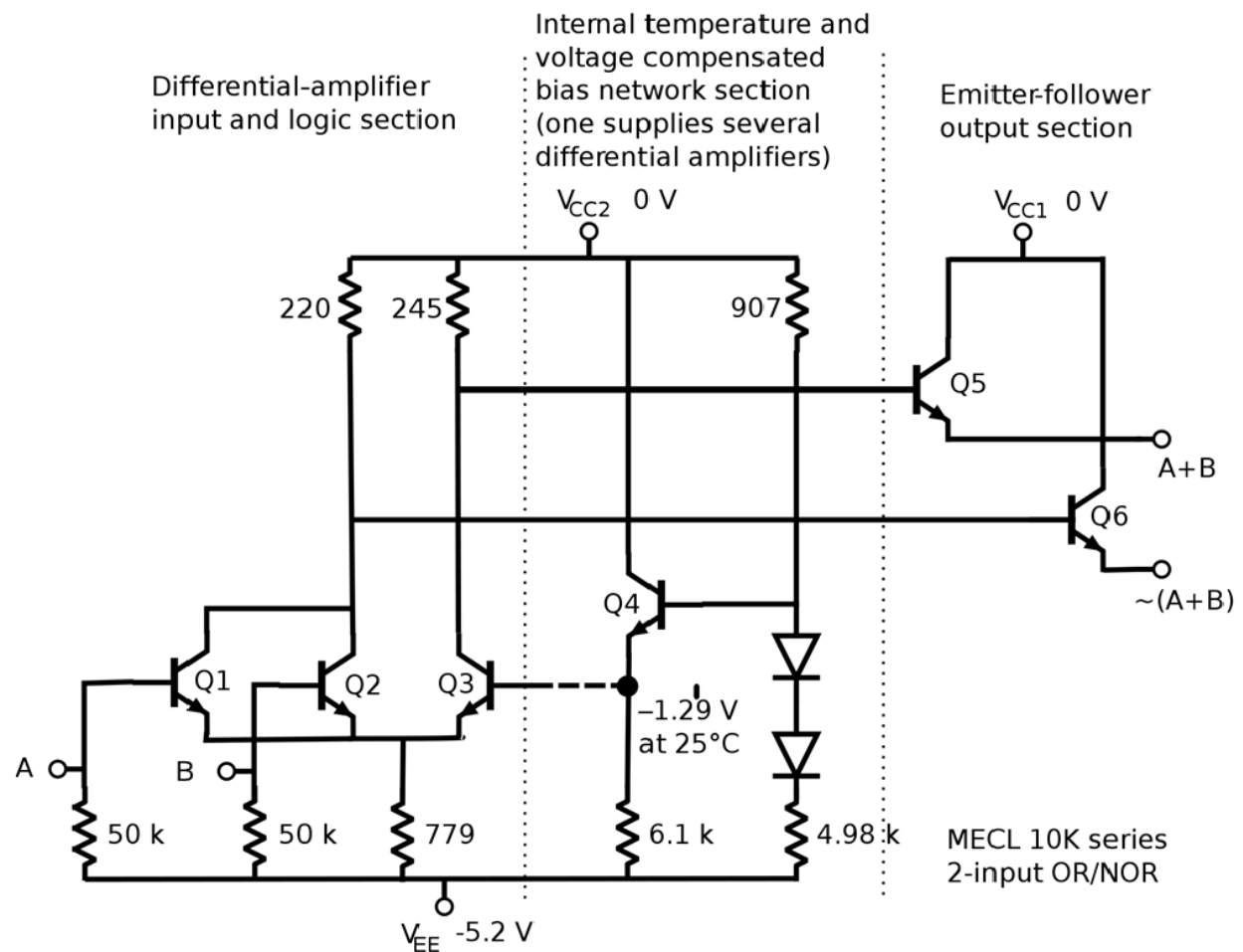
Loģisko elementu uzbūves struktūras

ECL : Emitera Saites Loģika (Emitter coupled logic)

ECL ir loģisko shēmu klase, kas ir ātrdarbīga pateicoties bipolāro tranzistoru diferencējošai pakāpei ir vienu izeju, kur emitera strāva tiek ierobežota piesātinājuma apgabala robežās.

Dažreiz ECL shēmas sauc par current-steering logic (CSL), current-mode logic (CML) or current-switch emitter-follower (CSEF) logic.

Zīmējumā viens no ECL shēmas variantiem.



Loģisko elementu uzbūves struktūras

ECL shēmas tranzistori nekad nav piesātināti, ieejas un izejas spriegumi ir mazas amplitūdas robežās (0.8 V), ieejas impedance ir augsta, izejas pretestība, savukārt, zema. Tranzistori pārslēdzas ātri un loģisko elementu aiztures ir mazas, izeju paplašinājuma koeficients ir augsts. Komplementārās izejas samazina signālu izplatīšanās laikus, jo nav vajadzīgi papildus invertori, tomēr shēma patērē diezgan daudz strāvas, arī tukšgaitā. Kriptogrāfijas pielietojumos, šādas shēmas ir mazāk pakļautas blakus kanālu trokšņiem, kā arī pašas ģenerē samērā maz trokšņu, kas nonāk jaudas avotā.

Shēmā, tranzistori Q1 un Q2, Q3 veido diferencējošo divu ieeju A un B kaskādi, savukārt tranzistors Q4 un diodes nodrošina termo-stabilu spriegumu Q3 bāzē, kas savukārt nodrošina to, ka kopējais emitera rezistors kalpo gandrīz kā strāvas avots. Q2 un Q3 kolektori nodrošina pretējas fāzes spriegumus uz izejām.

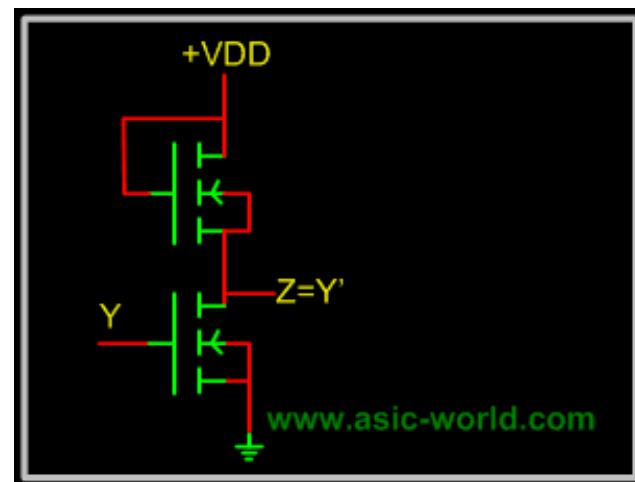
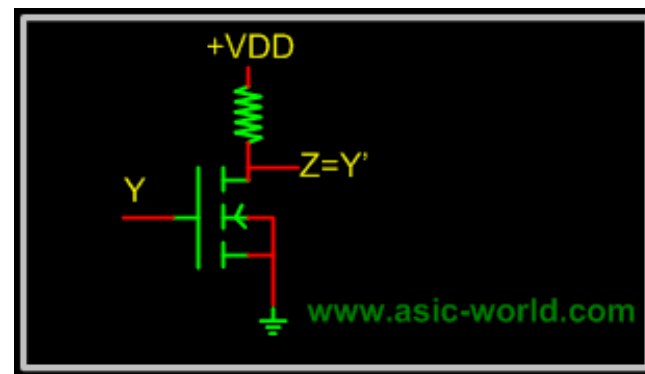
ECL shēmas strādā ar negatīvu barošanas spriegumu, turpretī standarta loģiskās shēmas, piemēram TTL un KMOP, strādā ar pozitīvu barošanas spriegumu. Tas ir tāpēc, lai mazinātu barošanas sprieguma izmaiņu ietekmi uz ECL loģiskajiem līmeņiem. ECL shēmas ir jūtīgākas pret trokšņiem uz V_{CC} un relatīvi nejūtīgas pret trokšņiem uz V_{EE} .

Loģisko elementu uzbūves struktūras

MOP Loģika (Metal Oxide Semiconductor Logic), PMOS un NMOS

MOP loģika jeb MOS (Metal Oxide Semiconductor logic) izmanto nmop un pmop tranzistorus loģisko shēmu izbūvē. Parasts NMOS invertors ir parādīts pirmajā zīmējumā pa labi. Ja ieeja ir LOW stāvoklī, NMOP transistors strāvu nevada un tāpēc izeja ir HIGH stāvoklī. Savukārt, ja ieeja ir HIGH stāvoklī, NMOP transistors vada strāvu un tāpēc izeja būs LOW stāvoklī.

Par cik mikroshēmu tehnikā ir vieglāk izveidot tranzistoru nekā rezistoru, tad shēmās rezistors ir aizvietots ar NMOP tranzistoru. Šis NMOP tranzistors darbojas kā rezistors, skat. otro zīmējumu pa labi.



Loģisko elementu uzbūves struktūras

KMOP Loģika jeb CMOS (Complementary Metal Oxide Semiconductor Logic) , patentēta 1967. gadā.

KMOP ir tehnoloģija, ko šobrīd plaši izmanto integrālo shēmu uzbūvē. To lieto mikroprocesoru, mikrokontrolieru, statisko RAM atmiņu un daudzu citu loģisko iekārtu būvē.

KMOP tehnoloģijas izmanto arī dažādu analogo shēmu izveidē, piemēram, attēlu sensoros, datu pārvietotājos, integrālajos transīveros jeb uztvērējos un raidītājos komunikāciju jomā.

KMOP struktūras dažreiz sauc arī par COS-MOS (complementary-symmetry metal–oxide–semiconductor). Vārds komplementārā simetrija šeit nozīmē to, ka ciparu shēmu uzbūvē lieto komplementārus un simetriskus tranzistoru pārus ar pretēju vadītspēju, proti p-tipa un n-tipa lauka efekta tranzistors jeb MOSFET.

Loģisko elementu uzbūves struktūras

KMOP Loģika jeb CMOS
(Complementary Metal Oxide Semiconductor Logic)

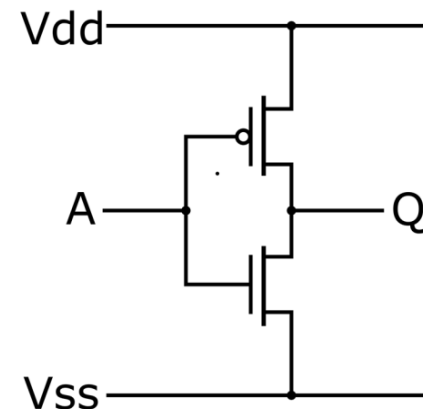
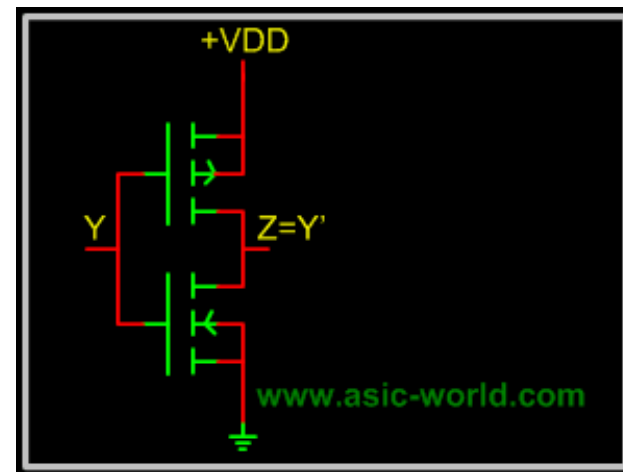
KMOP loģika ir būvēta uz abu tipu NMOP and PMOP tranzistoru bāzes. Likums ir šāds:

NMOP tranzistors vada, ja ieeja ir HIGH stāvoklī.

PMOP tranzistors vada, ja ieeja ir LOW stāvoklī.

Tātad vienmēr, ja viens tranzistors ir slēgts, otrs būs atvērts un otrādi.

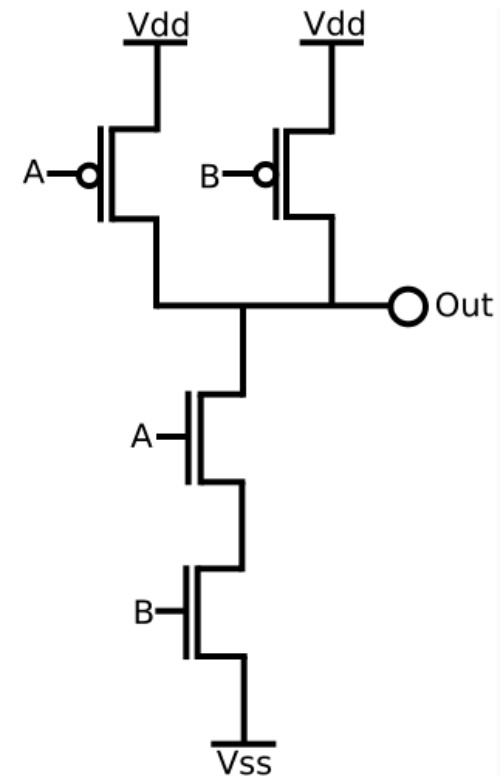
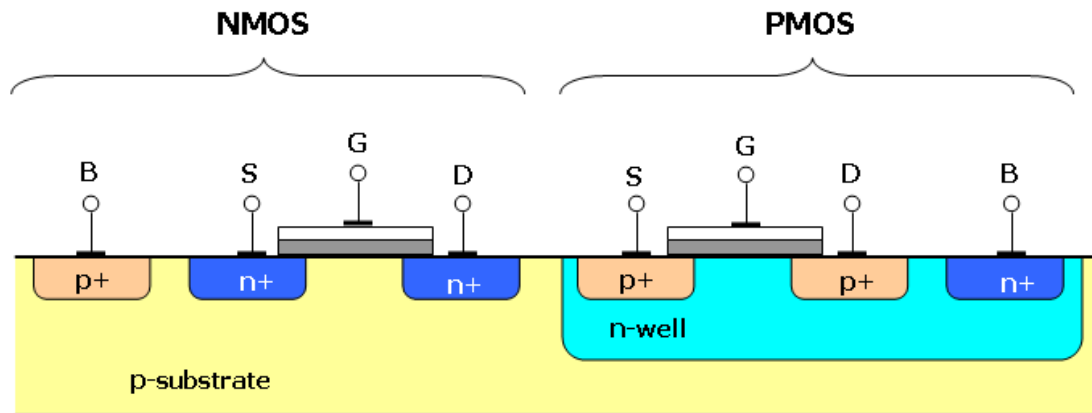
Zīmējumos redzam loģiskā invertora uzbūvi.



Loģisko elementu uzbūves struktūras

Lai uzbūvētu loģiskās funkcijas UN un VAI, ir nepieciešams manipulēt ar tranzistoru ceļiem. Ja ceļš sastāv no diviem tranzistoriem virknes slēgumā, abiem tranzistoriem jābūt vaļā lai modelētu UN funkciju. Ja ceļš sastāv no diviem paralēliem tranzistoriem, tad vismaz vienam tranzistoram jābūt vaļā lai modelētu VAI funkciju.

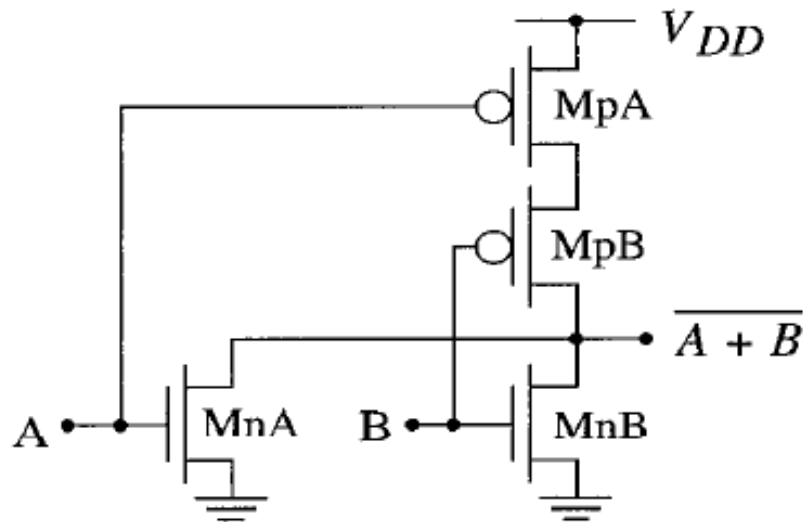
N tipa tranzistors ir būvēts uz P-tipa substrāta bāzes. P tipa tranzistors ir būvēts uz N-tipa apgabala (n-well). P-tipa substrāta kontakts ir pievienots pie V_{SS} un N-tipa apgabala kontakts pie V_{DD} .



UN-NE loģiskais
KMOP elements

Loģisko elementu uzbūves struktūras

KMOP struktūras loģiskā shēma $(A+B)'$ jeb NOR2 un tranzistoru darbību aprakstoša īstenības tabula



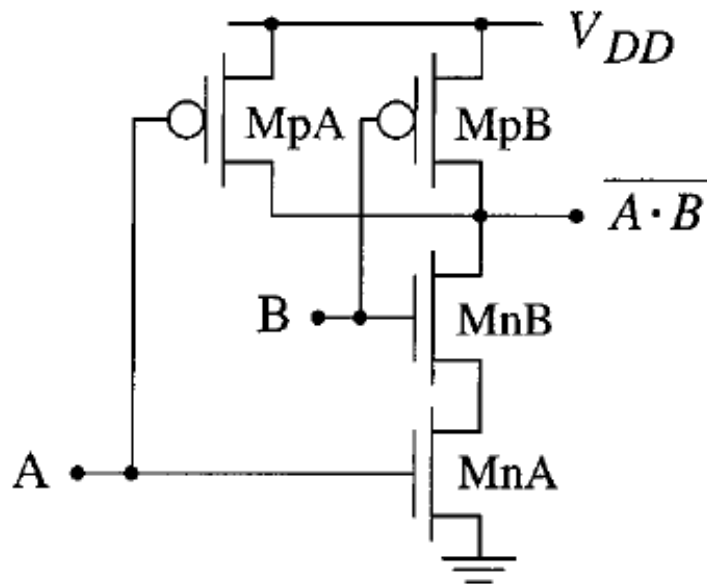
(a) CMOS circuit

A	B	MnA	MnB	MpA	MpB	Out
0	0	OFF	OFF	ON	ON	1
0	1	OFF	ON	ON	OFF	0
1	0	ON	OFF	OFF	ON	0
1	1	ON	ON	OFF	OFF	0

(b) Operation summary

Loģisko elementu uzbūves struktūras

KMOP struktūras loģiskā shēma $(AB)'$ jeb NAND2 un tranzistoru darbību aprakstoša īstenības tabula



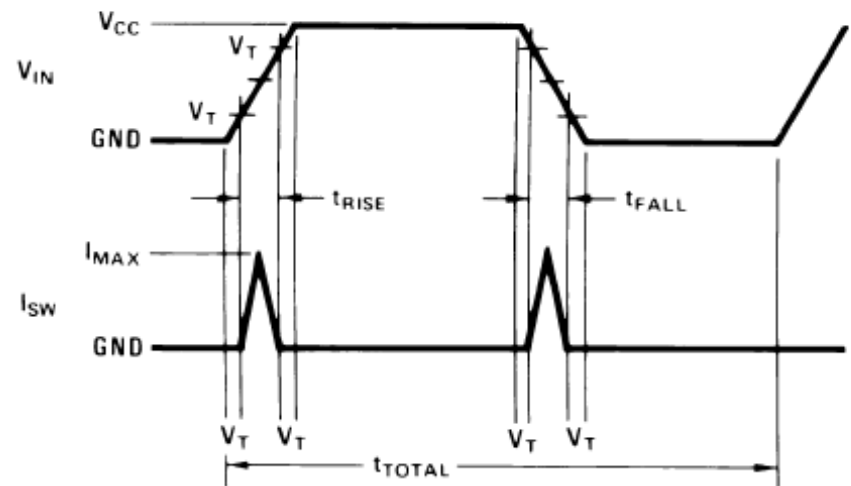
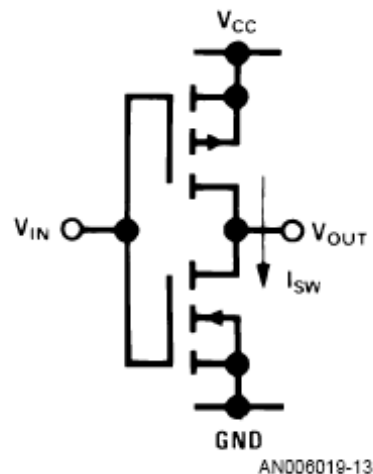
(a) CMOS circuit

A	B	MnA	MnB	MpA	MpB	Out
0	0	OFF	OFF	ON	ON	1
0	1	OFF	ON	ON	OFF	1
1	0	ON	OFF	OFF	ON	1
1	1	ON	ON	OFF	OFF	0

(b) Operation summary

Loģisko elementu uzbūves struktūras

KMOP invertora jaudas patēriņa grafiki un aprēķins



VI Power is Given By:

$$P_{VI} = V_{CC} \times \frac{1}{2} I_{Max} \times \text{Rise Time to Period Ratio}$$

$$\text{Rise Time to Period Ratio} = \frac{V_{CC} - 2V_T}{V_{CC}} \times \frac{t_{RISE} + t_{FALL}}{t_{TOTAL}}$$

$$\text{Where } \frac{1}{t_{TOTAL}} = \text{Frequency}$$

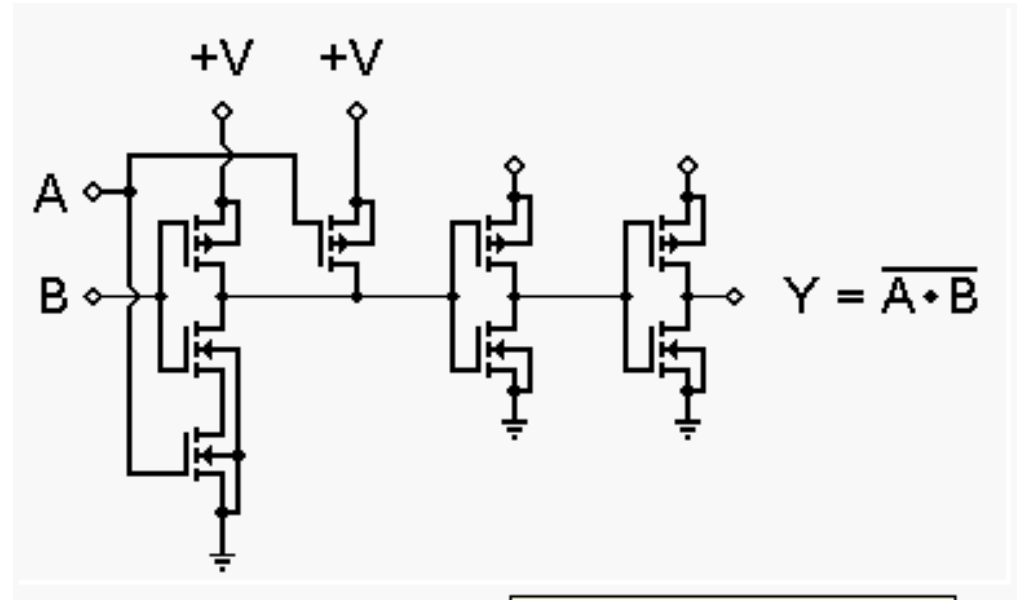
$$P_{VI} = \frac{1}{2} (V_{CC} - 2V_T) I_{CC \text{ Max}} (t_{RISE} + t_{FALL}) \text{ FREQ.}$$

Loģisko elementu uzbūves struktūras

B-sērijas KMOP struktūras

Viena no KMOP struktūru galvenajām problēmām ir to ierobežotā ātrdarbība. KMOP ātrdarbība ir ierobežota pateicoties lielajai tranzistoru ieejas kapacitātei.

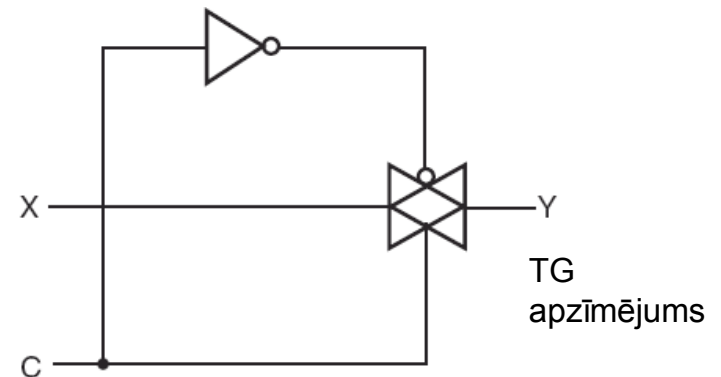
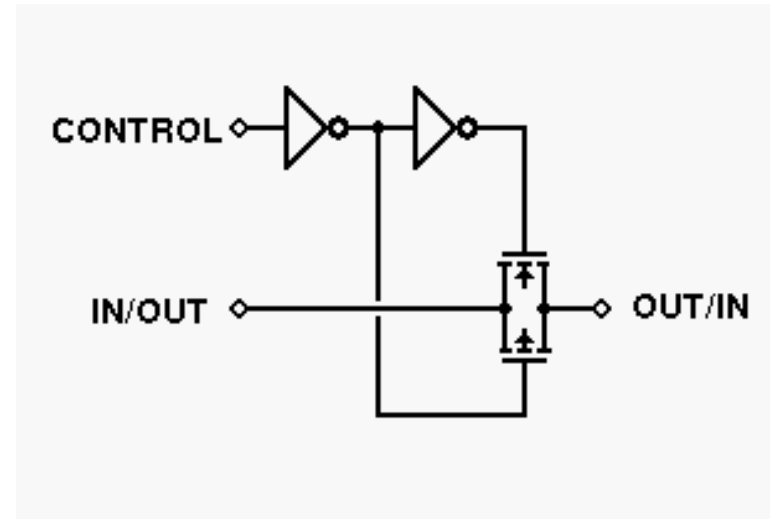
B-sērijas KMOP struktūras šo problēmu daļēji atrisina shēmas izejā izveidojot komplementāros invertorus. Šādas izejas pakāpes ir ar simetriskām izejas strāvām, tādējādi izejas stāvokļi pārslēdzas ļoti ātri pat tad, kad ieejas signāli mainās lēnām.



Loģisko elementu uzbūves struktūras

KMOP Divpusējs slēdzis jeb pārraides ventis (bilateral switch or transmission gate TG)

Slēdzis ir šamērā unikāla lieta KMOP shēmās. Šeit pilnībā tiek izmantotas simetrisko KMOP lauka tranzistoru slēdžu īpašības. Proti, lauka tranzistoru (S) izteces un (D) noteces var tikt apmainītas vietām neietekmējot atsevišķa tranzistora vai visas pārējās shēmas darbību. Kad n-tipa un p-tipa tranzistori ir saslēgti kā parādīts zīmējumā, kur to ieejas tiek vadītas ar komplementāru signālu, abi tranzistori tiks ieslēgti un izslēgti vienlaicīgi. Ja abi tranzistori ir slēgti, tad kanāla pretestība ir liela un tas būs slēgts, ja abi tranzistori ir vaļā, tad signāls brīvi ies cauri kanālam. Kas patiešām ir interesants šajā shēmā, proti signālam X-Y nav jābūt obligāti ciparu. Ja vadāmais signāls atrodas barošanas spriegumu robežās, šāds slēdzis var komutēt pat analogos signālus, pie tam abos virzienos.

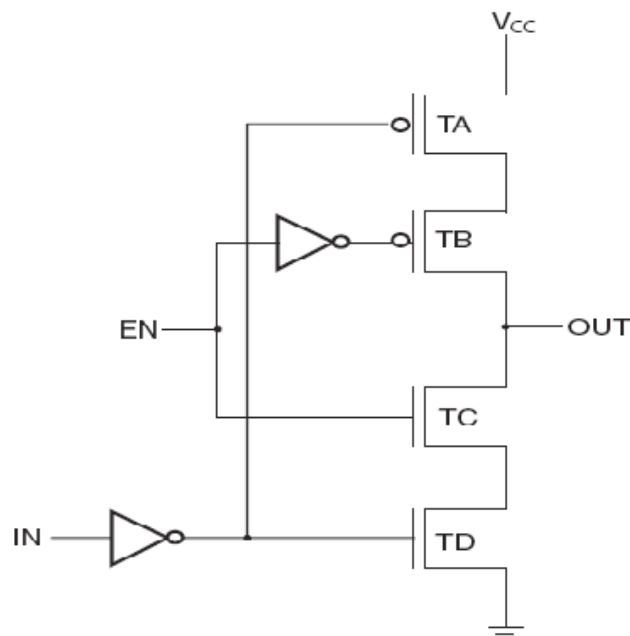


Loģisko elementu uzbūves struktūras

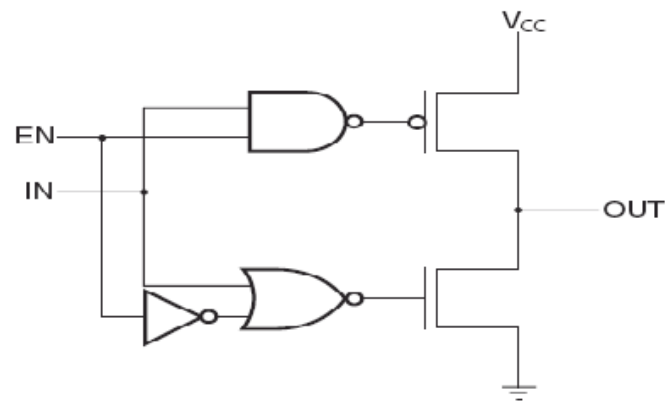
KMOP neinvertējošs buferis ar trim izejas stāvokļiem

Shēmā (a) tranzistori TB un TC nodrošina shēmas trešo augstomīgo stāvokli izejā

Shēmā (b) redzam lielākas jaudas buferi ar trim izejas stāvokļiem un komplementāro izejas pāri



(a)



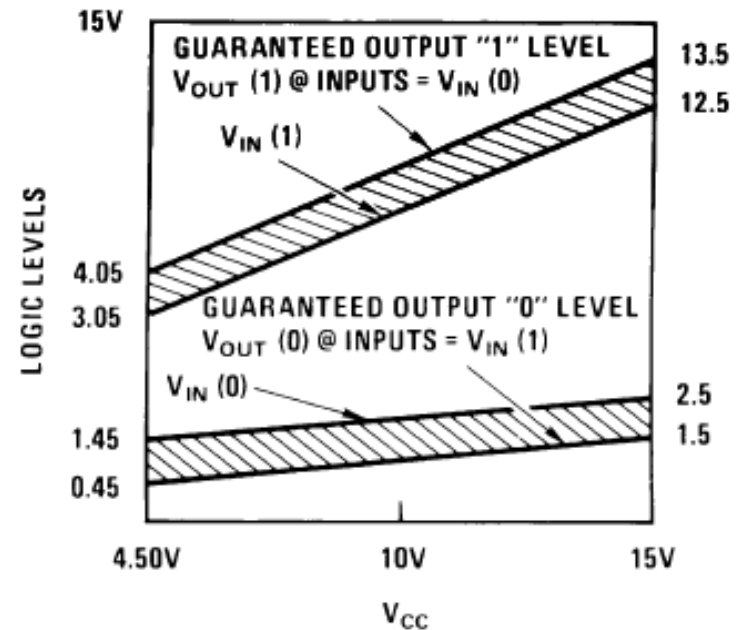
(b)

Loģisko elementu uzbūves struktūras

KMOP struktūru loģiskie sprieguma līmeņi

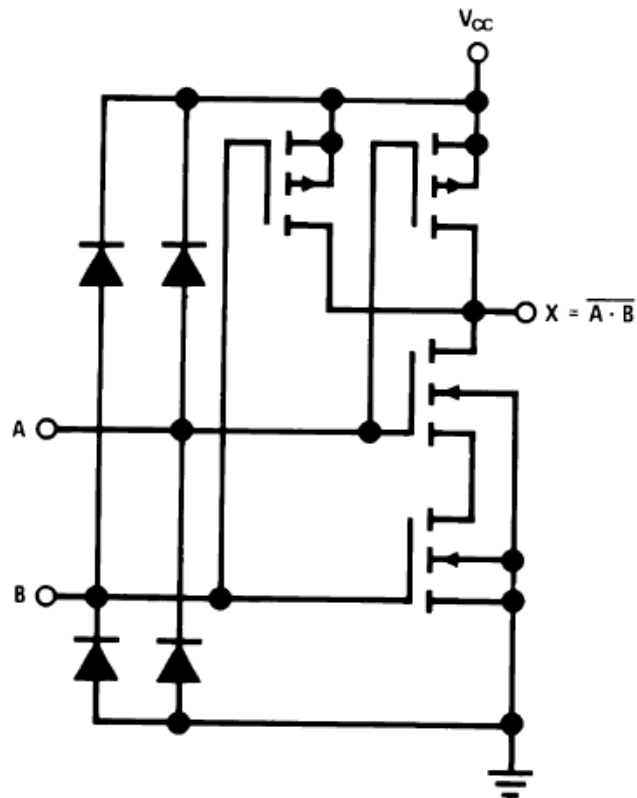
No KMOP struktūru loģisko līmeņu grafika redzam, ka traucējumu noturība jeb “noise margin” ir 1V visā barošanas sprieguma diapazonā no 4,5-15V. Atgādināsim, ka TTL shēmas traucējumu noturība ir 0,4V. Tāpat redzam kā mainās KMOP loģiskie izejas līmeņi atkarībā no barošanas sprieguma vērtības.

KMOP struktūru garantētie loģiskie līmeņi atkarībā no shēmas barošanas sprieguma



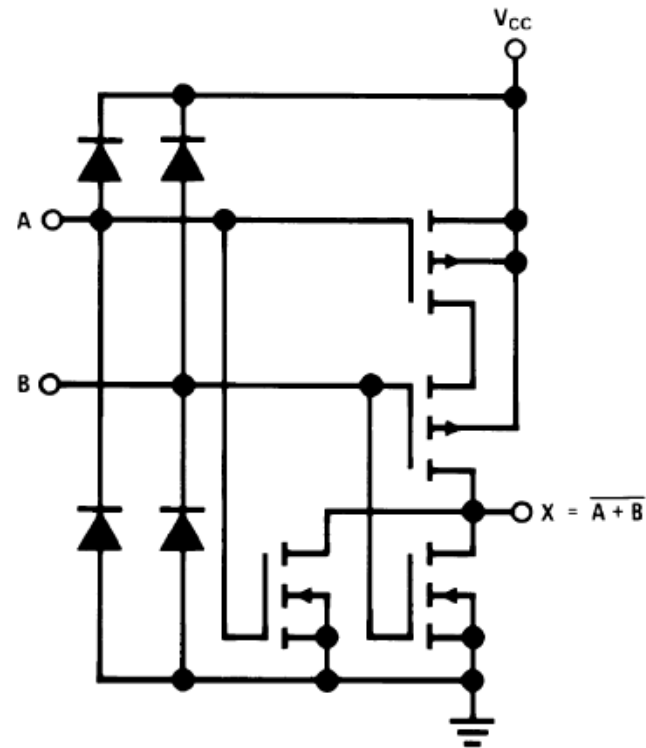
Loģisko elementu uzbūves struktūras

KMOP reālas shēmas piemēri, UN-NE un VAI-NE loģika



MM74C00

AN008019-20



MM74C02

AN008019-21

diodes
aizsargā
shēmas
ieejas
no
pārsprie
gumiem