

Relógio Digital com Alarme e Cronómetro

Departamento de Eletrónica, Telecomunicações e
Informática
Universidade de Aveiro

Marco Silva 84770, Miguel Dinis 84690
masilva@ua.pt, miguelfodinis@ua.pt



Capítulo 1

Relógio, Alarme e Cronómetro

1.1 Especificações de Sistema

Ir  ser utilizado o kit Altera DE2-115 (ver <http://goo.gl/JYc7PE>) juntamente com colunas conectadas nas entradas da FPGA respectivas. Ir  ser tamb m utilizado o visor lcd e os *displays* de 7 segmentos para visualizar qualquer uma das fun  es do rel gio, controladas com as teclas *KEY0* a *KEY3*.

O funcionamento do sistema baseia-se na Figura 1.1:

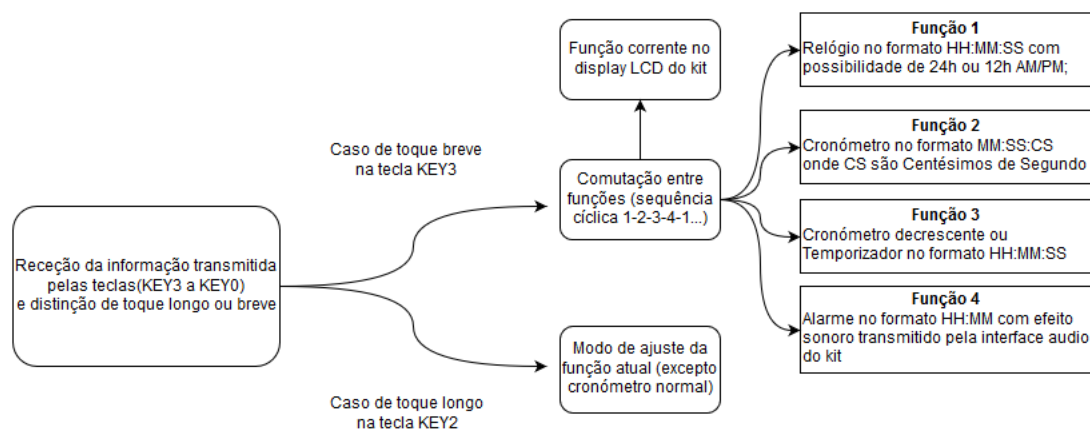


Figura 1.1: Funcionamento do sistema desenvolvido

1.2 Arquitetura de Sistema

O sistema deverá funcionar de acordo com o especificado na imagem acima (ver Figura 1.1).

Sendo assim, optou-se pela utilização de vários blocos para descrever as diferentes funções do relógio. Uma vez que o sistema funcionará com vários processos a decorrer simultaneamente, decidiu-se que a melhor opção seria dividir estes processos em ramos de forma a facilitar a implementação dos mesmos. Um diagrama de blocos simplificado do projeto a desenvolver é ilustrado na Figura 1.2.

(abaixo apresenta-se a descrição do comportamento dos blocos mais significativos do projeto)

MealyFSM: Responsável por funcionar como uma máquina de estados finitos do tipo Mealy, que tem como objetivo percorrer cada uma das funções do relógio digital, onde cada uma das funções representa um dos quatro estados possíveis.

FunctionDisplayLCD: Responsável por transmitir para o visor LCD do kit, um texto com a função atualmente selecionada.

DigitalClock: Funciona como a função de mostrador de relógio.

Alarm: Funciona como a função de alarme.

AudioController: Responsável por controlar a configuração e reprodução do som que será emitido como sendo um alarme sonoro através da interface áudio do kit.

Chronometer: Funciona como a função de cronómetro normal.

Chronometer Down: Funciona como a função de cronómetro decrescente (temporizador).

Decoder 7 bits -7 Segments: Responsável por, recebendo um valor binário de 7 bits, converter para decimal e transmitir 8 vetores cada um com 7 bits, de forma a serem diretamente utilizáveis nos vários *displays* de 7 bits do kit.

Nota: Esta é a arquitetura que deverá ser realizada, no entanto, e no decorrer do projeto poderá ser necessário efetuar algumas alterações de forma a tornar o sistema mais simples e eficaz

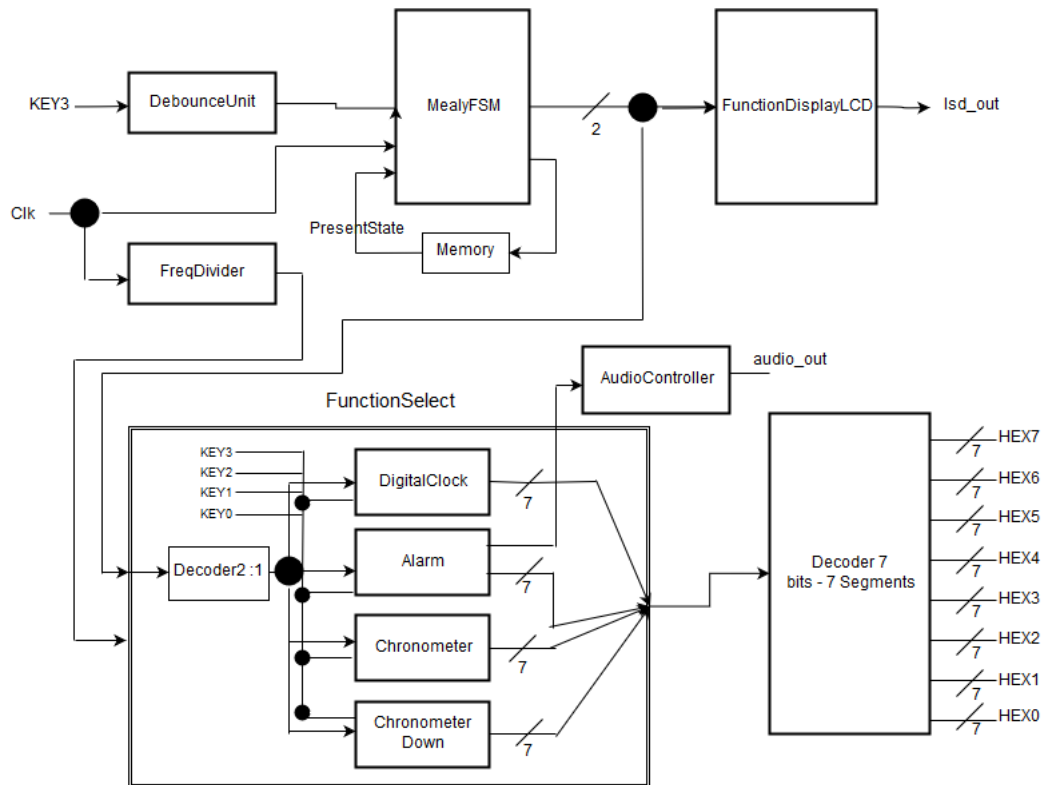


Figura 1.2: Diagrama de blocos do projeto

1.3 Abordagem ao desenvolvimento

Cada bloco deverá ser desenvolvido individualmente, podendo recorrer a sub-blocos se se verificar tal necessidade. Primeiramente serão desenvolvidos os blocos **MealyFSM** e **FunctionSelect** já que estes são a base do sistema completo cujas funções são abordadas na Seção 1.2. Sendo assim estes devem passar por testes rigorosos de modo a assegurar o correto funcionamento da máquina.

O passo seguinte é mostrar nos respetivos *displays* os valores obtidos nos blocos anteriores. Para isto devem ser desenvolvidos os blocos **FunctionDisplayLCD** e **Decoder 7 bits - 7 Segments** que terão o seu resultado mostrado nos displays *HEX0* a *HEX7* da FPGA.

Visto que é necessária a emissão de um bip ao utilizar a função alarme do relógio então será desenvolvido um bloco de nome **AudioController**, que permitirá o uso das capacidades de audio da FPGA.

Dentro do bloco **FunctionSelect** serão utilizados alguns outros blocos para executar cada uma das funções que o relógio deve fazer, mais uma vez explicadas na Seção 1.2. Assim serão criados os blocos **DigitalClock**, **Alarm**, **Chronometer** e **Chronometer Down**. Visto que estão incluídos dentro do

bloco **FunctionSelect** também estes irão passar por testes rigorosos para que o funcionamento total da máquina seja assegurado.

1.4 Divisão do trabalho

Ambos os participantes na realização do projeto terão tarefas equiparadas, sendo as restantes desenvolvidas de forma conjunta, permitindo assim afirmar que tanto Marco Silva como Miguel Dinis, têm uma participação de 50% cada para o aspeto final do projeto. Sendo assim, o resultado final é a fusão dos resultados obtidos por cada integrante com as tarefas resolvidas em conjunto.

1.5 Manual do Utilizador

Como já foi referido previamente, este sistema baseia-se num relógio com alarme e cronómetro com funções comandadas pelas teclas *KEY0* a *KEY3* da FPGA (ver Figura 1.3). A viagem entre as funções do relógio é comandada pela *KEY3* através de uma sequencia de toques em que 1 é a função do relógio digital, 2 é o cronómetro normal, 3 é o cronómetro decrescente ou temporizador e, por último, 4 é o alarme. Ao premir a *KEY3* novamente a máquina deve voltar à função 1.

Todas as funções do relógio (com exceção do cronómetro normal) têm um modo de ajuste ativado por um toque longo na tecla *KEY2* (um toque longo é um toque com duração superior a 3 segundos). Este modo só está ativado se o valor do item em ajuste estiver a piscar. Este valor pode ser incrementado ou decrementado através das teclas *KEY0* e *KEY1*, respetivamente. A incrementação ou decrementação podem ser aceleradas através de toques longos. Caso o valor que está a piscar não seja o que deseja alterar basta pressionar a tecla *KEY3* para que o valor seguinte comece a piscar e assim continuamente.

A função cronómetro normal mostra um valor diferente das outras visto que, ao invés de HH:MM:SS, o seu formato é do tipo MM:SS:CS (onde CS são centésimos de segundo). Este começa a 00:00:00 e é iniciado, ou continuado após paragem, através de um simples toque na tecla *KEY0*. Estando o cronómetro parado é possível reinicia-lo através de um toque longo na *KEY1*. Um toque breve na mesma deve guardar um tempo intermédio sem paragem do cronómetro.

A terceira função deste relógio, o temporizador (cronómetro decrescente) funciona de forma semelhante à função 1. A *KEY2* ativa o modo ajuste, necessário para definir o tempo inicial. Após o começo da contagem, ativado pela *KEY0*, esta pode ser parada de forma semelhante ao cronómetro (com breves toques na *KEY0*). Um toque longo na *KEY1* faz o cronómetro voltar ao valor que lhe foi atribuído inicialmente. Sempre que o temporizador chegue a '0' o sistema emite um bip de forma a alertar o utilizador e recomeça a contagem a partir do valor atribuído antes. Com cada chegada a '0' é incrementada a contagem de ciclos que o mesmo faz. Esta é apresentada no LCD do kit.

A última das funções deste relógio é o alarme. Este inclui também o modo ajuste através da *KEY2* e funciona de forma semelhante à função 1. O estado do alarme (on/off) é indicado nos 3 *displays* mais à direita na FPGA (*HEX0*, *HEX1*, *HEX2*). No momento é que o alarme toca, a hora, no formato HH:MM, é apresentada nos restantes *displays*, seguida de um alarme sonoro através da interface áudio do kit. Para silenciar o som é necessário um toque longo na *KEY0*.

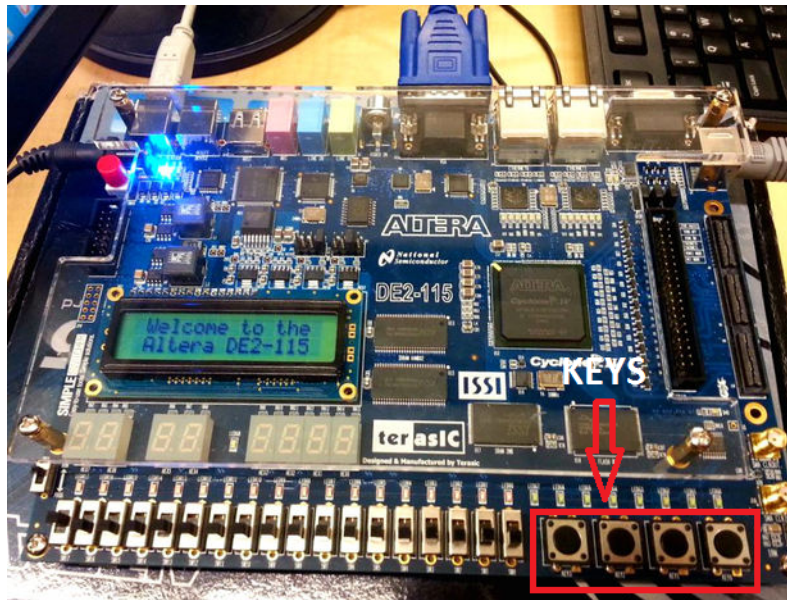


Figura 1.3: KEYs da FPGA