

Relógio Digital com Alarme e Cronómetro

Departamento de Eletrónica, Telecomunicações e
Informática
Universidade de Aveiro

Marco Silva 84770, Miguel Dinis 84690
masilva@ua.pt, miguelfodinis@ua.pt



Capítulo 1

Relógio, Alarme, Cronómetro e Temporizador

1.1 Especificações de Sistema

Ir  ser utilizado o kit Altera DE2-115 (ver <http://goo.gl/JYc7PE>) juntamente com colunas conectadas nas entradas da FPGA respectivas. Ir  ser tamb m utilizado o visor lcd e os *displays* de 7 segmentos para visualizar qualquer uma das fun  es do rel gio, controladas com as teclas *KEY0* a *KEY3* e *SW(0)* e *SW(1)*.

O funcionamento do sistema, tal como foi indicado na *milestone* baseia-se na Figura 1.1:

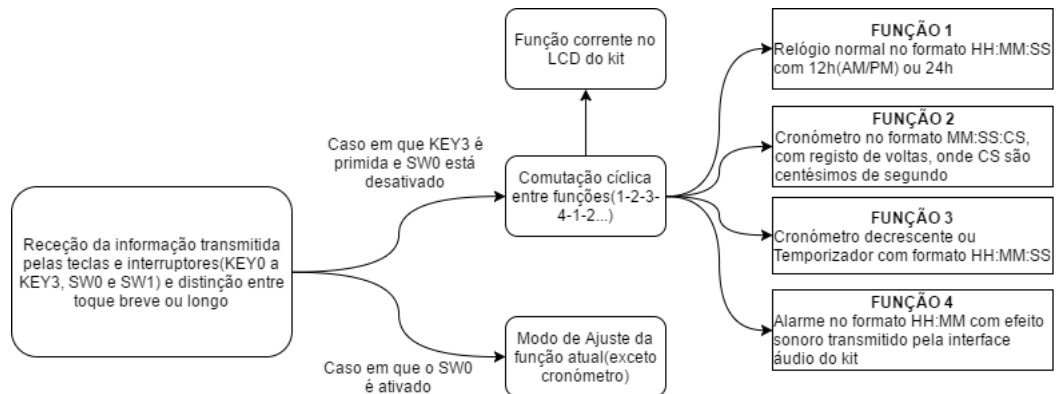


Figura 1.1: Funcionamento do sistema desenvolvido

1.2 Arquitetura de Sistema

O sistema deverá funcionar de acordo com o especificado na imagem acima (ver Figura 1.1).

Sendo assim, optou-se pela utilização de vários blocos para descrever as diferentes funções do relógio. Uma vez que o sistema funcionará com vários processos a decorrer simultaneamente, decidiu-se que a melhor opção seria dividir estes processos em ramos de forma a facilitar a implementação dos mesmos. Um diagrama de blocos simplificado do projeto a desenvolver é ilustrado na ??.

(Abaixo apresenta-se a descrição do comportamento dos blocos mais significantes do projeto)

baseClock: Responsável por funcionar como uma máquina de estados finitos do tipo Mealy, que tem como objetivo percorrer cada uma das funções do relógio digital, onde cada uma é associada a um dos quatro estados possíveis. Com uma saída *enable* foi possível evitar que 2 funções fossem executadas simultaneamente, a não ser que essa execução seja pretendida (caso do alarme em que é necessária a função relógio). Esta saída possibilitou ainda a comutação de caracteres no display LCD do kit de modo a que neste apareça a função em execução.

lcd_tl: Responsável por transmitir para o visor LCD do kit, um texto com a função atualmente selecionada através de caracteres *ASCII* convertidos em Hexadecimal.

Clock: Funcionamento do relógio e do respetivo Modo de Ajuste.

Alarm: Funcionamento do alarme em que são necessárias outras funções inclusive relógio para comparar aos valores ajustados no alarme e Set para definir os valores do alarme. Quando estes forem iguais é emitido um Bip através da execução do bloco *AudioController*.

audio_tl: Responsável por controlar a configuração e reprodução do som que será emitido como sendo um alarme sonoro através da interface áudio do kit.

Chronometer: Funcionamento da função de cronómetro normal.

ChronometerDown: Funcionamento da função de cronómetro decrescente (temporizador). Um bip é emitido quando o temporizador chega ao valor 00:00:00. De seguida este volta aos valores fornecidos pelo utilizador. Caso estes não existam volta ao valor inicial 99:59:59.

Bin7SegDecoder and Bin2BCD: Responsáveis por, recebendo um valor binário de 7 bits, converter para decimal e transmitir 8 vetores cada um com 7 bits, de forma a serem diretamente utilizáveis nos vários *displays* de 7 bits do kit. Usadas nas quatro funções.

FreqDivider: Funcionamento de um divisor de frequência de modo a obter *CLOCKs* diferentes utilizando sempre o mesmo(*CLOCK_50*).

Debouncer: Funcionamento de um bloco que recebe as *KEYs* da FPGA como entrada, juntamente ao *CLOCK_50* e devolve como saída as mesmas *KEYs* mas "limpas".

Nota: Esta é a arquitetura que foi realizada, no entanto, e visto que o projeto é composto por vários blocos que se interligam não é possível mostrar

a resultante da arquitetura neste relatório. Sendo assim, todas as imagens correspondentes à arquitetura vão em anexo com nome "RTL".

1.3 Abordagem ao desenvolvimento

Cada bloco foi desenvolvido individualmente, podendo recorrer a sub-blocos se se verificar tal necessidade. Primeiramente desenvolveu-se o bloco **Clock** já que este é a base de funcionamento de todas as funções do sistema.

O passo seguinte foi mostrar nos respetivos *displays* os valores obtidos nos blocos anteriores. Para isto procedeu-se ao desenvolvimento dos blocos **Bin2BCD** e **Bin7SegDecoder** que permitem a visualização da execução dos blocos nos displays *HEX0* a *HEX7* da FPGA.

Seguidamente foram criados os blocos e sub-blocos necessários ao funcionamento INDIVIDUAL de cada uma das outras funções.

Visto que é necessária a emissão de um bip ao utilizar a função alarme do relógio e a função temporizador então foi modificado o bloco de nome **audio_{tl}**, *que permitiu o uso da capacidade de*

Dentro do bloco **baseClock** são utilizados alguns blocos para executar cada uma das funções que o relógio deve fazer, mais uma vez explicadas na Seção 1.2.

1.4 Divisão do trabalho

Ambos os participantes na realização do projeto terão tarefas equiparadas, sendo as restantes desenvolvidas de forma conjunta, permitindo assim afirmar que tanto Marco Silva como Miguel Dinis, têm uma participação de 50% cada para o aspeto final do projeto. Sendo assim, o resultado final é a fusão dos resultados obtidos por cada integrante com as tarefas resolvidas em conjunto.

1.5 Manual do Utilizador

Como já foi referido previamente, este sistema baseia-se num relógio com alarme e cronómetro com funções comandadas pelas teclas **KEY0** a **KEY3**, incluindo ainda os interruptores **SW0** e **SW1** da FPGA (ver ??). A viagem entre as funções do relógio é comandada pela **KEY3**, enquanto o **SW0** está desativado, através de uma sequência de toques em que 1 é a função do relógio digital, 2 é o cronómetro normal, 3 é o cronómetro decrescente ou temporizador e, por último, 4 é o alarme. Ao premir a **KEY3** novamente a máquina deve voltar à função 1.

Todas as funções do relógio (com exceção do cronómetro normal) têm um modo de ajuste ativado pelo **SW0**. Este modo só está ativado se o valor do item em ajuste estiver a piscar. Este valor pode ser incrementado ou decrementado através das teclas **KEY0** e **KEY1**,

respetivamente. A incrementação ou decrementação podem ser aceleradas através de toques longos. Caso o valor que está a piscar não seja o que deseja alterar basta pressionar a tecla *KEY3* para que o valor seguinte comece a piscar e assim continuamente.

A função cronómetro normal mostra um valor diferente das outras visto que, ao invés de HH:MM:SS, o seu formato é do tipo MM:SS:CS (onde CS são centésimos de segundo). Este começa a 00:00:00 e é iniciado, ou continuado após paragem, através de um simples toque na tecla *KEY0*. Estando o cronómetro parado é possível reiniciá-lo através de um toque longo na *KEY1*. Um toque breve na mesma deve guardar um tempo intermédio sem paragem do cronómetro e a contagem de voltas deve aumentar em uma unidade. Este tempo é guardado se o mesmo aparecer a piscar nos display da FPGA. AVISO: caso seja guardado um novo tempo intermediário o anterior será apagado.

A terceira função deste relógio, o temporizador (cronómetro decrescente) funciona de forma semelhante à função 1. O *SW0* ativa o modo ajuste, necessário para definir o tempo inicial. A contagem começa quando o *SW0* é desativado. Caso queira reiniciar ou modificar a contagem basta ativar a desativar o modo de ajuste novamente. . Sempre que o temporizador atinja o valor final 00:00:00 o sistema emite um bip de forma a alertar o utilizador e recomeça a contagem a partir do valor atribuído antes.

A última das funções deste relógio é o alarme. Este inclui também o modo ajuste através da *SW0* e funciona de forma semelhante à função 1. O estado do alarme (on/off) é indicado nos 3 *displays* mais à direita na FPGA (*HEX0*, *HEX1*, *HEX2*) e ativado através do *SW1*. No momento é que o alarme toca, a hora, no formato HH:MM, é apresentada nos restantes *displays* a uma frequência de 1Hz, seguida de um alarme sonoro através da interface áudio do kit. Para silenciar o som é necessário desligar o alarme, desativando o *SW1*.

NOTA: Em anexo numa pasta cujo nome é "Manual" vão as imagens correspondentes ao que foi referido nesta secção de maneira a não tornar este relatório demasiado longo.