**数电实验5**

|  |  |  |  |
| --- | --- | --- | --- |
| 姓名： | 陈泽义 | 学号： | 23336050 |

1. **实验目的**
   1. **熟悉JK触发器的逻辑功能。**
   2. **掌握使用JK触发器搭建同步计数器和异步计数器的设计方法。**
   3. **熟悉中规模集成电路计数器的功能及应用。**
   4. **复习中规模集成电路译码器的功能及应用。**
   5. **复习七段数码管扫描式显示电路的工作原理。**
   6. **学会综合测试的方法。**
2. **实验原理与设计思路**
   1. **复习JK触发器**
      1. **特性方程图片包含 文本

         描述已自动生成**
      2. **JK触发器功能表表格

         中度可信度描述已自动生成**
      3. **注意：主从结构的JK触发器在实际实验时，凡是要求接高电平的不能悬空，否则会出现误翻。**
   2. **同步计数器的设计**
      1. **列出转态转换图**
      2. **通过JK特性方程画出各级JK触发器J与K的卡诺图**
      3. **化简得到逻辑表达式**
      4. **检查自启动**
   3. **异步计数器的设计【这里取二进制异步加法器为例】**
      1. **根据二进制加法计数器Q1Q0状态转换图，画出Q1、Q0时序波形图。**
      2. **通过分析Q1、Q0时序波形关系可以看出，每当Q0波形出现下降沿时，Q1状态翻转**
      3. **分别选择两个JK 触发器的时钟信号。**
         1. **第一级JK触发器的时钟信号CLK1直接选取连续脉冲即可。**
         2. **第二级JK 触发器的时钟信号CLK2=Q0**
      4. **化简Q1n+1、Q0n+1 的次态卡诺图**

**注意：触发器时钟有效沿到来之前，相应的触发器输出状态都应该作为约束项处理，即次态卡诺图中无论原先填的是0还是1，都记为X**

* + 1. **通过将 Q1n+1、Q0n+1 的输出表达式与JK触发器的特征方程进行对比，可得到JK 触发器的驱动方程。**
    2. **检查自启动。**
  1. **任意 N 进制计数器的实现（使用M进制集成计数器）**
     1. **M > N时**

**直接利用集成计数器的清零端或置数端实现归零，从而构成按自然态序进行计数的N 进制计数器。**

* + 1. **N < M时**

**先通过将集成计数器的级联形成大于N 进制的集成计数器，即搭建计数状态多于N 的集成计数器，再利用级联的集成计数器的清零端或置数端实现多级计数器同时归零，从而构成按自然态序进行计数的N 进制计数器。**

* 1. **同步清零、同步置数、异步清零和异步置数**
     1. **同步清零和同步置数是指当清零或置数端有效时，计数器将在时钟有效沿到达时进行清零或置数。**
     2. **异步清零和异步置数是指当清零或置数端有效时，计数器的输出立即清零或置数。**
  2. **认识集成计数器74LS160**

**表格

低可信度描述已自动生成**

1. **实验内容**
   1. **用JK触发器设计一个16进制同步计数器，用逻辑分析仪观察并记录CP和各输出的波形。**
      1. **转态转化表：**



* + 1. **通过JK特性方程画出各级JK触发器J与K的卡诺图**

**日历

描述已自动生成**

* + 1. **写出逻辑表达式：**



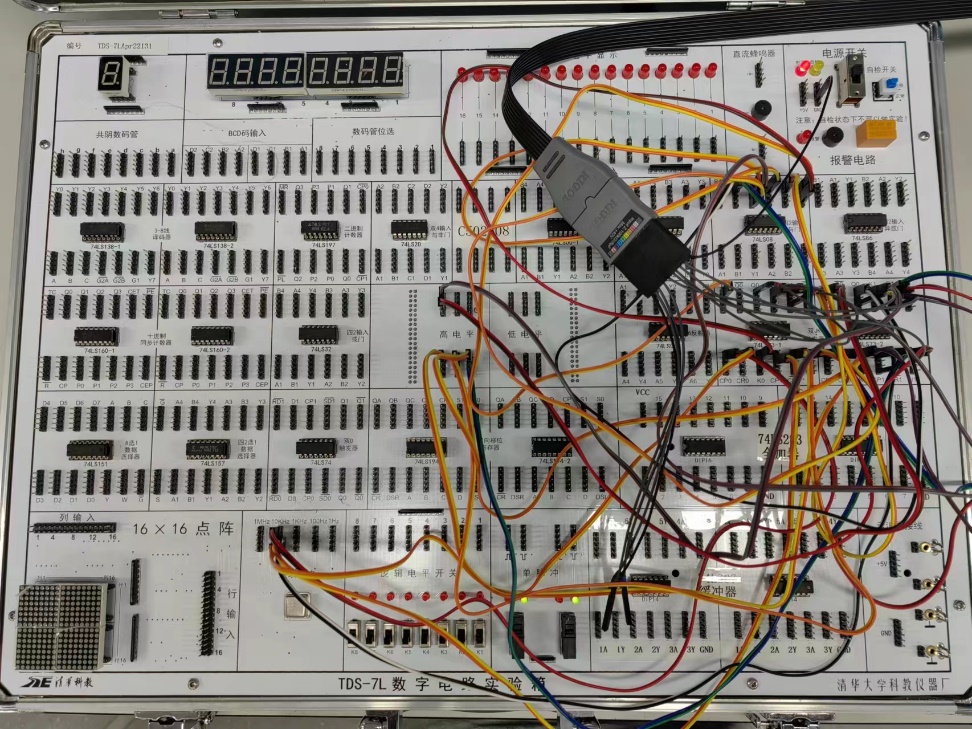
* + 1. **电路图：**

**仿真测试：**

**电脑显示屏

描述已自动生成**

* + 1. **实验图：**

****

|  |
| --- |
|  |
| **注：D0、D1、D2、D3、D4分别代表CLK、Q3、Q2、Q1、Q0** |

* 1. **用JK触发器设计一个16进制异步计数器，用逻辑分析仪观察并记录CP 和各输出的波形。**
     1. **通过分析：每当Q0波形出现下降沿时，Q1状态翻转；当Q1波形出现下降沿时，Q2状态翻转；当Q2出现下降沿时，Q3状态翻转。**

**所以：**

* + - 1. **第一级JK触发器的时钟信号CLK1直接选取连续脉冲即可。**
      2. **第二级JK 触发器的时钟信号CLK2=Q0**
      3. **第三级JK 触发器的时钟信号CLK3=Q1**
      4. **第四级JK 触发器的时钟信号CLK4=Q2**
    1. **画出次态卡诺图**

**表格

描述已自动生成**

* + 1. **得到各级表达式均为J0=K0=J1=K1=……=J3=K3=1**
    2. **电路图：**

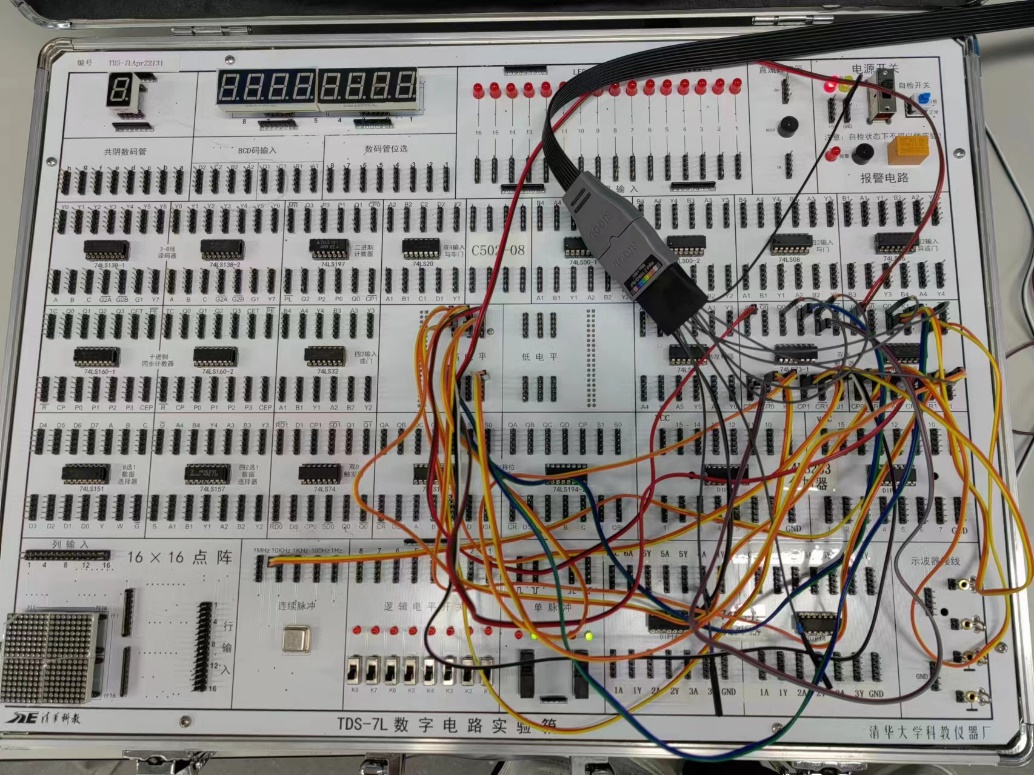
****

**仿真测试：**

**图形用户界面

描述已自动生成**

* + 1. **实验图：**

****

|  |
| --- |
|  |
| **注：D0、D1、D2、D3、D4分别代表CLK、Q3、Q2、Q1、Q0** |

* 1. **采用同步置数的方法，使用两片集成计数器74LS160 搭建一个六十进制计数器（六进制为高位，十进制为低位）。要求低位显示在1 号数码管，高位显示在2 号数码管。**
     1. **连接思路：**

**根据级联原理，将低位计数器的进位输出连接到高位计数器的使能端。使用4输入与非器，在计数达到“59”时（即高位计数器的Q3、Q0与低位计数器的Q3、Q0同时为“1”时），将与非器的输出接入到74LS160的同步置数端口，接着在置数输入端口（D0、D1、D2、D3都接入低电平）实现同步置数。**

**因为1、2 号数码管共用一组BCD 码输入端口，因此需要使用二选一数据选择器74LS157将两个74LS160的输出轮流送到数码管输入端。即在数据选择器输出高位计数器数据BCD码的同时选通高位数码管，在数据选择器输出低位计数器数据BCD码的同时选通低位数码管，并且将74LS157的选择端口接入时钟，以使得能轮流显示高位与低位。**

* + 1. **电路图：**

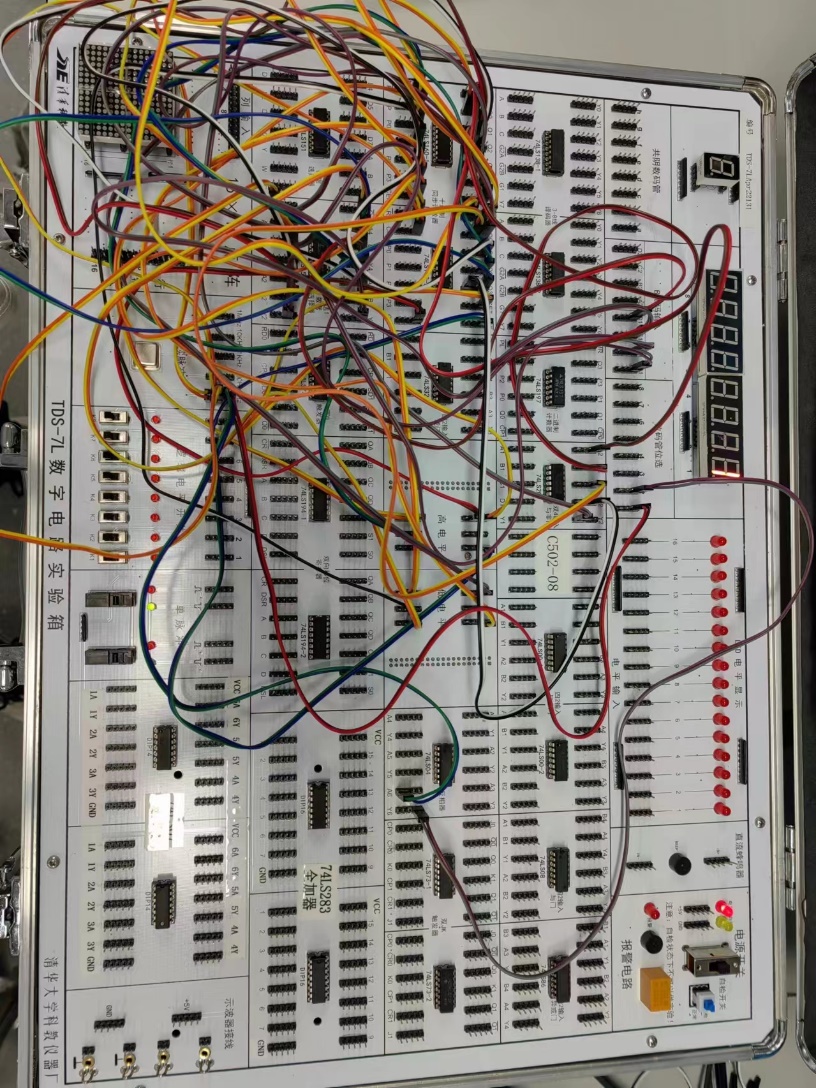
****

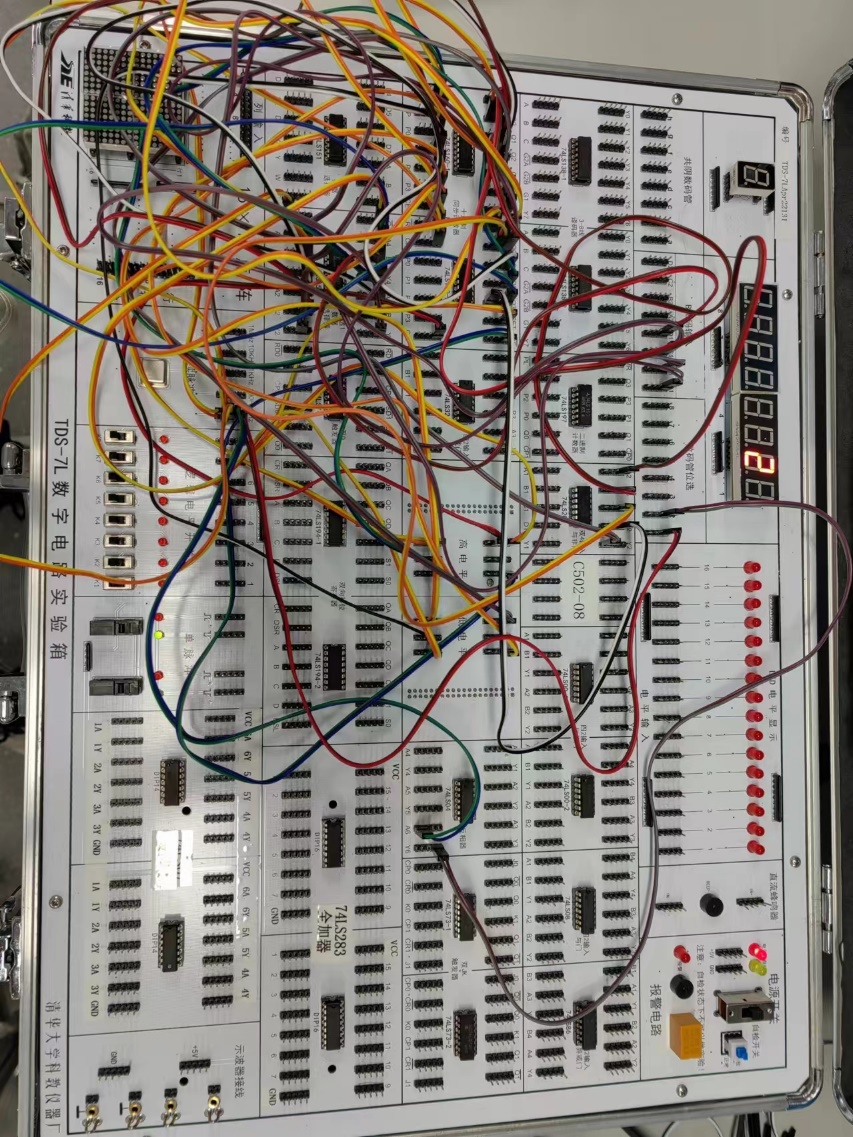
**仿真测试：**

**图示, 示意图

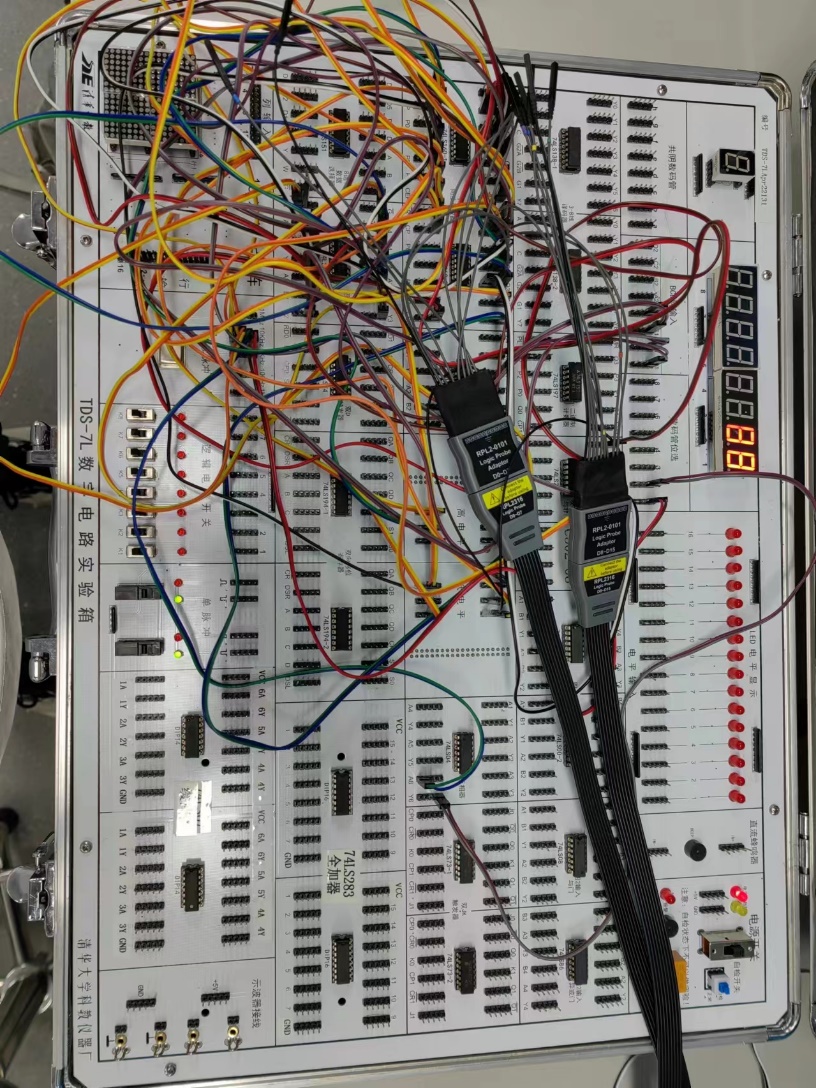
描述已自动生成**

* + 1. **实验图**

****

****

* + 1. **将实验箱上10KHz的连续脉冲作为六十进制计数器的计数脉冲，使用示波器数字通道观察并记录CP（计数脉冲）和两片74LS160的计数输出Q3、Q2、Q1、Q0**

****

|  |
| --- |
|  |
| **注:D0、D1、D2、D3、D4、D6、D7、D8、D9分别代表CLK，高位计数器的Q3、Q2、Q1、Q0，低位计数器的Q3、Q2、Q1、Q0** |

* 1. **采用异步清零的方法，使用两片集成计数器74LS160 搭建一个六十进制计数器（六进制为高位，十进制为低位）。要求低位显示在1 号数码管，高位显示在2 号数码管。**
     1. **连接思路：**

**根据级联原理，将低位计数器的进位输出连接到高位计数器的使能端。使用4输入与非器，在计数达到“60”时（即高位计数器的Q2、Q1同时为“1”时），将与非器的输出接入到74LS160的异步清零端口，实现异步清零。【注意不再是“59”清零，因为接入的是异步的清零端，若在“59”清零会导致“59”无法显示】**

**数码管的连接与同步置数相同。**

* + 1. **电路图**

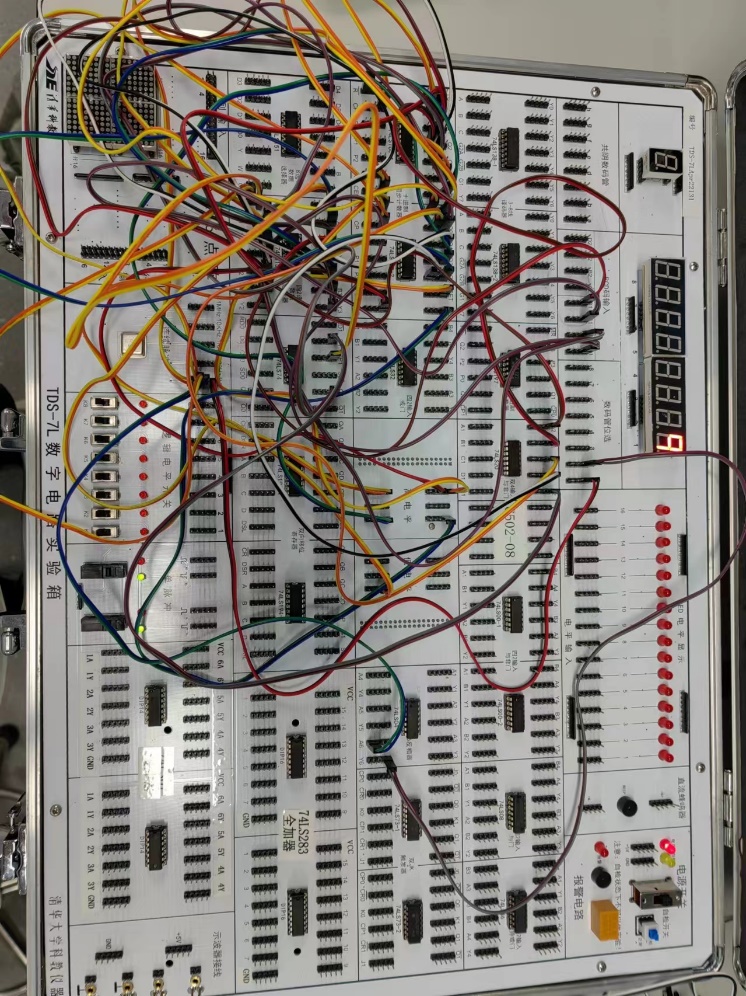
****

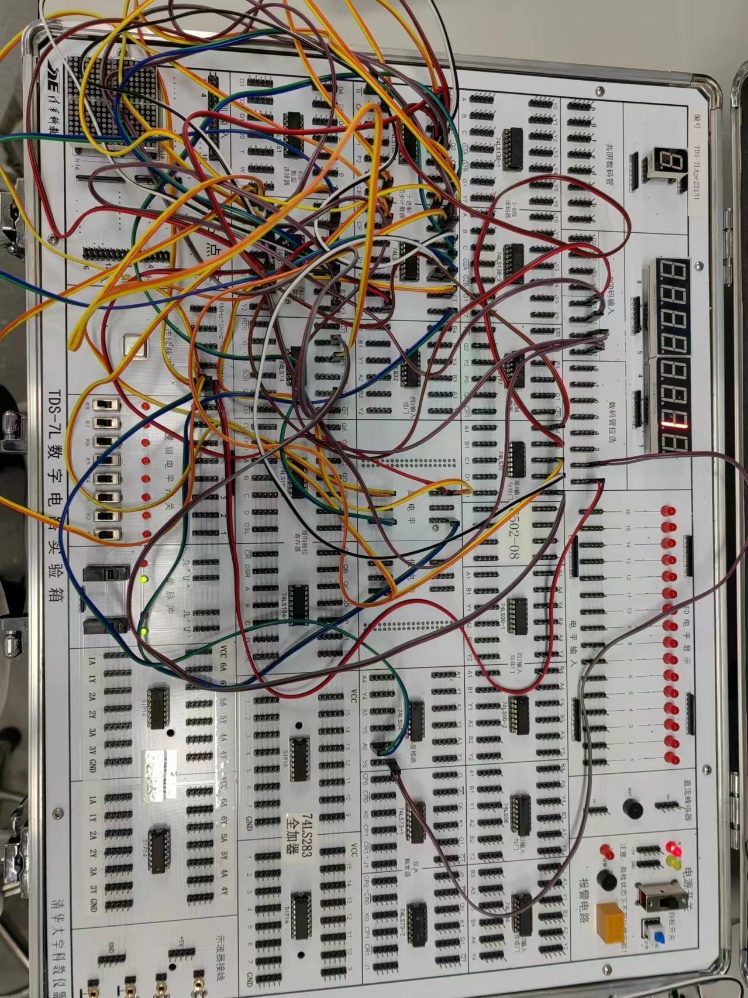
**仿真测试：**

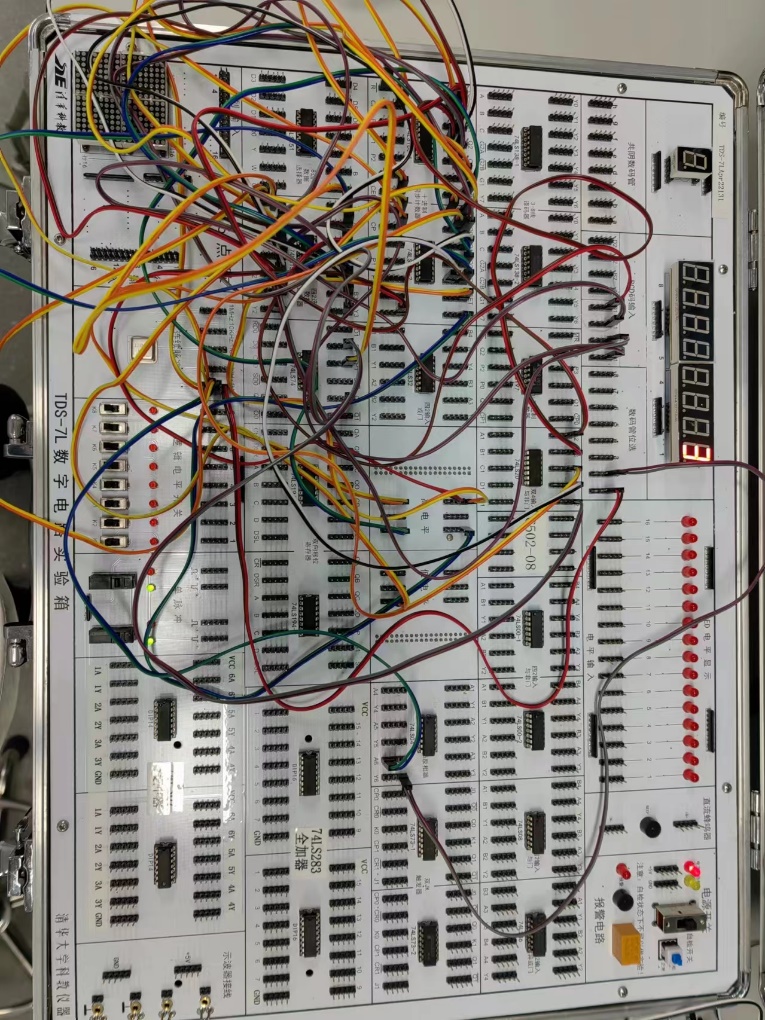
**图示, 示意图

描述已自动生成**

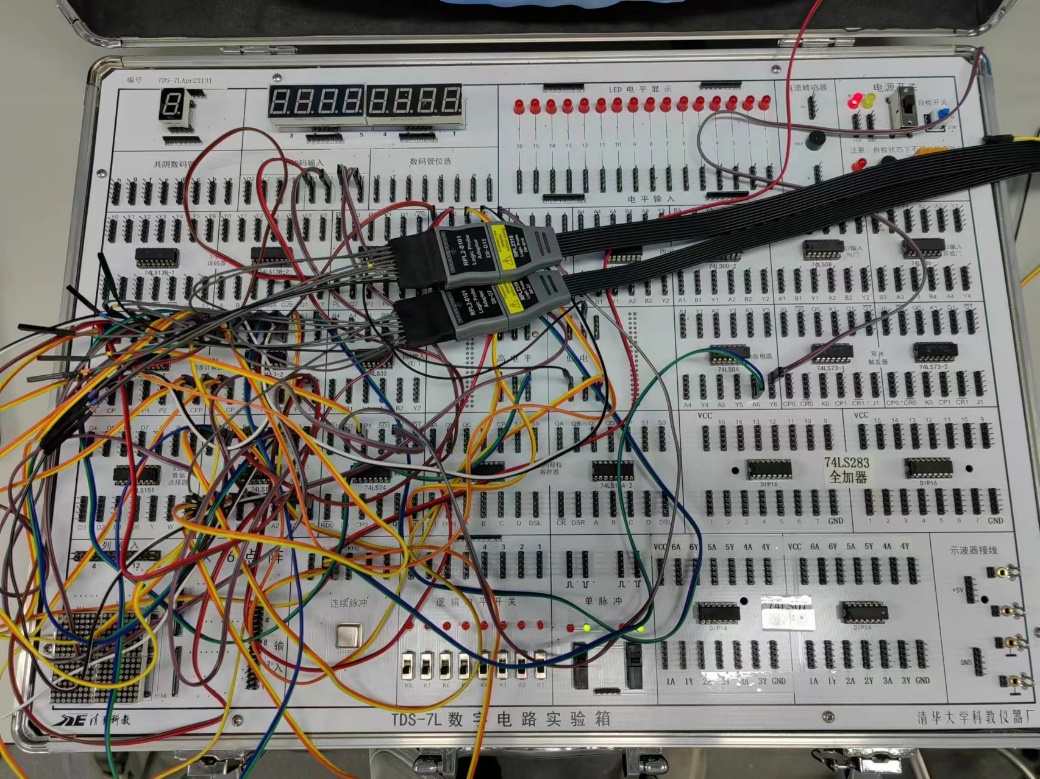
* + 1. **实验图**

****

****

****

* + 1. **将实验箱上10KHz的连续脉冲作为六十进制计数器的计数脉冲，使用示波器数字通道观察并记录CP（计数脉冲）和两片74LS160的计数输出Q3、Q2、Q1、Q0**

****

|  |
| --- |
|  |
| **注:D0、D1、D2、D3、D4、D6、D7、D8、D9分别代表CLK，高位计数器的Q3、Q2、Q1、Q0，低位计数器的Q3、Q2、Q1、Q0** |

1. **实验总结**

**通过这次实验，我对计数器的设计以及实现有了深刻的理解，学会了通过卡诺图，特性方程等等协助实现同步计数器的设计。通过对波形的分析学会了对异步计数器的设计。**

**而在利用MSI设计六十进制计数器时，学会了对集成电路中功能模块的划分，如数码管显示功能块，计数块……了解了同步置数与异步清零的区别，学会了选择在不同的数字达到清零或者置位的效果。**

**本次实验困难较多，主要是在数码管显示功能块上以及清零置位上遇到困难。通过思考，在数码管显示功能块上学会用时钟来轮流进行高低位显示。在置位上通过加深对同步与异步的区别的理解，最终顺利解决问题。**