

# Fachprojekt 6: Digital Design for Machine Learning

## 2. Computation Unit

Gero Grünh, Niklas Thieme, Matthias Tappe, Timo Stapel

January 17, 2022

### 1 Projektbeschreibung

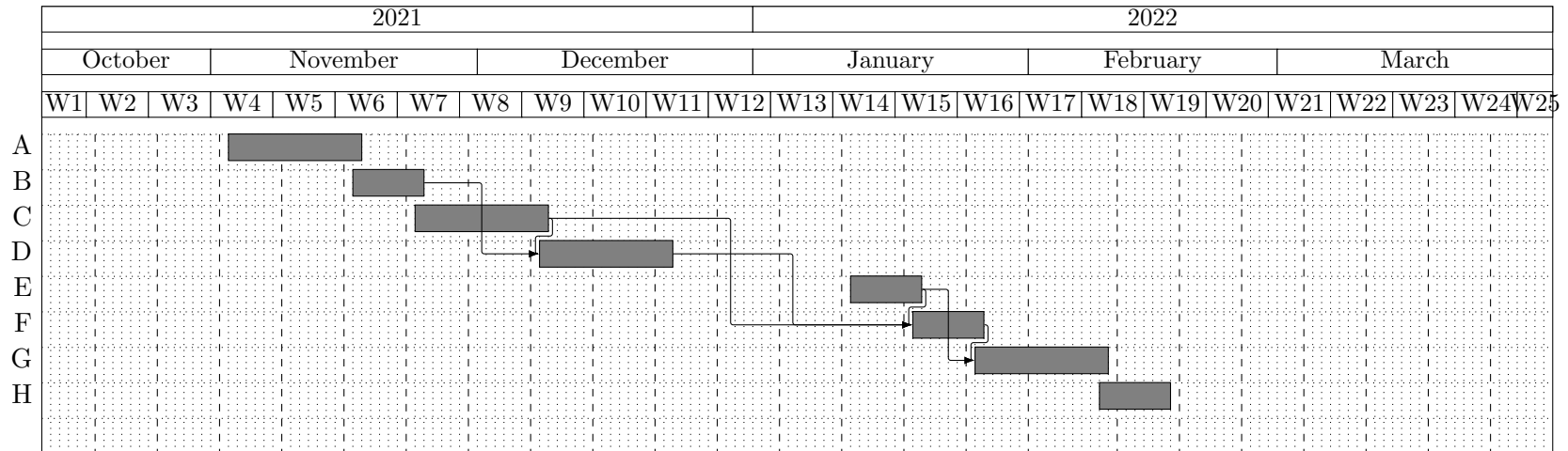
- Wir beschreiben die Rechenbauteile in VHDL

### 2 Planung

#### 2.1 Ziele und Meilensteine

- Halbaddierer
- Halbaddierer - Test
- Volladdierer
- Volladdierer - Test
- Addierer (Kogge-Stone)
- Addierer - Test
- Multiplizierer (Wallace-Tree; braucht Halbaddierer, Volladdierer, Kogge-Stone-Addierer)
- Multiplizierer - Test
- FIFO (paralleler speicher)
- FIFO - Test
- MAC (braucht: Addierer, Multiplizierer, FIFO)
- MAC - Test
- Systolisches Array (braucht: MAC, FIFO)
- Systolisches Array - Test

## 2.2 Zeitplan



- A: (Alle zusammen) Beschreibung aller Entitys (Ein- und Ausgänge)
- B: (Alle zusammen) Halbaddierer, Halbaddierer\_tb, Volladdierer, Volladdierer\_tb
- C: (Zwei pro Datei) Addierer(Kogge-Stone) (Niklas, Timo), Addierer\_tb (Gero, Matthias)
- D: (Zwei pro Datei) Multiplizierer(Wallace-Tree) (Gero, Matthias), Multiplizierer\_tb (Niklas, Timo)
- E: (Zwei pro Datei) FIFO (Gero, Timo), FIFO\_tb (Niklas, Matthias)
- F: (Zwei pro Datei) MAC (Timo, Matthias), MAC\_tb (Niklas, Gero)
- G: (Zwei pro Datei) Systolisches-Array (?), Systolisches-Array\_tb (?)
- H: (Alle zusammen) Dokumentation fertig machen