

Fachprojekt 6: Digital Design for Machine Learning

3. Computation Unit

Gero Grün, Niklas Thieme, Matthias Tappe, Timo Stapel

March 20, 2022

1 Projektbeschreibung

- Wir beschreiben die Rechenbauteile in VHDL

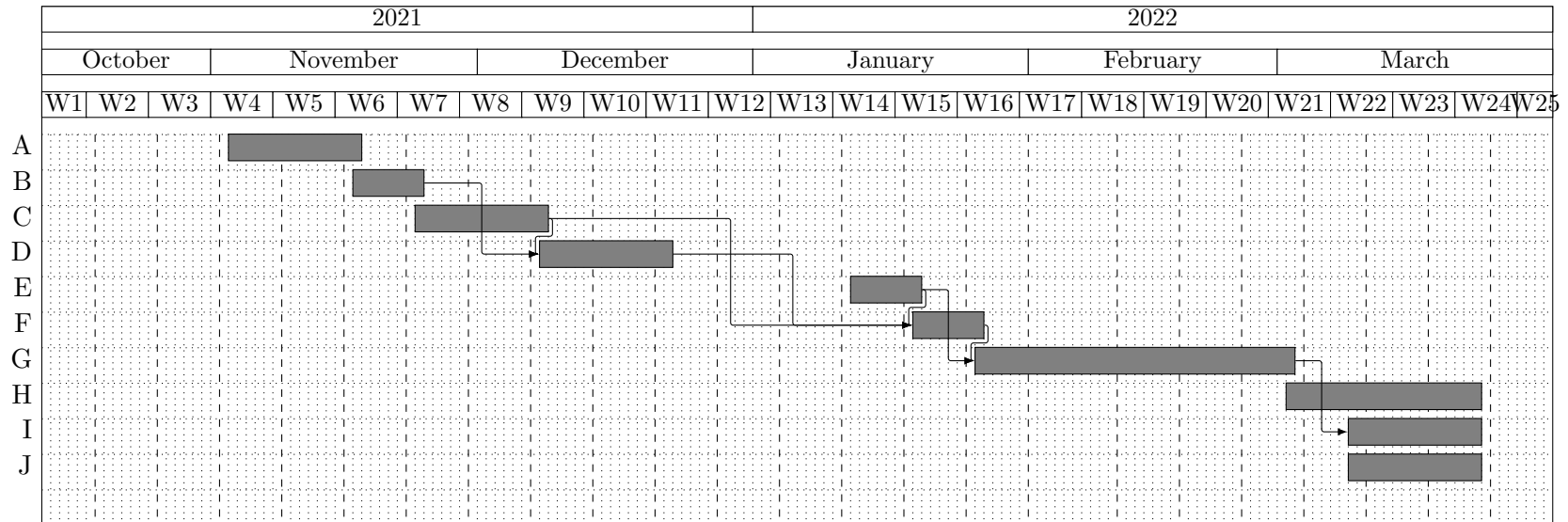
2 Planung

2.1 Ziele und Meilensteine

- Halbaddierer
- Halbaddierer - Test
- Volladdierer
- Volladdierer - Test
- Addierer (Kogge-Stone)
- Addierer - Test
- Multiplizierer (Wallace-Tree; braucht Halbaddierer, Volladdierer, Kogge-Stone-Addierer)
- Multiplizierer - Test
- PIPO (paralleler speicher)
- PIPO - Test
- MAC (braucht: Addierer, Multiplizierer, PIPO)
- MAC - Test
- Systolisches Array (braucht: MAC, PIPO)
- Systolisches Array - Test
- FIFO (Speicher mit 2 Clock-Domains)
- FIFO - Test
- Controller (braucht: ?)

- Controller - Test
- Matrix Multiplizierer (braucht: alles)
- Matrix Multiplizierer - Test

2.2 Zeitplan



- A: (Alle zusammen) Beschreibung aller Entitys (Ein- und Ausgänge)
- B: (Alle zusammen) Halbaddierer, Halbaddierer_tb, Volladdierer, Volladdierer_tb
- C: Addierer(Kogge-Stone) (Niklas, Timo), Addierer_tb (Gero, Matthias)
- D: Multiplizierer(Wallace-Tree) (Gero, Matthias), Multiplizierer_tb (Niklas, Timo)
- E: FIFO (Gero), FIFO_tb (?)
- F: MAC (Timo, Matthias), MAC_tb (Niklas, Timo)
- G: Systolisches-Array (Timo, Niklas), Systolisches-Array_tb (Niklas, Timo)
- H: Matrix Multiplizierer (?)
- I: Controller (Gero), Controller_tb (?)
- J: (Alle zusammen, jeder seine Bauteile) Dokumentation schreiben