

Fachprojekt 6: Digital Design for Machine Learning

2. Computation Unit

Gero Grünh, Niklas Thieme, Matthias Tappe, Timo Stapel

March 17, 2022

1 Projektbeschreibung

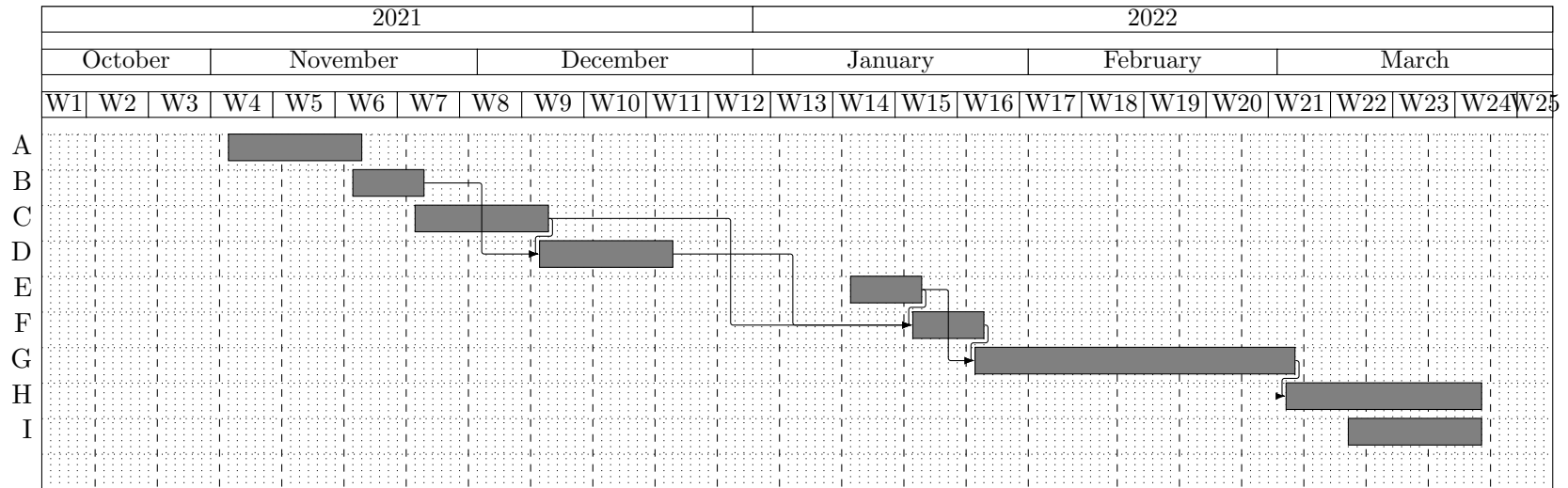
- Wir beschreiben die Rechenbauteile in VHDL

2 Planung

2.1 Ziele und Meilensteine

- Halbaddierer
- Halbaddierer - Test
- Volladdierer
- Volladdierer - Test
- Addierer (Kogge-Stone)
- Addierer - Test
- Multiplizierer (Wallace-Tree; braucht Halbaddierer, Volladdierer, Kogge-Stone-Addierer)
- Multiplizierer - Test
- FIFO (paralleler speicher)
- FIFO - Test
- MAC (braucht: Addierer, Multiplizierer, FIFO)
- MAC - Test
- Systolisches Array (braucht: MAC, FIFO)
- Systolisches Array - Test

2.2 Zeitplan



- A: (Alle zusammen) Beschreibung aller Entitys (Ein- und Ausgänge)
- B: (Alle zusammen) Halbaddierer, Halbaddierer_tb, Volladdierer, Volladdierer_tb
- C: Addierer(Kogge-Stone) (Niklas, Timo), Addierer_tb (Gero, Matthias)
- D: Multiplizierer(Wallace-Tree) (Gero, Matthias), Multiplizierer_tb (Niklas, Timo)
- E: FIFO (Gero, Timo), FIFO_tb (Niklas, Matthias)
- F: MAC (Timo, Matthias), MAC_tb (Niklas, Gero)
- G: Systolisches-Array (Timo, Niklas), Systolisches-Array_tb (Niklas, Timo)
- H: Controller (Gero), Controller_tb (?)
- I: (Alle zusammen, jeder seine Bauteile) Dokumentation schreiben