

Fachprojekt 6: Digital Design for Machine Learning

3. Computation Unit

Gero Grünh, Niklas Thieme, Matthias Tappe, Timo Stapel

March 23, 2022

1 Projektbeschreibung

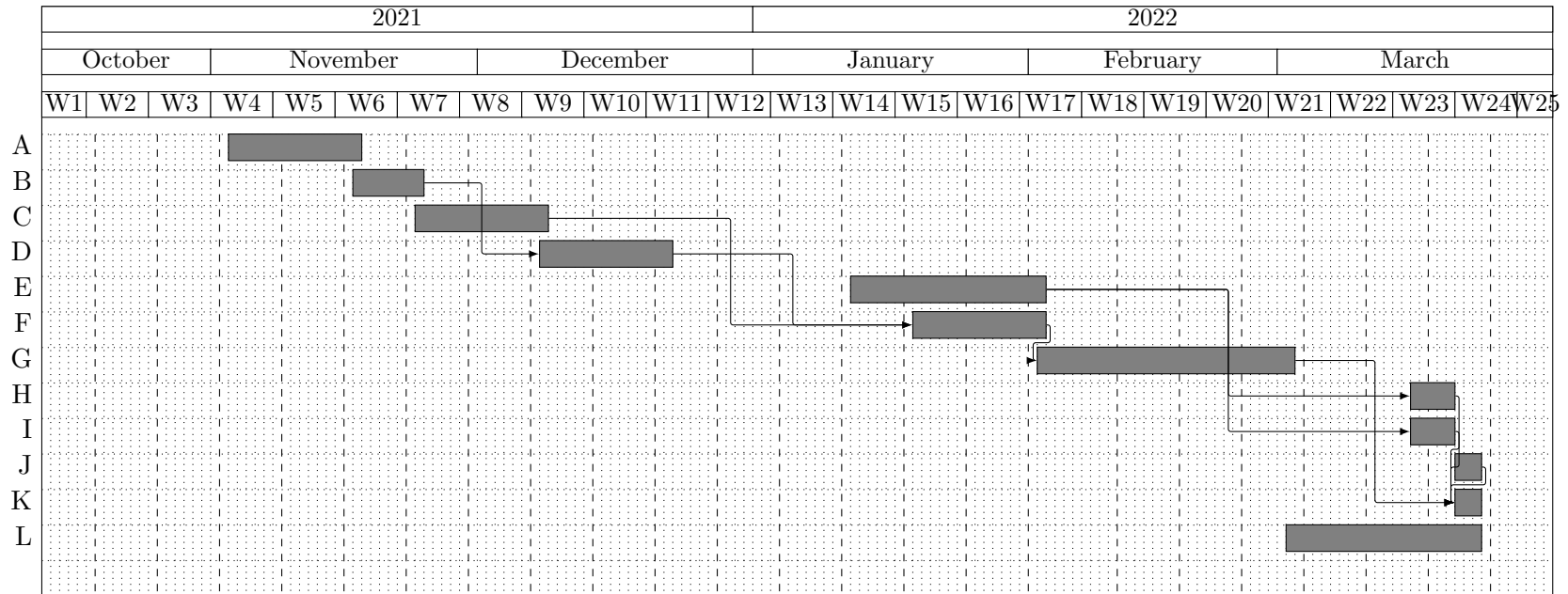
- Wir beschreiben die Rechenbauteile in VHDL
- Dabei wird auf einen Matrix-Multiplizierer hingearbeitet

2 Planung

2.1 Ziele und Meilensteine

- Halbaddierer, Volladdierer
- Addierer (Kogge-Stone) (Zweierkomplement)
- Multiplizierer (Wallace-Tree; braucht Halbaddierer, Volladdierer, Kogge-Stone-Addierer) (Zweierkomplement)
- MAC (braucht: Addierer, Multiplizierer, PIPO, mit verzögerter weitergabe der Eingaben)
- Systolisches Array (braucht: MAC, PIPO) (skalierbar)
- FIFO (Speicher mit 2 Clock-Domains)
- Matrix Multiplizierer (braucht: SA, Buffer (Stacks), FIFO, SA_Filler, SA_Reader, Controller)

2.2 Zeitplan



- A: (Alle zusammen) Beschreibung aller Entitäts (Ein- und Ausgänge)
- B: (Alle zusammen) Halbaddierer, Volladdierer
- C: (Niklas, Timo) Addierer(Kogge-Stone)
- D: (Gero, Timo) Multiplizierer(Wallace-Tree)
- E: (Gero) FIFO
- F: (Niklas, Matthias) MAC
- G: (Timo, Niklas) Systolisches-Array
- H: (Gero) SA_Filler
- I: (Timo) SA_Reader

- J: (?) Controller
- K: (?) Matrix Multiplizierer
- L: (Primär: Matthias) (Korrektur: Alle) Dokumentation