

Fachprojekt 6: Digital Design for Machine Learning

2. Computation Unit

Gero Grün, Niklas Thieme, Matthias Tappe, Timo Stapel

November 29, 2021

1 Projektbeschreibung

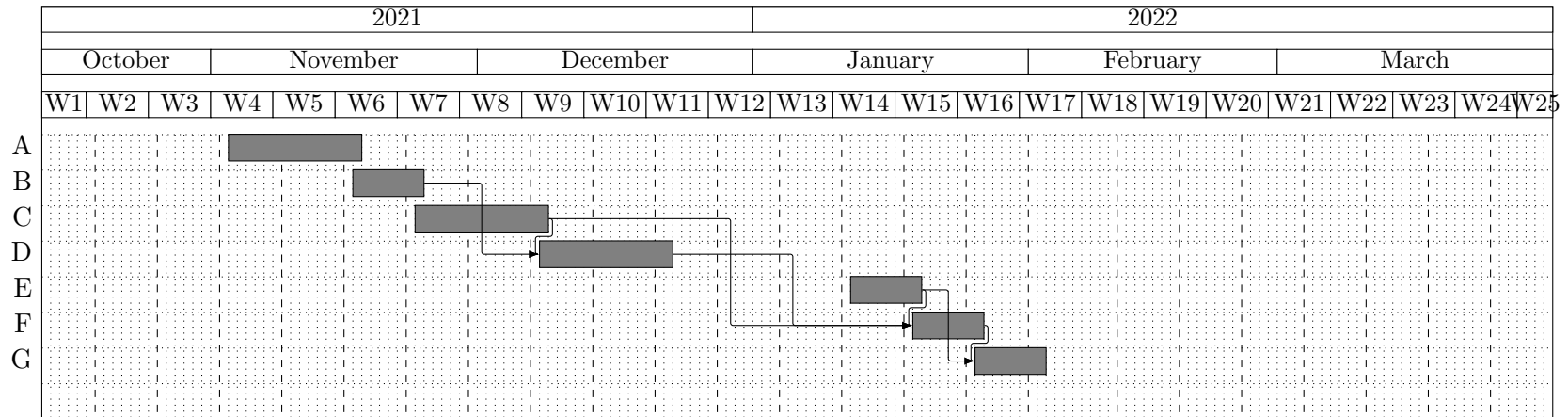
- Wir beschreiben die Rechenbauteile in VHDL

2 Planung

2.1 Ziele und Meilensteine

- Halbaddierer
- Halbaddierer - Test
- Volladdierer
- Volladdierer - Test
- Addierer (Kogge-Stone)
- Addierer - Test
- Multiplizierer (Wallace-Tree; braucht Halbaddierer, Volladdierer, Kogge-Stone-Addierer)
- Multiplizierer - Test
- FIFO (paralleler speicher)
- FIFO - Test
- MAC (braucht: Addierer, Multiplizierer, FIFO)
- MAC - Test
- Systolisches Array (braucht: MAC, FIFO)
- Systolisches Array - Test

2.2 Zeitplan



- A: (Alle zusammen) Beschreibung aller Entitäts (Ein- und Ausgänge)
- B: (Alle zusammen) Halbaddierer, Halbaddierer_tb, Volladdierer, Volladdierer_tb
- C: (Zwei pro Datei) Addierer(Kogge-Stone) (Niklas Thieme, Timo Stapel), Addierer_tb (Gero Grünh, Matthias Tappe)
- D: (Zwei pro Datei) Multiplizierer(Wallace-Tree) (?), Multiplizierer_tb (?)
- E: (Zwei pro Datei) FIFO (?), FIFO_tb (?)
- F: (Zwei pro Datei) MAC (?), MAC_tb (?)
- G: (Zwei pro Datei) Systolisches-Array (?), Systolisches-Array_tb (?)