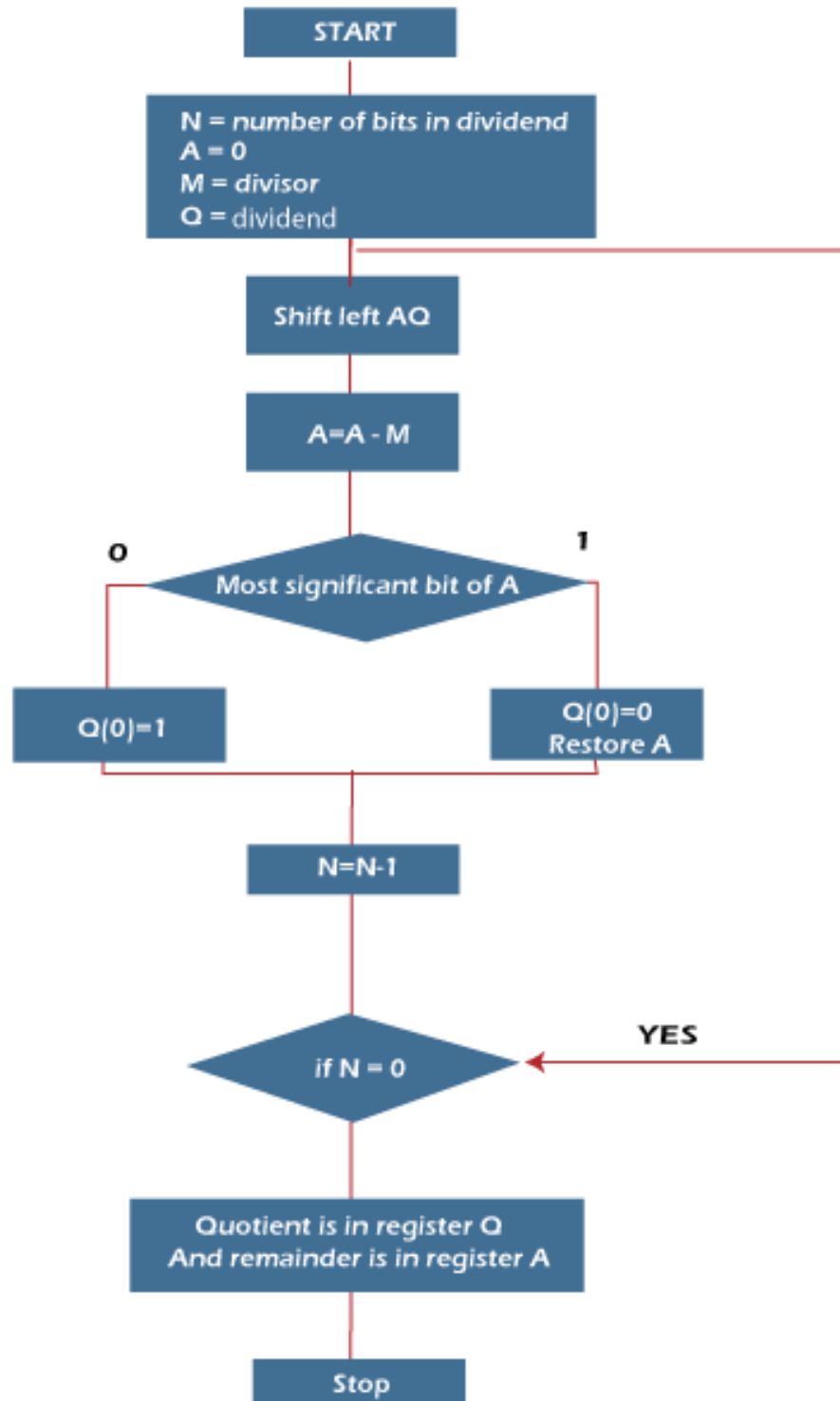


گزارش کار آزمایش ۸ معماری کامپیوتر

محمد مهدی نظری ۹۹۳۱۰۶۱ – آرمین ابراهیمی صبا ۹۹۳۱۰۸۶

در این آزمایش یک تقسیم کننده ۸ بیت بر ۴ بیت را با استفاده از الگوریتم بازیابی و با استفاده از FSM پیاده شده اند که دارای ۹ حالت است که الگوریتم زیر را پیاده سازی میکند .



```

33
34 entity Division is
35 Port(
36 M : in std_logic_vector(3 downto 0);
37 Q : in std_logic_vector(7 downto 0);
38 A : out std_logic_vector(3 downto 0);
39 Q_out : out std_logic_vector(7 downto 0);
40 clk : in std_logic
41 );
42 end Division;
43
44 architecture Behavioral of Division is
45
46 type FSM is ( S0_initial , S1_temp , S2_shift , S3_split , S4_minus , S5_assign , S6_restore , S7_decrease , S8_check , S9_finish );
47 signal current_state : FSM := S0_initial ;
48 signal next_state : FSM := S1_temp ;
49 signal AQ : std_logic_vector(11 downto 0);
50 signal A_temp : std_logic_vector(3 downto 0) ;
51 signal Q_temp : std_logic_vector(7 downto 0);
52 signal N : std_logic_vector(3 downto 0) ;
53
54 begin
55
56     process(current_state,Q,M)
57     begin
58
59         case current_state is
60
61             when S0_initial =>
62
63                 N <= "1000";
64                 A_temp <= "0000";
65                 Q_temp <= Q ;
66                 next_state <= S1_temp;
67

```

```

67
68     when S1_temp =>
69         AQ <= A_temp & Q_temp;
70         next_state <= S2_shift;
71
72     when S2_shift =>
73         AQ <= AQ(10 downto 0) & '0';
74         next_state <= S3_split;
75
76     when S3_split =>
77         A_temp <= AQ(11 downto 8);
78         Q_temp <= AQ(7 downto 0);
79         next_state <= S4_minus;
80
81     when S4_minus =>
82         A_temp <= std_logic_vector( unsigned(A_temp) - unsigned(M) );
83         next_state <= S5_assign;
84
85     when S5_assign =>
86         if(A_temp(3) = '1') then
87             Q_temp(0) <= '0';
88             next_state <= S6_restore;
89         else
90             Q_temp(0) <= '1';
91             next_state <= S7_decrease;
92         end if;
93
94     when S6_restore =>
95         A_temp <= std_logic_vector( unsigned(A_temp) + unsigned(M) );
96         next_state <= S7_decrease;
97
98     when S7_decrease =>
99         N <= std_logic_vector( unsigned(N) - "0001" );
100        next_state <= S8_check;
101
102
103        when S8_check =>
104
105            if(N = "0000") then
106                next_state <= S9_finish;
107            else
108                next_state <= S1_temp;
109            end if;
110
111
112        when S9_finish =>
113            Q_out <= Q_temp;
114            A <= A_temp;
115
116        end case;
117
118    end process;
119
120    process(clk)
121    begin
122        if(rising_edge(clk)) then
123            current_state <= next_state;
124        end if;
125    end process;
126
127    end Behavioral;

```

تست پنچ :

در این تست پنچ عدد ۱۴ دسیمال معادل ۰۰۰۰۱۱۱۰ باینری بر عدد ۳ دسیمال معادل ۰۰۱۱ باینری تقسیم شده که همانند انتظار خارج قسمت ۴ دسیمال معادل ۰۰۰۰۱۰۰ باینری و باقیمانده ۲ دسیمال معادل با ۰۰۱۰ باینری داده است .

$$4 \times 3 + 2 = 14$$

