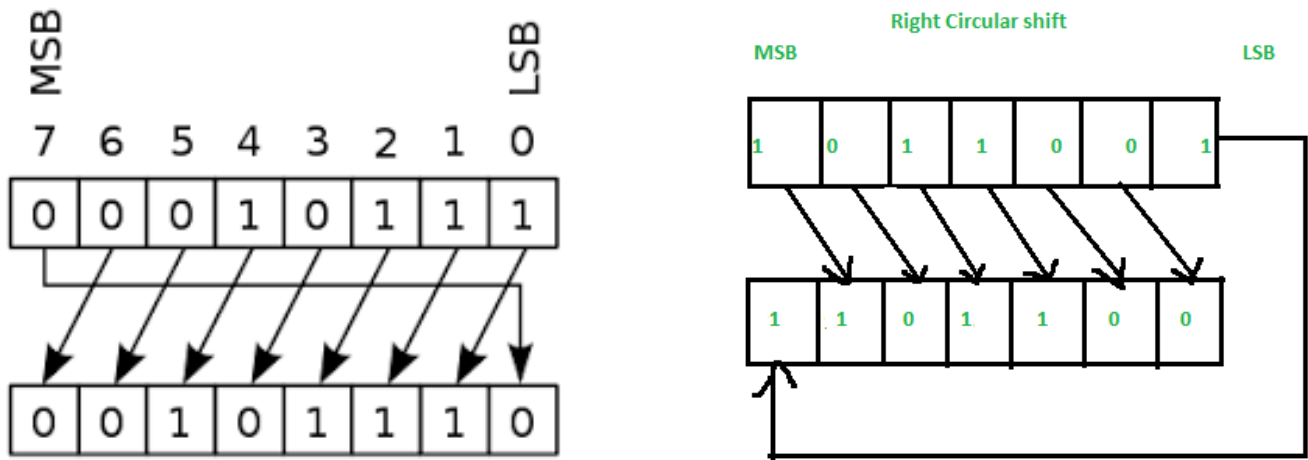


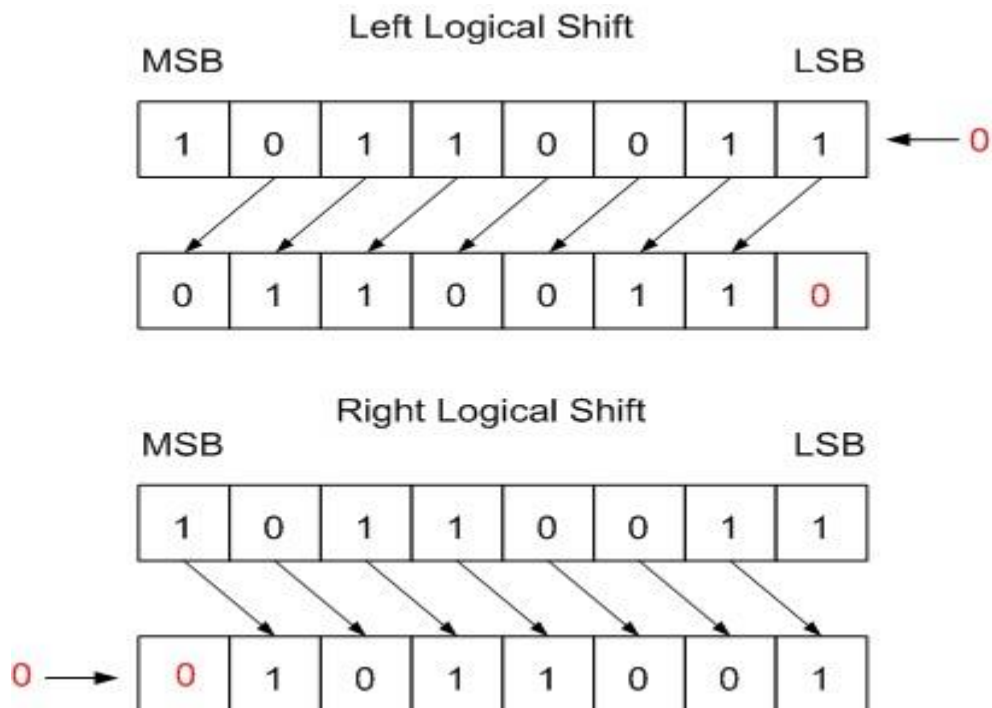
## پیشگزارش آزمایش ۶ معماری کامپیوتر

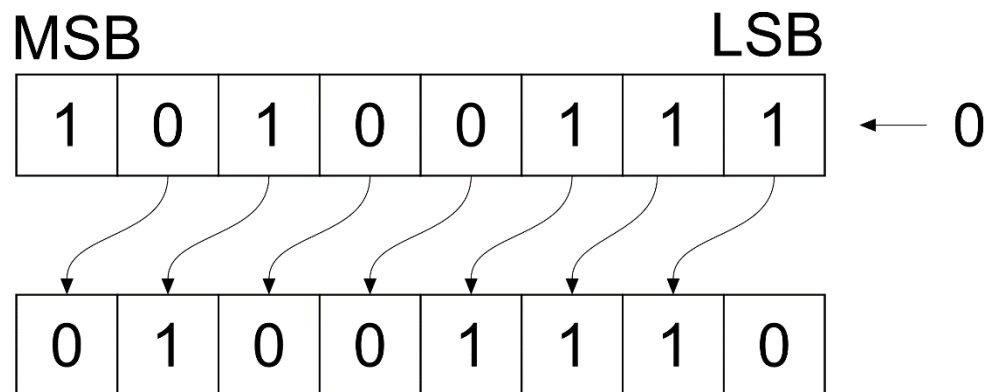
محمد مهدی نظری ۹۹۳۱۰۶۱ – آرمین ابراهیمی صبا ۹۹۳۱۰۸۶

۱ – شیفت دایره ای

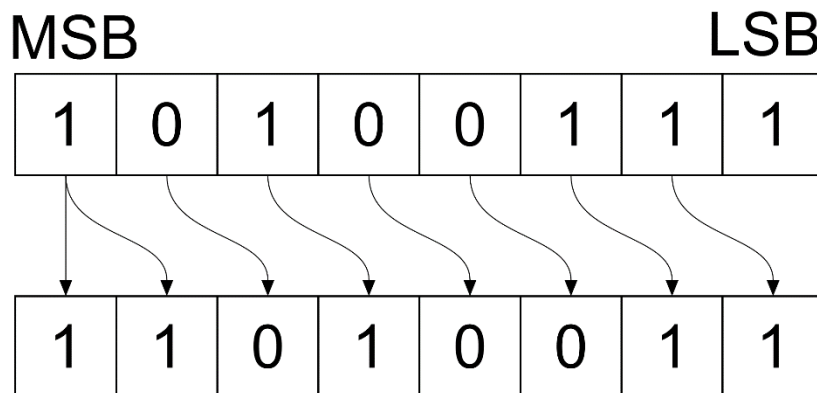


۲ – شیفت منطقی





Left Arithmetic Shift

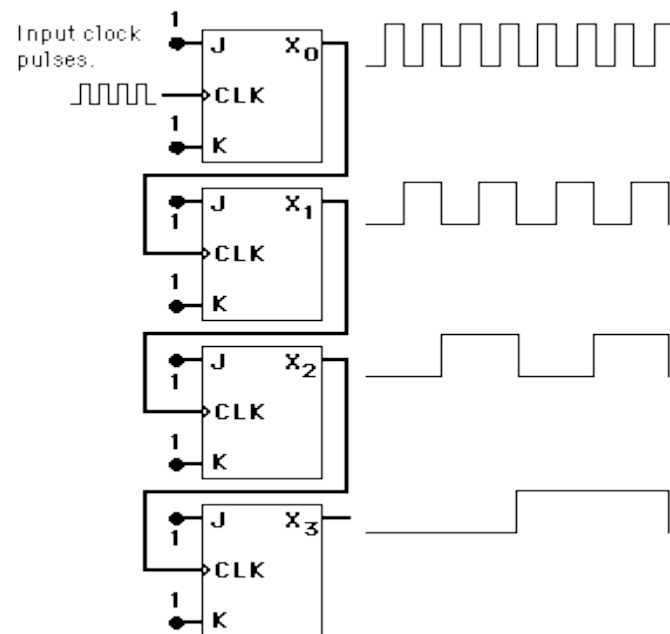
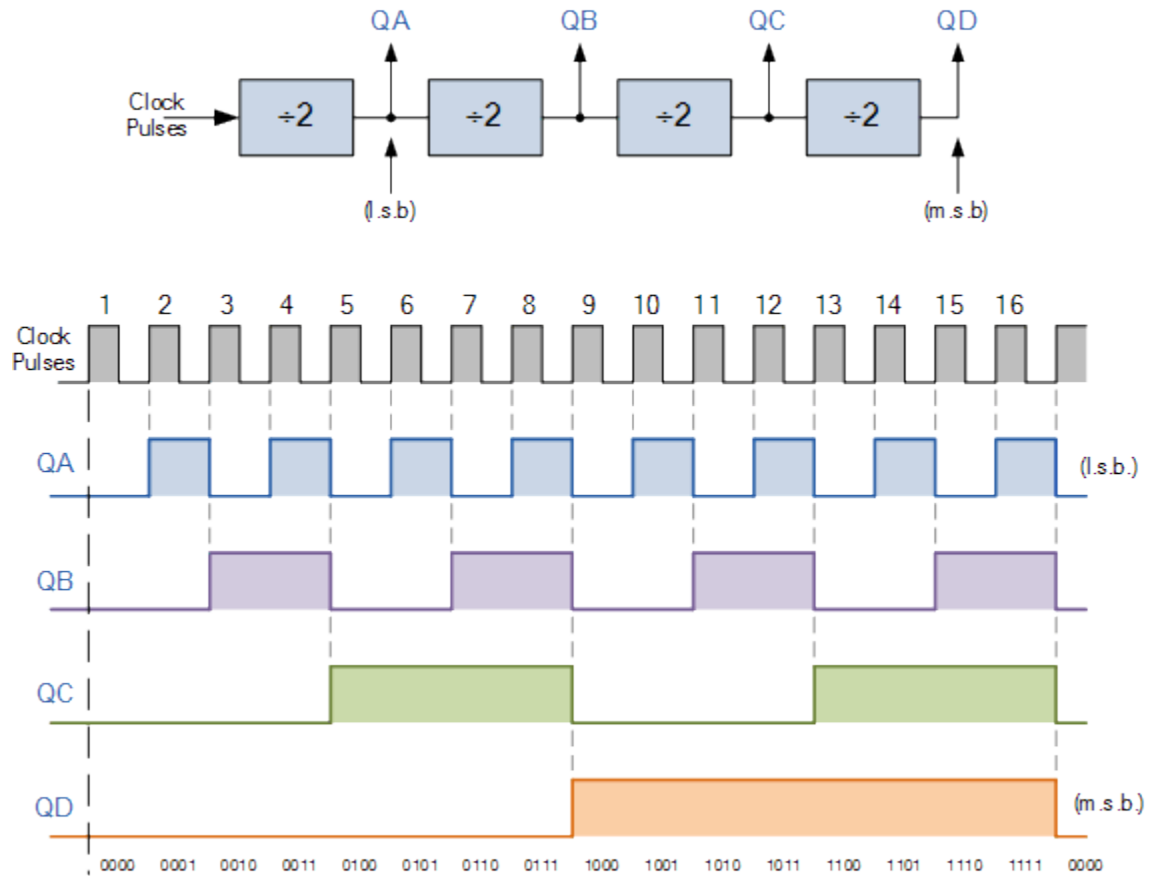


Right Arithmetic Shift

شیفت چپ منطقی و ریاضی تفاوتی ندارند منتها در شیفت راست منطقی بیت پر ارزش ۰ میشود اما در شیفت ریاضی همان بیت اولیه ( علامت ) میماند حالا بستگی دارد ۱ یا ۰ باشد .

تقسیم کننده فرکانس فرکانس ورودی کلاک را با توجه به نیاز مدار به مقدار دلخواه تقسیم کرده یا کاهش میدهد که درواقع یک شمارنده ریپل است .

## پیشگزارش آزمایش ۶ معماری کامپیوتر

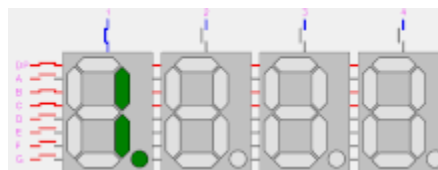
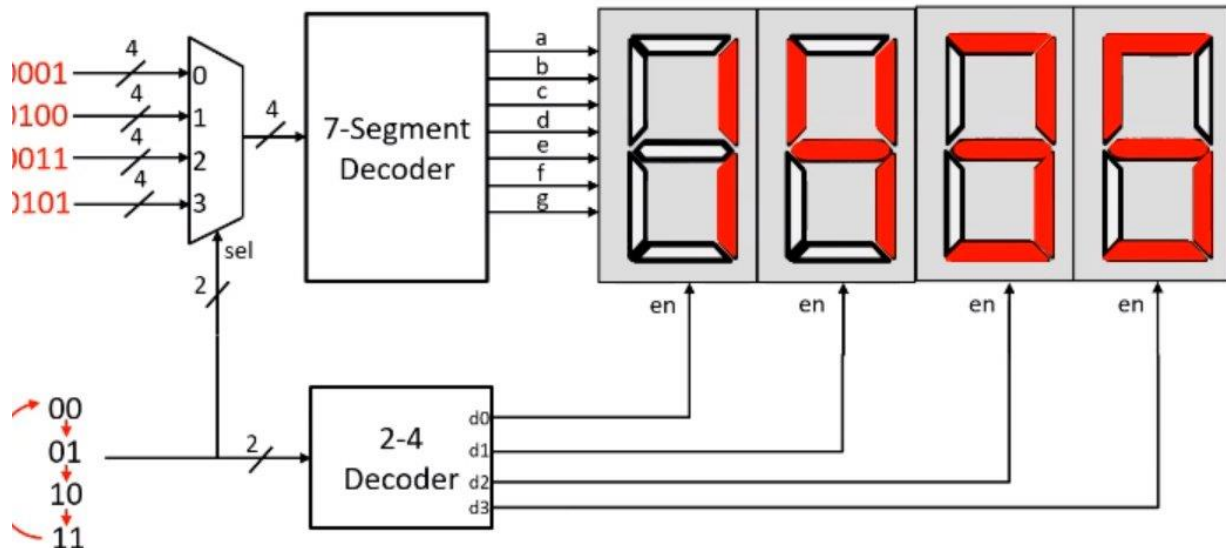


## 7-segment – ۵

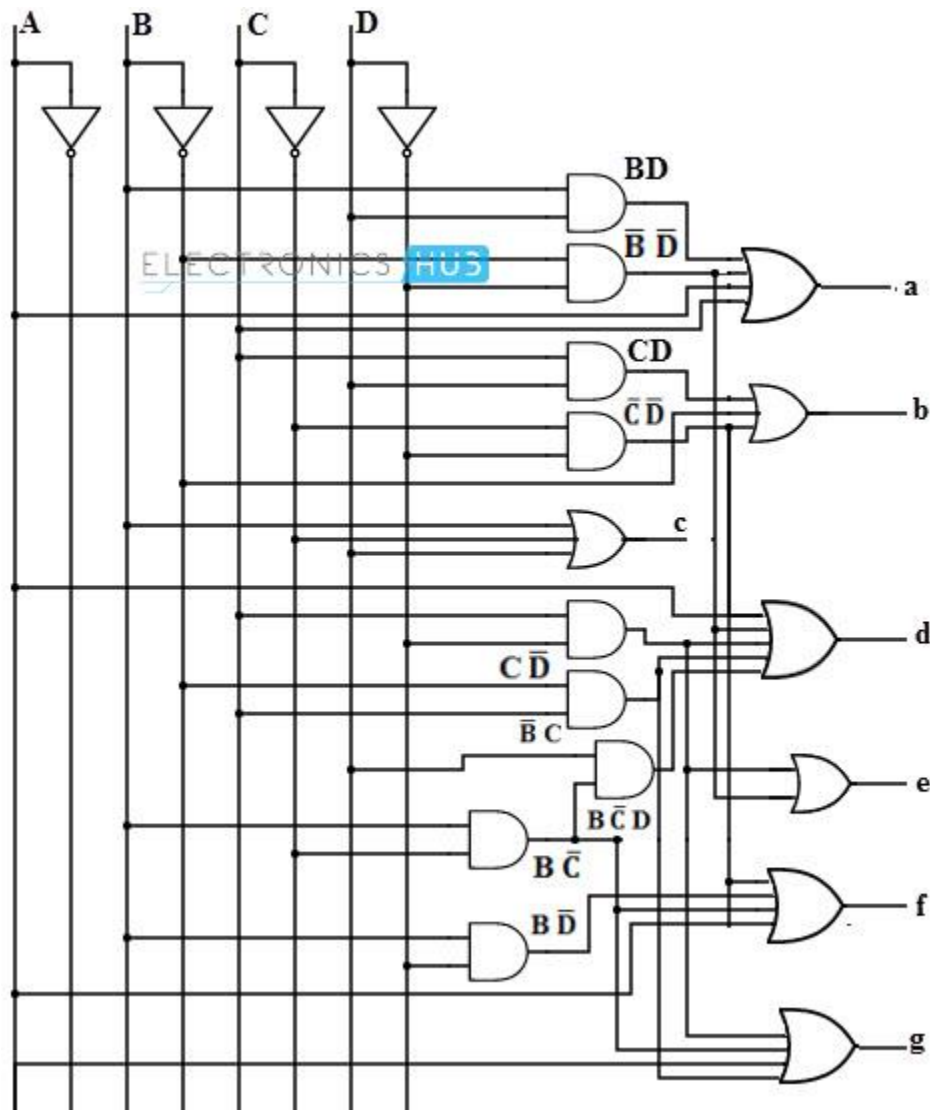
در نمایشگر ۷ قسمتی از یک دیکودر bcd به 7-segment استفاده میکنیم که مشخص میکند کدام قسمت روشن شود و در نمایشگر چند رقمی برای هر رقم یک بین میگذاریم که در هر لحظه از زمان فقط یک رقم روشن میشود اما چون فرکانس کلاک و سرعت تغییر بسیار بالاست این سوییچ کرن با چشم قابل تشخیص نیست و بصورت یک عدد یا کلمه چند رقمی یا بخشی دیده میشود .



- Four seven segment displays
- One seven segment decoder
- One 4-bit 4x1 Multiplexer
- One 2-4 Decoder



دیکدر bcd به 7-segment



۶ – shift register

خروجی های or به فلیپ فلاپ با فیدبک متصل میشوند و ورودی load و نات آن هم به and های پشت or اضافه شده و شیفت رجیستر ۴ بیتی را میسازند. در نهایت چیزی شبیه شکل دوم میشوند.

## پیشگزارش آزمایش ۶ معماری کامپیوتر

