

## گزارش کار آزمایش ۳ معماری کامپیوتر

محمد مهدی نظری ۹۹۳۱۰۶۱ – آرمین ابراهیمی صبا ۹۹۳۱۰۸۶

در این آزمایش گزارش کارها به دو قسمت تقسیم شده که هرکدام جدا ارائه میشوند .

بخش اول شامل detector ها و بخش دوم شامل فلیپ فلاپ ها و شمارنده .

در تشخیص دهنده ها ۱۱۰۱ بصورت مور و ۰۱۰۱ و ۰۱۱۰ همانند دیاگرام حالت ارائه شده در پیش گزارش بصورت میلی پیاده سازی شده اند . لازم به ذکر است که تشخیص دهنده ۱۱۰۱ اورلپ ندارد اما دوتای دیگر دارند .

در کد ماشین مور یک پراکسس برای ساعت ( حساس به لبه بالا رونده ) ، یک پراکسس برای تغییر حالت و یک پراکسس هم برای خروجی طراحی شده .

در کد ماشین میلی یک پراکسس برای ساعت ( حساس به لبه بالا رونده ) و یک پراکسس برای تغییر حالت و تولید خروجی طراحی شده .

در تست پنج هر دو ماشین هم یک پراکسس برای ساعت با دوره تناوب ۱۰ نانو ثانیه و یک پراکسس برای ورودی دادن طراحی شده .

در مدار تشخیص دهنده ۰۱۱۰ یا ۰۱۰۱ برای هرکدام یک ماشین طراحی شده و در نهایت در مازول دیگر به نام Both\_0101\_or\_0110\_Detector خروجی هر دو باهم or شده اند .

### ۱ – تشخیص دهنده رشته ۱۱۰۱

```
31
32 -- OVERLAP nadarad
33 entity Moore_1101_Detector is
34 port (
35   clk : in std_logic ;
36   input : in std_logic ;
37   output : out std_logic
38 );
39 end Moore_1101_Detector;
40
41 architecture Behavioral of Moore_1101_Detector is
42   type fsm is (S0,S1,S2,S3,S4);
43   Signal current_state,next_state : fsm := S0 ;
44
45   begin
46     -- clock process
47
48     process( clk )
49     begin
50       if ( rising_edge(clk) ) then
51         current_state <= next_state ;
52       end if ;
53     end process ;
54
55     -- state process
56
57     process(input,current_state)
58     begin
59       case current_state is
60
61       when S0 =>
62         if (input ='1' ) then
63           next_state <= S1 ;
64         else
65           next_state <= S0 ;
66         end if ;
```

## گزارش کار آزمایش ۳ معماری کامپیوتر

```

62  if (input ='1' ) then
63  next_state <= S1 ;
64  else
65  next_state <= S0 ;
66  end if ;
67
68  when S1 =>
69  if (input ='1' ) then
70  next_state <= S2 ;
71  else
72  next_state <= S0 ;
73  end if ;
74
75  when S2 =>
76  if (input ='1' ) then
77  next_state <= S2 ;
78  else
79  next_state <= S3 ;
80  end if ;
81
82  when S3 =>
83  if (input ='1' ) then
84  next_state <= S4 ;
85  else
86  next_state <= S0 ;
87  end if ;
88
89  when S4 =>
90  if (input ='1' ) then
91  next_state <= S1 ;
92  else
93  next_state <= S0 ;
94  end if ;
95
96  when others =>
97  next_state <= S0 ;
98

```

```

93  next_state <= S0 ;
94  end if ;
95
96  when others =>
97  next_state <= S0 ;
98
99  end case ;
100 end process ;
101
102 -- output process
103
104 process( current_state)
105 begin
106 case current_state is
107
108 when S0 =>
109 output <= '0' ;
110
111 when S1 =>
112 output <= '0' ;
113
114 when S2 =>
115 output <= '0' ;
116
117 when S3 =>
118 output <= '0' ;
119
120 when S4 =>
121 output <= '1' ;
122
123 end case ;
124 end process ;
125
126 end Behavioral;
127
128

```

### تست بنچ :

به ازای رشته ورودی ۰۰۱۱۰۱۱۰۱۰ هم انتظار داریم رشته خروجی ۰۰۰۰۰۱۰۰۰۰ را دریافت کنیم که به همین شکل است .



## گزارش کار آزمایش ۳ معماری کامپیوتر

```

31
32 entity Moore_1101_Detector_tb is
33 end Moore_1101_Detector_tb;
34
35 architecture test of Moore_1101_Detector_tb is
36 component Moore_1101_Detector is
37 port (
38   clk : in std_logic ;
39   input : in std_logic ;
40   output : out std_logic
41 );
42 end component;
43
44 Signal clk : std_logic := '0';
45 Signal input : std_logic := '0';
46 Signal output : std_logic ;
47
48
49 begin
50
51 detector : Moore_1101_Detector port map (
52   clk => clk ,
53   input => input ,
54   output => output
55 );
56
57 -- clock process
58
59 process
60 begin
61
62   clk <= '0';
63   wait for 5 ns;
64   clk <= '1';
65   wait for 5 ns;
66 end process ;

```

```

68 -- stimulus process
69
70 process
71 begin
72
73   input <= '0' ;
74   wait for 10 ns ;
75
76   input <= '0' ;
77   wait for 10 ns ;
78
79   input <= '1' ;
80   wait for 10 ns ;
81
82   input <= '1' ;
83   wait for 10 ns ;
84
85   input <= '0' ;
86   wait for 10 ns ;
87
88   input <= '1' ;
89   wait for 10 ns ;
90
91   input <= '1' ;
92   wait for 10 ns ;
93
94   input <= '0' ;
95   wait for 10 ns ;
96
97   input <= '1' ;
98   wait for 10 ns ;
99
100  input <= '0' ;
101  wait for 10 ns ;
102
103 end process ;

```

۲ - تشخیص دهنده ۰۱۱۰

```

34 entity Mealy_0110_Detector is
35 port (
36   clk : in std_logic ;
37   input : in std_logic ;
38   output : out std_logic
39 );
40 end Mealy_0110_Detector;
41
42 architecture Behavioral of Mealy_0110_Detector is
43 type fsm is (S0,S1,S2,S3);
44 Signal current_state,next_state : fsm := S0 ;
45
46 begin
47 -- clock process
48
49 process( clk )
50 begin
51 if ( rising_edge(clk) ) then
52   current_state <= next_state ;
53 end if ;
54 end process ;
55
56 -- state and output process
57
58 process(input,current_state)
59 begin
60 --output <= '0' ;
61 case current_state is
62
63 when S0 =>
64   if (input ='1' ) then
65     next_state <= S0 ;
66     output <= '0' ;
67   else
68     next_state <= S1 ;
69     output <= '0' ;
70   end if ;

```

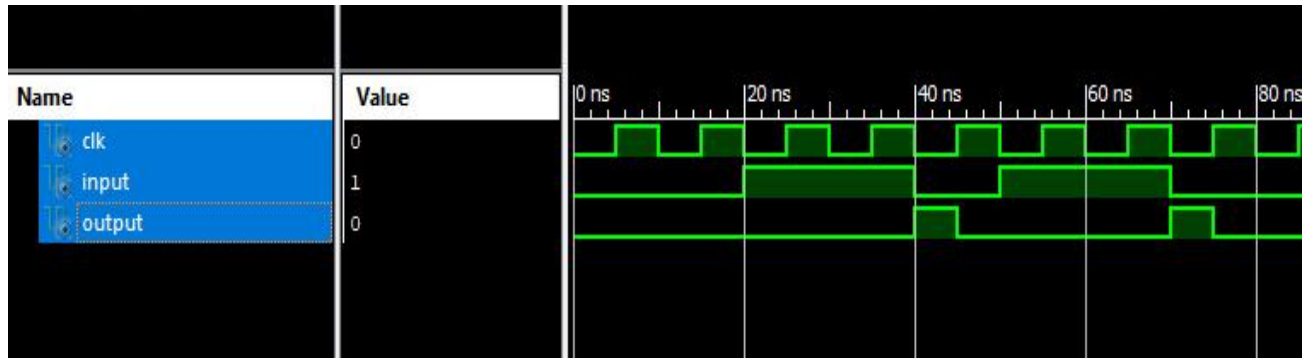
```

72 when S1 =>
73   if (input ='1' ) then
74     next_state <= S2 ;
75     output <= '0' ;
76   else
77     next_state <= S1 ;
78     output <= '0' ;
79   end if ;
80
81 when S2 =>
82   if (input ='1' ) then
83     next_state <= S3 ;
84     output <= '0' ;
85   else
86     next_state <= S1 ;
87     output <= '0' ;
88   end if ;
89
90 when S3 =>
91   if (input ='1' ) then
92     next_state <= S0 ;
93     output <= '0' ;
94   else
95     next_state <= S1 ;
96     output <= '1' ;
97   end if ;
98
99 when others =>
100  next_state <= S0 ;
101  output <= '0' ;
102
103 end case ;
104 end process ;
105 end Behavioral;

```

### تست پنج :

به ازای رشته ورودی ۰۰۱۱۰۱۱۰۰۱ هم انتظار داریم رشته خروجی ۰۰۰۰۱۰۰۱۰۰ را دریافت کنیم که به همین شکل است .



فرم کلی کد تست پنج شبیه حالت قبل است از آوردن اسکرین شات کد در این قسمت و دو قسمت بعدی پرهیز شده .

### ۳ - تشخیص دهنده ۰۱۰۱

```

34 entity Mealy_0101_Detector is
35 port (
36   clk : in std_logic ;
37   input : in std_logic ;
38   output : out std_logic
39 );
40 end Mealy_0101_Detector;
41
42 architecture Behavioral of Mealy_0101_Detector is
43   type fsm is (S0,S1,S2,S3);
44   Signal current_state,next_state : fsm := S0 ;
45
46 begin
47   -- clock process
48
49   process( clk )
50   begin
51     if ( rising_edge(clk) ) then
52       current_state <= next_state ;
53     end if ;
54   end process ;
55
56   -- state and output process
57
58   process(input,current_state)
59   begin
60     --output <= '0' ;
61     case current_state is
62
63     when S0 =>
64       if (input = '1' ) then
65         next_state <= S0 ;
66         output <= '0' ;
67       else
68         next_state <= S1 ;
69         output <= '0' ;
70       end if ;

```

```

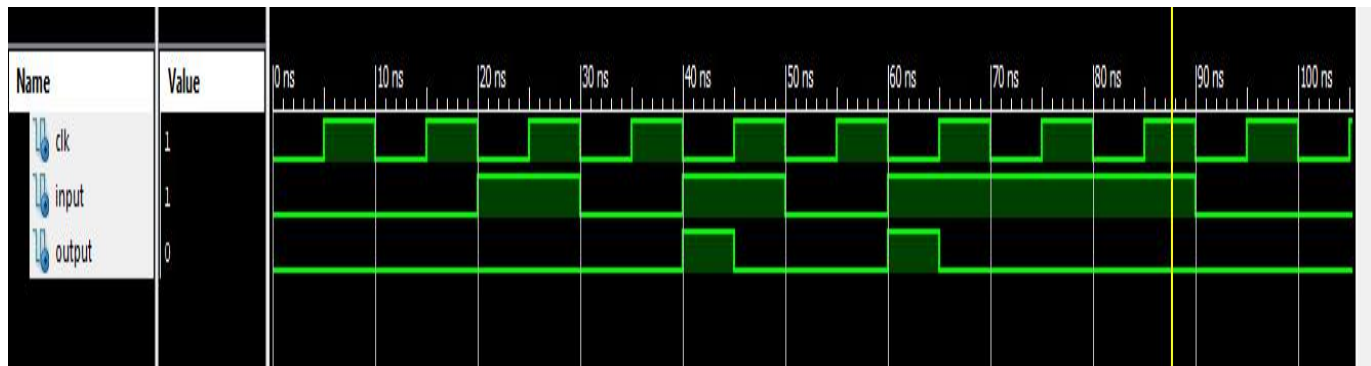
70     end if ;
71
72     when S1 =>
73       if (input = '1' ) then
74         next_state <= S2 ;
75         output <= '0' ;
76       else
77         next_state <= S1 ;
78         output <= '0' ;
79       end if ;
80
81     when S2 =>
82       if (input = '1' ) then
83         next_state <= S0 ;
84         output <= '0' ;
85       else
86         next_state <= S3 ;
87         output <= '0' ;
88       end if ;
89
90     when S3 =>
91       if (input = '1' ) then
92         next_state <= S2 ;
93         output <= '1' ;
94       else
95         next_state <= S1 ;
96         output <= '0' ;
97       end if ;
98
99     when others =>
100       next_state <= S0 ;
101       output <= '0' ;
102
103   end case ;
104 end process ;
105
106 end Behavioral;

```



### تست پنج :

به ازای رشته ورودی ۰۰۱۰۱۰۱۱۱۰ هم انتظار داریم رشته خروجی ۰۰۰۰۱۰۱۰۰۰ را دریافت کنیم که به همین شکل است .



۴ - تشخیص دهنده هر دو رشته ۰۱۰۱ یا ۰۱۱۰

```

32 entity Both_0101_or_0110_Detector is
33 port (
34   clk : in std_logic ;
35   input : in std_logic ;
36   output : out std_logic
37 );
38 end Both_0101_or_0110_Detector;
39
40 architecture Behavioral of Both_0101_or_0110_Detector is
41
42   Signal output_0101 : std_logic ;
43   Signal output_0110 : std_logic ;
44
45   component Mealy_0101_Detector is
46   port (
47     clk : in std_logic ;
48     input : in std_logic ;
49     output : out std_logic
50   );
51   end component;
52
53   component Mealy_0110_Detector is
54   port (
55     clk : in std_logic ;
56     input : in std_logic ;
57     output : out std_logic
58   );
59   end component;
60
61   component or_gate is
62   port (
63     a : in std_logic ;
64     b : in std_logic ;
65     output : out std_logic );
66   end component;
67

```

```

52
53   component Mealy_0110_Detector is
54   port (
55     clk : in std_logic ;
56     input : in std_logic ;
57     output : out std_logic
58   );
59   end component;
60
61   component or_gate is
62   port (
63     a : in std_logic ;
64     b : in std_logic ;
65     output : out std_logic );
66   end component;
67
68   begin
69
70   instance_0101 : Mealy_0101_Detector port map (
71     clk => clk ,
72     input => input ,
73     output => output_0101 );
74
75   instance_0110 : Mealy_0110_Detector port map (
76     clk => clk ,
77     input => input ,
78     output => output_0110 );
79
80   instance_or_gate: or_gate port map (
81     a => output_0110 ,
82     b => output_0101 ,
83     output => output );
84
85   end Behavioral;
86
87

```

## گزارش کار آزمایش ۳ معماری کامپیوتر

### تست پنچ :

به ازای رشته ورودی ۰۱۱۰۱۰۱۱۰۱۱۱۱۰۰ هم انتظار داریم رشته خروجی ۰۰۰۱۰۰۱۰۱۰۰۱۰۰۰۰۰۰ را دریافت کنیم که به همین شکل است .

