**硕士学位论文**

**嵌入式中频测控平台的设计与实现**

论 文 作 者 ： 夏珍珠学 位 类 别 ： 工程硕士

领 域 名 称 ： 电子与通信工程校内指导教师： 冯登超 副教授

校外指导教师： 魏振超 高级工程师

2015 年 6 月 9 日

|  |  |  |  |
| --- | --- | --- | --- |
| 中图分类号： | V44 | 密级： | 公开 |
| UDC： | 621.3 | 学号： | 201332008 |

**北华航天工业学院硕士学位论文**

**嵌入式中频测控平台的设计与实现**

论文作者：夏珍珠学位类别：工程硕士

领域名称：电子与通信工程校内指导教师：冯登超 副教授

校外指导教师：魏振超 高级工程师

2015 年6 月9 日



摘 要

地面测控设备向航天器发送上行遥控信号和测量信号，接收航天器下传的遥测信号和测量信号，实现星地间距离和卫星运行速度的测量，并实时地监测及控制卫星的工作状态。

目前，大部分的中频测控设备虽然性能优良、功能完备，但是设备的价格高、体积和重量都较大；本文设计实现的嵌入式中频测控设备具有体积小，重量轻，携带方便，成本低，使用方便，通过网络操作等优势，可用于航天器上的单机测试、分系统测试和整星AIT，还适用于测控模拟器测试和航天器在轨支持。

论文借鉴软件无线电思想，实现了以ARM处理器和FPGA为核心的通用硬件平台设计，通过加载软件实现中频测控设备的调制解调功能。使用仿真工具对部分电路进行了仿真分析。设备可对70MHz中频信号进行带通采样，采用FPGA完成中频数字处理的所有流程。采用FPGA实现信号的调制，利用ADC模块实现70MHz的上变频，可实现各种调制方式，使得设备具有很好的灵活性。

经过电性能测试，中频测控设备在USB/UCB体制下，输出信号最大输出功率0dBm，最小输出功率-90dBm，接收灵敏度优于-90dBm，动态范围优于90dB，视频通道收发信号功能正常，副载波频率及其他多项参数可配置，设备具有良好的通用性。

关键词：嵌入式； 中频； 测控； USB/UCB 体制

II

**Abstract**

Ground control equipment to send remote control signals and spacecraft uplink measurement signal, receiving the transmitted signal and the spacecraft telemetry signal, measure the distance between satellite and ground and satellite speed, and real-time monitoring and control the working status of satellite.

Currently, most of IF control equipment although excellent performance, full-featured, but the high price of the device, the size and weight are larger; designed for Embedded IF control equipment with small size, light weight, portable, low cost, easy to use, through the advantages of network operation, can be used stand-alone test spacecraft, subsystem testing and the entire star AIT, also applies to the TT&C simulator testing and spacecraft in orbit support.

Paper drawing on Software Radio realized with ARM processor and FPGA hardware platform as the core of universal design, implementation, monitoring and control equipment intermediate frequency modulation and demodulation functions by loading software. Equipment can 70MHz IF signal band-pass sampling, using all processes FPGA complete digital IF processing. With parallel FFT frequency domain analysis IF carrier signal acquisition is achieved, while completing the information to accurately estimate the carrier Doppler. Using FPGA modulated signal, the ADC module on the frequency to 70MHz, enabling a variety of modulation, so that the device has good flexibility.

After the electrical performance test, measurement and control equipment in the IF USB

/ UCB system, the maximum output power of the output signal of 0dBm, the minimum output power of -90dBm, receiver sensitivity better than -90dBm, dynamic range better than 90dB, video-channel transceiver signal functions properly, subcarrier frequency and a number of other parameters can be configured, the device has good versatility.

**Key Words**: Embedded; IF; TT&C; USB / UCB system

III

目 录

[摘 要](#_Toc68643709) 2

**[Abstract](#_Toc68643710)** 3

[第1章 绪论](#_Toc68643711) 6

[1.1 课题建立的背景和意义](#_Toc68643712) 6

[1.1.1 课题建立的背景](#_Toc68643713) 6

[1.1.2 课题研究的意义](#_Toc68643714) 7

[1.2 中频测控设备的研制现状](#_Toc68643715) 7

[1.2.1 国外中频测控设备的研制现状](#_Toc68643716) 7

[1.2.2 国内中频测控设备的研制现状](#_Toc68643717) 7

[1.3 嵌入式系统](#_Toc68643718) 7

[1.3.1 嵌入式系统简介](#_Toc68643719) 7

[1.3.2 ARM处理器在本课题中的应用](#_Toc68643720) 7

[1.4 论文主要工作](#_Toc68643721) 7

[第2章 嵌入式中频测控平台的总体设计](#_Toc68643722) 9

[2.1 USB/UCB体制下中频测控设备的技术指标](#_Toc68643723) 9

[2.2 模块功能及基本组成](#_Toc68643724) 12

[2.3 各组成电路功能](#_Toc68643725) 13

[2.3.1 处理器电路](#_Toc68643726) 13

[2.3.2 中频采集电路](#_Toc68643727) 13

[2.3.3 中频发射电路](#_Toc68643728) 13

[2.3.4 视频采集电路](#_Toc68643729) 13

[2.3.5 视频发射电路](#_Toc68643730) 13

[2.3.6 时钟管理电路](#_Toc68643731) 13

[2.3.7 时码电路](#_Toc68643732) 14

[2.4 结构设计](#_Toc68643733) 14

[其内部结构示意图如图2.2所示。](#_Toc68643734) 14

[2.5 本章小结](#_Toc68643735) 14

[第3章 嵌入式中频测控平台硬件模块设计与实现](#_Toc68643736) 14

[3.1 ARM处理器电路设计](#_Toc68643737) 14

[3.1.1 存储器电路](#_Toc68643738) 15

[3.2 FPGA选型](#_Toc68643739) 16

[3.3 中频采集电路设计](#_Toc68643740) 16

[3.3.1 原理及原理框图](#_Toc68643741) 16

[3.3.2 指标论证](#_Toc68643742) 16

[3.3.3 主要元器件选择](#_Toc68643743) 17

[3.3.4 电路详细设计](#_Toc68643744) 19

[3.4.1 原理及原理框图](#_Toc68643745) 20

[3.4.2 指标论证](#_Toc68643746) 20

[可以满足整条链路的3dB带宽10MHz的要求。](#_Toc68643747) 21

[3.4.3 主要元器件选择](#_Toc68643748) 21

[3.4.4 电路详细设计](#_Toc68643749) 22

[3.6 视频发射电路设计](#_Toc68643750) 23

[输出信号波形图如图3.28所示。](#_Toc68643751) 24

[3.7 时钟管理电路设计](#_Toc68643752) 24

[的时钟匹配也采用交流耦合，FPGA没有内部偏置电路，需要外部电路偏置，如图3.36](#_Toc68643753) 26

[3.8 时码电路设计](#_Toc68643754) 26

[3.9 本章小结](#_Toc68643755) 26

[第4章 嵌入式中频测控平台数字化处理软件设计](#_Toc68643756) 27

[4.1 所示。](#_Toc68643757) 27

[4.1.1 传统FFT捕获](#_Toc68643758) 27

[200](#_Toc68643759) 30

[4.1.2 并行FFT捕获](#_Toc68643760) 30

[4.2 调相信号的跟踪和解调](#_Toc68643761) 32

[4.3 BPSK解调算法设计](#_Toc68643762) 34

[4.4 测距算法设计](#_Toc68643763) 36

[4.4.1 测音测距原理](#_Toc68643764) 36

[4.4.2 相位检测](#_Toc68643765) 36

[4.5 本章小结](#_Toc68643766) 37

[第5章 嵌入式中频测控平台测试](#_Toc68643767) 38

[5.1 测试方案介绍](#_Toc68643768) 38

[5.2 设备性能测试](#_Toc68643769) 38

[5.2.1 中频信号输入/输出](#_Toc68643770) 38

[5.2.2 输入/输出功率动态范围](#_Toc68643771) 38

[第6章 结论](#_Toc68643772) 39

[参考文献](#_Toc68643773) 40

VI

# 第1章 绪论

## 1.1 课题建立的背景和意义

### 1.1.1 课题建立的背景

近年来，我国航天持续高密度发射，2013年完成了16次太空发射，2014年的16

次太空发射将19个航天器送入太空。预计今年将完成20次宇航发射，将超过40个航天器送入太空，发射次数及发射的航天器数量都将创历史新高。随着发射任务量的增加，航天测控任务也越来越繁重，对地面测控设备的需求量越来越大，对测控设备的要求也越来越高。

随着航天技术的发展，测控体制经历了分散体制、统一载波测控体制、扩频统一测控体制等三个阶段，目前形成了统一载波测控体制和扩频统一测控体制两种主要测控体制共存的局面[1]。统一载波测控体制是从1966年“阿波罗”登月的“统一S频段”（USB）发展起来的，它将航天飞行器的跟踪测轨、遥控、遥测等功能综合为一体，是测控技术发展史上的一个里程碑[2]。统一载波测控体制是使用一个载波同时完成测距、测速、测角、遥控、遥测、话音等多种功能，这里的统一测控其实是载波信道的统一，首先在发射端将各基带信号分别调制到各自的副载波上，然后再将各已调副载波信号加在一起调到载波上，通过统一信道将已调信号发射出去。在接收端由统一的载波接收信道接收，首先完成对载波的解调，然后将解调出的各路副载波信号送往相应的基带设备进行处理，完成副载波解调并获取各自的调制信号。测距是用一组正弦波测距音对载波调相，地面发出上行测音，由应答机提取出上行测距音后调整相应的转发比，将测距音调制在下行载波上转发，地面站捕获到测距音信号后由锁相环复制出返回测距音信号，通过比较地面接收到的下行测距音与上行测距音的相位差，从而得到信号从地面站至卫星的往返时间，计算出地面站至卫星的距离，主测距音用于保测量精度，次测距音用于解距离模糊。

现有的测控设备都是基于统一载波测控体制和扩频统一载波测控体制而研制，设备采用PC结构或PCIe插卡式结构，其体积大、重量大，使用复杂，可靠性还有待提高。从国外引进设备周期长、价格高、并且技术不透明，其操作舒适度和可靠性还影响着测试效率，体积和重量大又不便于在移动测试中使用。

### 1.1.2 课题研究的意义

本课题主要研制一款小型化、智能化、可靠性高的测控设备，可以取代现有的引进设备，其不仅能应用于航天器的单机测试、分系统测试和整星AIT，还应用于测控模拟器测试和航天器在轨支持。其体积小，重量轻，价格便宜，使用方便，可靠性高，生产周期短，通过网络操作等优势，对提高设备集成度、节省经费和提高测试效率具有重要意义。

1

## 1.2 中频测控设备的研制现状

### 1.2.1 国外中频测控设备的研制现状

软件化、综合化是国外电子系统的发展方向。随着欧美国家在总线、数字化、参数可编程等研究方面取得重要进展，80年代中期，在欧美国家的测控设备中，已将遥测、遥控、测距、测速等功能集成于一个设备之中，构成了综合基带设备。90年代初，随着计算机总线技术的快速发展和大规模可编程器件的使用，促成了模块化、多功能的综合基带设备。1994年后，随着数字技术的发展和可编程门阵列电路的集成度、速度大幅度提高，使得可重组技术的实现成为可能[3]。到90年代后期，欧洲的综合测控基带设备上已经开始利用软件无线电技术并大量采用DSP和专用集成芯片用于数字信号处理，设备基于PC平台，全部硬件安装于标准的6U工控机内，实现了高集成、小型化和数字化。通过在一套硬件上加载不同的软件，便可实现功能重组、协议重组。

2000年以后的综合基带设备功能更加的全面，以欧洲国家生产的CORTEX系列综合基带设备为代表，全部硬件安装于标准的4U工控机内，具有多路中频输入/输出通道和辅助的输入/输出通道，在一台设备上可实现多种调制体制，兼容多种测控体制。在最新的测控产品中支持所有的CCSDS相关标准，并且将上下变频器集成到设备中，测控设备可以直接收发射频信号，使得设备更加的集成化，这一类设备的特点是功能全面，通用化强，可扩展性强。与此同时，欧洲国家还开展了软件解调的技术来研制测控设备，硬件只用于数据采集和存储，用软件对遥测数据进行解调，这类设备硬件部分比较少，体积小，集成度高，但需要强大的软件和处理器支持。

### 1.2.2 国内中频测控设备的研制现状

90年代初，我国引进了欧洲国家研制的测控设备，开始了TT& C综合基带设备的研究，对欧洲先进的TT& C基带功能、原理、发展有了进一步的了解，这一阶段主要是对法国的统一基带设备进行模仿设计。1996年，我国研制出了第一代TT& C综合基带设备，实现了测距、测速、遥控、遥测功能的综合，成功应用在国内的多个卫星地面测控和业务管理站，但设备功能少，使用不方便。1997年后，为了适应我国航天事业的快速发展，以及今后各种卫星测控及卫星通信的需要，在继承工程经验的基础上，结合小卫星测控与业务管理，又研制了第二代基带设备，即通用型综合基带设备。该设备兼容国际C波段与国际S波段测控，又增加了数传、网络、模拟遥测等功能，使得设备更加的通用化、模块化，为测控网的改造和小卫星的应用奠定了基础[3]。

1999年，又开展了第三代可重组基带设备研制工作，即加载不同的软件，可实现不同的功能满足各类用户的需求，使得地面系统能很方便地实现对星地接口的要求。测控基带设备开始采用数字化器件，如数字下变频、数字信号处理器（DSP）、直接数字式频率综合器（DDS）、数控振荡器（NCO）。

2

现阶段，国内研制的综合基带设备已将遥测、遥控、测距、测速等多项功能有机地综合在一起，采用软件无线电平台，通过下载不同的配置文件，可支持扩频或USB测控体制。采用模块化设计，将主控模块和基带信号处理模块集中到一个机箱中，结构上采用PCIe插卡式结构，板卡安装于4U或2U的标准工控机箱中。同样将上下变频器集成于设备之中，集成度与国外同类产品相当。参数配置灵活，支持自定义信息和信号格式。上述表明我国自行研制的测控基带设备在技术上已达到了较高的水平，但是其体积大、重量大、价格昂贵。

## 1.3 嵌入式系统

### 1.3.1 嵌入式系统简介

嵌入式系统是以应用为中心和计算机技术为基础的，软件硬件可裁剪，对功能、可靠性、成本、体积、功耗要求严格的专用计算机系统[4]。嵌入式系统通常由微处理器，外围硬件电路、嵌入式操作系统以及用户应用程序组成。

嵌入式系统是软件和硬件两个方面技术的相互促进而发展起来的。它应用在不同环境中，面对不同的专业领域，嵌入式系统的主要特点概括如下：

##### （1）嵌入式系统是专用的计算机系统[5]

首先，嵌入式系统具有很强的多样性和专用性，它的硬件和软件均是面向特定应用对象和任务而设计。嵌入式系统所提供的功能以及面对的应用和过程都是相对固定的，嵌入式系统的软件和硬件具有裁剪性，可以满足对象要求的最小软硬件配置。

##### （2）嵌入式系统须满足环境的要求

嵌入式系统必须能满足对象系统的环境要求，如物理环境、电气环境、温度、湿度、压力等环境的要求，以便于嵌入到不同的对象系统中应用。

##### （3）嵌入式系统是集计算机技术与各行业应用于一体的集成系统

嵌入式系统是一个技术密集、资金密集、高度分散、不断创新的知识集成系统，它将先进的计算机技术、半导体技术和电子技术与各个行业的具体应用相结合在一起。

##### （4）嵌入式系统具有较长的生命周期

嵌入式系统的产品进入市场后具有很长的生命周期，它的更新换代是和实际应用产品同时进行的。

##### （5）嵌入式系统的实时性要求

要求在很多的应用中需要对外部事件迅速反应的能力，虽然近几年出现了一些不带实时要求的嵌入式系统，但多数嵌入式系统还是有着不同程度的实时性要求。

##### （6）嵌入式系统软件固化在非易失性存储器中

嵌入式系统中的操作系统和应用程序一般都固化在EPROM、E2PROM或Flash等非易失性存储器中，以便于提高执行速度和系统可靠性。

3

##### （7）可靠性要求

对于应用在特殊的场合和环境中的嵌入式系统，可靠性设计及其重要，所以要求嵌入式系统具有出错处理和自动复位功能。嵌入式系统设计中一般使用硬件的看门狗定时器、软件的内存保护和重启机制等来保证系统的可靠性。

##### （8）操作系统的支持

在复杂的系统设计中，需要采用多个任务同时进行的设计，为了更好的利用系统资源和各种函数接口，使用嵌入式系统平台来开发软件十分便捷。有了嵌入式操作系统的支持，一方面可以减少开发周期，保障软件质量。另一方面可以保证程序执行的实时性和可靠性。

### 1.3.2 ARM处理器在本课题中的应用

本课题的设计是基于ARM和FPGA的通用嵌入式测控系统开发平台，改硬件平台整合了ARM的强大控制功能和FPGA的强大运算功能[6]，以实现通用化、模块化、可定制化的目标。对外则提供以太网接口、RS232口等通信和SMA信号收发接口，能满足测控系统的应用要求。任务管理的工作由ARM处理器完成，所有的数据通过网络传输，取代了传统的测控基带设备采用插卡式的结构，减小了体积和重量，设备更加的集成化，节省了设计和生产成本。同时，ARM处理器还将用于测控任务中出现异常情况时的智能报警，自动存储接收的遥测数据信息，方便测试过程中进行分析和排故。测控模式由人工操作设备改变为通过TCP/IP网络远程操作设备，提高了测试效率。

## 1.4 论文主要工作

论文给出了基于ARM处理器和FPGA为架构的中频测控平台实现方案。本文的技术重点有：

（1）利用软件无线电的思想[7]，实现了以ARM处理器进行任务管理和FPGA进行数字信号处理的通用硬件平台设计。

（2）在中频信号输入/输出通道设计中，实现了信号大动态范围的输入/输出，使得整个系统具有很好的灵活性、可靠性和通用性。

论文全文共分五章，安排如下：

第一章，绪论，首先阐明了本课题的研究背景和意义，国内外测控设备的发展现状和嵌入式系统简介，最后介绍了论文的主要工作安排。

第二章，嵌入式中频测控平台的总体设计，分析了中频测控设备所应具备的功能及技术指标。再根据嵌入式中频测控平台的功能及技术指标对中频测控设备的实现进行了总体方案设计，明确了后续硬件模块设计和实现的框架。

第三章，嵌入式中频测控平台硬件模块设计与实现，介绍了ARM外围电路设计，中频采集电路设计、中频发射电路设计、视频采集电路设计、视频发射电路设计、时钟

4

管理电路设计和时码电路设计。

第四章，嵌入式中频测控平台数字化处理软件设计，介绍了中频测控设备的数字化处理软件设计中信号调制解调、捕获与跟踪、测距等几种重要的信号处理实现方法和原理。

第五章，嵌入式中频测控平台测试，对设计完成的硬件电路和设备整体性能进行测试，保证设备的各项功能指标能够满足任务需求。

第六章，总结，介绍了本课题所做的主要工作和下一步的发展计划。

5

# 第2章 嵌入式中频测控平台的总体设计

本章先分析了在标准USB/UCB统一载波测控体制下中频测控设备的基本测控功能和技术指标，提出了中频测控平台的总体设计方案。中频测控平台主要是由处理器电路、中频收发电路、视频收发电路、时钟电路和时码电路组成，本论文也将重点介绍这几个模块单元的研制工作。

## 2.1 USB/UCB体制下中频测控设备的技术指标

统一S频段（USB）测控体制为上行载波和下行载波均采用调相（PM）体制。在这种体制下，星载应答机工作在有一定转发比（如221/240）要求的相参转发状态，系统可以从双向锁定的载波信号中提取多普勒频率，计算出目标的径向速度信息。该体制的优点是测距精度较高，系统测距校零方法也较简单。

统一C频段（UCB）测控体制为上行载波采用调频（FM）体制、下行载波采用调相（PM）体制[8]。在这种体制下，星载应答机工作于非相参状态，系统不能进行测速。

FM/PM比PM/PM系统要简单一些，星上应答机也简单。

表 2.1 USB/UCB体制下中频测控设备的技术指标

| 参数类型 | UCB 测控体制 | USB 测控体制 | 备注 |
| --- | --- | --- | --- |
| 中频输入调制体制 | PM | PM | / |
| 中频输入通道数 | 2 | 2 | 共 2 路中频输入 |
| 中频输入带宽 | 65MHz～75MHz | 65MHz～75MHz | / |
| 中频输入功率动态范围 | -90dBm～0dBm | -90dBm～0dBm | / |
| 中频输出调制体制 | FM | PM | FM 与 PM 可选 |
| 中频输出通道数 | 2 | 2 | 共 2 路中频输出 |
| 中频输出带宽 | 65MHz～75MHz | 65MHz～75MHz | / |
| 中频输出功率动态范围 | -90dBm～0dBm | -90dBm～0dBm | / |
| 中频输出谐杂波抑制 | 优于 70dBc | 优于 70dBc | / |
| 视频输入通道数 | 1 | 1 | / |
| 视频输入信号频率 | 0～100kHz | 0～100kHz | 1Hz 可调 |
| 视频输入阻抗 | ≥10kΩ | ≥10kΩ | / |
| 视频输出通道数 | 1 | 1 | / |
| 视频输出信号频率 | 0～100kHz | 0～100kHz | 1Hz 可调 |
| 视频输出阻抗 | 50Ω±3 | 50Ω±3 | / |
| 遥控信号调制体制 | PSK-PCM | PSK-PCM | / |
| 6 |  |  |  |

表2.1

USB/UCB体制下中频测控设备的技术指标（续）

|  |  |  |
| --- | --- | --- |
| 参数类型 | UCB 测控体制 USB 测控体制 | 备注 |
| 遥控信号基带码速率 | 1bps～100kbps 1bps～100kbps | 1bps 可调 |
| 遥控信号码型 | NRZ-L/M/S NRZ-L/M/S | 码型可选 |
| 遥控信号副载波频率 | 2kHz～150kHz 2kHz～150kHz | 1Hz 可调 |
| 遥测信号调制体制 | PSK-PCM PSK-PCM | / |
| 遥测信号基带码速率 | 1bps～100kbps 1bps～100kbps | 1bps 可调 |
| 遥测信号码型 | NRZ-L/M/S NRZ-L/M/S | 码型可选 |
| 遥测信号副载波频率 | 5kHz～512kHz 5kHz～512kHz | 1Hz 可调 |
| 纯测音测距的主测距音 | 27.7778kHz 100kHz | / |

纯测音测距的次测距音 3968Hz、283.4Hz、

35.4Hz

20kHz、16kHz、16.8kHz、/

16.16kHz、16.032kHz、

16.008kHz

|  |  |  |  |
| --- | --- | --- | --- |
| 时标信号输入信号形式 | IRIG-B（DC/AC）时 | IRIG-B（DC/AC）时 | 自主选择 DC 码与 AC |
|  | 间码 | 间码 | 码 |
| 内频标或外频标输入信  号频率 | 10MHz | 10MHz | / |
| 频标输出 | 10MHz | 10MHz | / |

表2.1明确了嵌入式中频测控设备在USB/UCB标准测控体制下的中频接收动态范围、中频发射输出功率范围、输出谐杂波抑制等指标；同时也指定了测音测距信号、遥控信号、遥测信号、时标信号和频标信号的实现方式；另外，针对USB/UCB体制下进行测控任务的常规通信需求，表2.1定义了嵌入式中频测控设备的可配置项目，增强了嵌入式中频测控设备在卫星测控应用中的通用性。

## 2.2 模块功能及基本组成

根据技术指标要求，嵌入式中频测控设备的信号处理模块主要功能有：

 具有 2 路中频信号接收功能；

 具有 2 路中频信号发射功能；

 具有 1 路视频信号接收功能；

 具有 1 路视频信号发射功能；

具有时标信号接收功能；

具有频标信号收发功能；

具有信号处理、协议控制和接口管理能力；

具有设备监控功能。

7

根据中频测控平台实现功能的要求，模块主要由中频接收电路、中频发射电路、视频接收电路、视频发射电路、时钟管理电路、时码电路、处理器电路组成，模块的基本组成如图2.1所示。



图 2.1 嵌入式中频测控设备的基本组成

嵌入式中频测控平台以ARM处理器和FPGA为架构设计，两路中频收发信号和一路视频收发信号在一片FPGA中处理，将任务管理和数字基带处理集成于一个设备之中，改变了传统的插卡式结构，设备体积大大减小，全部硬件安装于1U高，19英寸宽的机箱之中。

8

## 2.3 各组成电路功能

### 2.3.1 处理器电路

处理器电路采用FPGA+ARM的架构。FPGA负责完成信号处理算法相关的任务，

ARM负责完成协议流程控制和接口控制任务。

FPGA完成信号处理相关的工作，连接板上中频/视频的A/D和D/A。主工作时钟由时钟管理模块提供。FPGA外挂了DDR3存储器扩展处理内存，对外提供RS422等接口信号。FPGA挂于ARM总线上，作为ARM的一个总线设备。

ARM为一个完整嵌入式处理平台，主要完成流程控制和接口控制。ARM电路配有

DDR2、NandFlash存储器，对外提供RS232串口和两路以太网口。ARM与FPGA通过外部总线进行数据传输。ARM处理平台采用Linux操作系统，可以保证协议多流程控制的有效性及实时性。

### 2.3.2 中频采集电路

中频采集电路用于对70MHz模拟中频信号进行接收。电路实现功能包括滤波、功率调整和模数转换[9]。

滤波功能是对模拟中频信号进行带通滤波，抑制带外噪声和干扰，防止数字采样后混叠至信号带内，造成接收信噪比的降低。滤波功能主要由模拟带通滤波器来实现。

功率调整功能是为中频接收提供一定的接收动态，使得大动态范围的中频输入信号经过功能调整后，减小到A/D接收动态范围内。模块的中频接收动态范围为功率调整电路和A/D电路两部分接收动态范围之和。功率调整功能主要由增益放大器（VGA）来实现。

模数转换电路对70MHz模拟中频信号进行数字采样，由于中频信号带宽为10MHz，模数转换电路采用带通采样，从而降低对采样频率的要求。

### 2.3.3 中频发射电路

中频发射电路用于产生70MHz的模拟中频信号。电路实现功能包括数模转换、功率调整和滤波。

数模转换电路产生70MHz模拟中频信号，根据采样定理要求，数模转换的转换频率需高于信号最高频率的2倍。实际工程中采用更高的转换频率，来增加谐杂波抑制。功率调整的功能是为了控制中频发射功率，模块的中频发射功率范围为功率调整电

路和D/A电路输出功率的范围之和。功率调整功能由放大器和衰减器来实现，功率控制信号由FPGA提供。

滤波功能是对模拟中频信号进行带通滤波，抑制带外噪声和谐杂波分量。滤波功能主要由模拟带通滤波器来实现。

9

### 2.3.4 视频采集电路

视频采集电路用于对模拟基带信号进行接收。电路实现功能包括射随器、滤波器和模数转换。

射随器用于隔离和匹配输入阻抗在视频信号频率范围内不小于10kHz。

滤波器用于滤除带外干扰信号，并且对输入信号进行适当的放大，以达到后级A/D

的输入范围。

模数转换电路用于对模拟视频信号进行数字采样，根据视频信号的带宽和采样定理的要求，来确定模数转换电路的采样频率。

### 2.3.5 视频发射电路

视频发射电路用于产生模拟基带信号。电路实现功能包括数模转换、放大器和滤波。数模转换电路产生模拟视频信号，根据采样定理要求，数模转换的转换频率需高于

信号最高频率的2倍。工程中采用更高的转换频率，来增加谐杂波抑制。放大器用于放大输出信号功率，满足输出功率要求。

滤波功能是对模拟视频信号进行低通滤波，抑制带外噪声和谐杂波分量。

### 2.3.6 时钟管理电路

时钟管理电路实现对频标信号的控制和电路所需时钟的产生。

频标信号的控制功能可以实现对内外部频标信号的切换，支持频标信号的手动切换模式和自动切换模式。手动切换模式下，由上位机下发命令控制使用内部频标或者外部频标。自动切换模式下，电路检测外部频标的输入功率，若大于门限，认为外部频标输入存在，自动切换使用外部频标，否则使用内部频标。时钟管理电路实时提供一路指示信号，标示当前使用的为内部频标还是外部频标信号。

时钟管理电路利用频标信号产生模块各个电路所需要的时钟频率。为了简化电路实现，设计各个电路使用的时钟频率具有整数倍关系。利用锁相环产生最高时钟频率，通过分频得到其它的时钟频率。

### 2.3.7 时码电路

系统的时码电路用于解调外部输入的IRIG-B码，能够解调1pps标准秒脉冲信号[10]。对B码进行解码，转换成计算机能够识别的时、分、秒形式，为系统的调制解调信息提供时码。IRIG-B码分为直流码（DC）和交流码（AC），直流码直接输入FPGA进行解调，交流码先经过D/A转换后输入FPGA进行解调。

## 2.4 结构设计

嵌入式中频测控设备的硬件部分由电源模块、模拟电路模块、数字信号处理模块及外部接口等分模块实现，模块的设计提高了嵌入式中频测控设备的灵活性和可维护性，

10

## 其内部结构示意图如图2.2所示。



图 2.2 嵌入式中频测控设备结构图

图2.2中，设备的所有硬件模块安装于43cm×26cm×4.445cm的通用机箱中。模拟接收电路模块、模拟发送电路模块和数字基带处理模块分别由一块PCB板实现，为了起到屏蔽和针对灰尘等杂质的保护作用，每块PCB板先安装在一个小金属盒之中，再将小金属盒安装到机箱之中[11]。机箱内的后壁上安装有220V电源接口、电源模块、中频收发接口、视频收发接口、矩形接插件和网口，电源接口为标准的三脚接口；中频收发接口为SMA型，机箱内前壁安装电源开关和工作指示灯。

各个电路模块独立的安装在机箱内，模块间通过电缆连接，不仅拆卸方便，便于故障的诊断、维修以及设备的升级；而且设备体积小，重量轻，便于携带，非常适合应用在移动性较强的试验中。

## 2.5 本章小结

本章介绍了嵌入式中频测控设备在的USB/UCB体制下的主要技术指标，以此为前提，提出了嵌入式中频测控设备硬件设计的总体方案，分别介绍了设备主要的模块功能及基本组成、各组成电路功能和结构设计。

11

# 第3章 嵌入式中频测控平台硬件模块设计与实现

在第二章中，对嵌入式中频测控设备的功能和技术指标进行了分析，并在此基础上提出了总体设计方案。本章在第二章的设计框架上，详细阐述了嵌入式中频测控设备硬件模块的设计和实现过程。

## 3.1 ARM处理器电路设计

ARM处理器采用Atmel公司的AT91SAM9x25处理器。AT91SAM9X25是一个基于

ARM926的高性能嵌入式微处理器单元，运行在400 MHz[12]. AT91SAM9X25有两个2.0A

/ B兼容控制器区域网络（CAN）接口，2个IEEE标准802.3兼容10/100Mbps的以太网MAC SAM9X25功能。通信接口包括一个科胜讯的SmartDAA线路驱动器、HS USB设备和主机、FS USB主机、两个HS SD卡/ SDIO / MMC接口、USART、SPI接口、I2S、

TWIs和10位的ADC。

处理器运行Linux操作系统，系统开源、安全、稳定、高效、易修改和裁剪，本身具备TCP/IP协议栈，拥有丰富的软件资源，满足系统对操作、控制的要求以及未来软

件功能扩展和二次开发。AT91SAM9x25的功能框图如图3.1所示。

Zkq 20151222



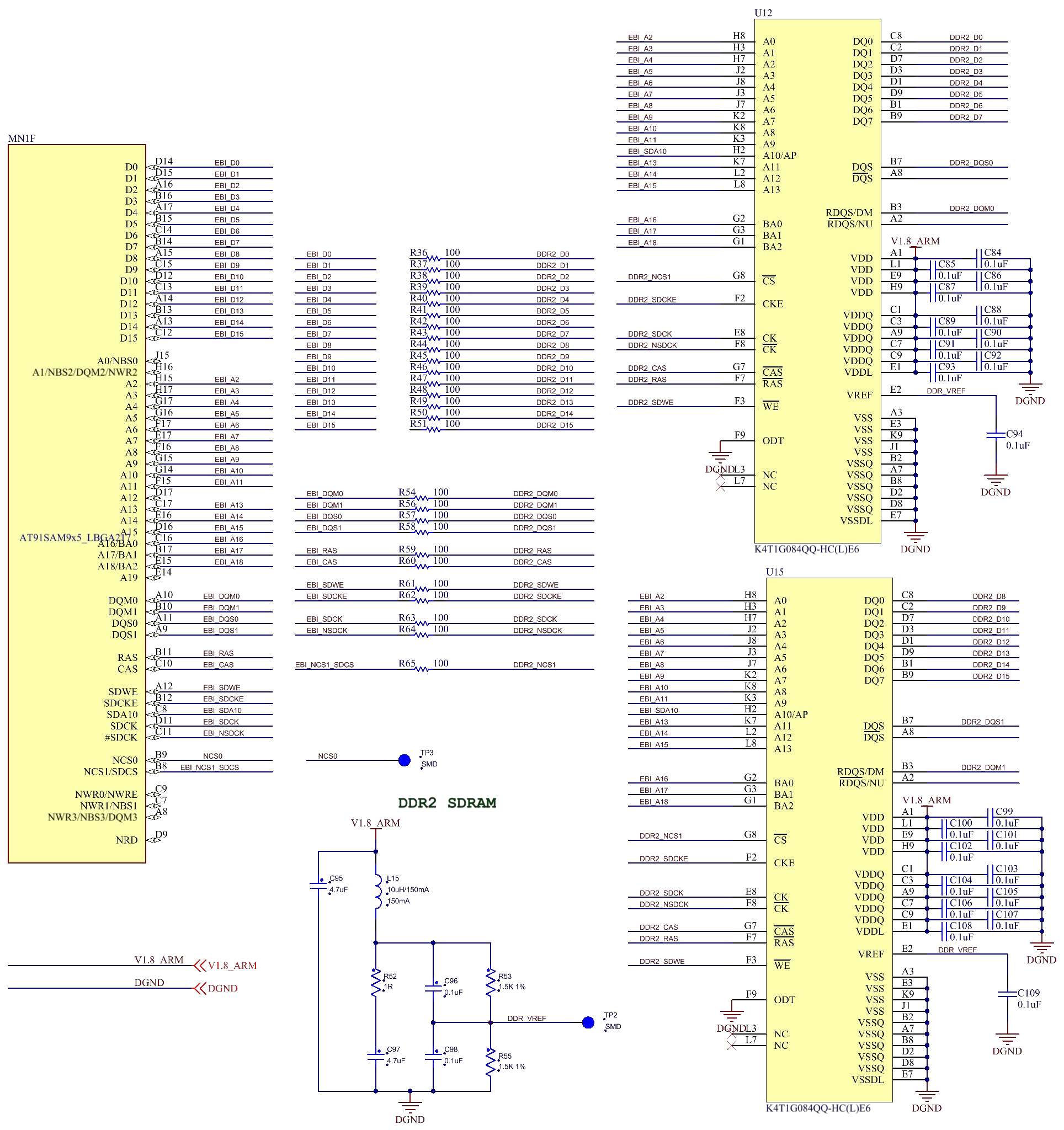
图3.1 AT91SAM9x25框图

12

ARM处理器及其外围电路由本地总线、存储器电路、时钟电路、RS-232串口电路、

TCP/IP网络接口电路、LED电路、蜂鸣器电路、风扇控制电路组成。其中的本地总线、时钟电路、LED电路、蜂鸣器电路和风扇控制电路的设计比较常见，所以本文只阐述主要的TCP/IP网络接口电路、RS-232串口电路和存储器电路的设计。

### 3.1.1 存储器电路



zkq 20151222

存储器电路主要有DDR2存储器和NandFlash存储器，DDR2存储器用于运行ARM系统。NandFlash存储器为非易失性存储器，主要用于配置参数的存储和系统程序及应用程序的存储。DDR2存储器模块采用两片DDR2存储器组成一个1GB的存储器，DO～D15为数据总线，用于与DDR2存储器之间的数据输入/输出；A0～A18为地址总线，用于访问存储器。电路连接图如图3.2所示。

图 3.2 DDR2存储器电路连接图

NandFlash电路采用单片8GB NandFlash存储器K9F8G0U0M[13]与ARM处理器相连，按照ARM管脚的定义来设计，PD0～PD6用于对NandFlash存储器的控制，D16～D23

13

用于和存储器之间的数据输入/输出，NandFlash存储器电路连接图如图3.3所示。



3.1.2 RS-232串口电路

图 3.3 NandFlash存储器电路连接图

为了使ARM调试接口的收发信号电平与计算机串口电平匹配，设计中采用

MAX3232[14]电平转换芯片实现RS-232串行接口，ARM的DEBUG输入输出接口直接

与MAX3232连接，MAX3232

接图如图3.4所示。

Zkq 20151222

的另一端与调试插座和矩形接插件相连，

RS-232电路连



3.1.3 TCP/IP网络接口电路

图 3.4 RS-232电路连接图

AT91SAM9x25集成了以太网媒质访问控制器（EMAC）和物理层设备的数据输入输出管理（MDIO）模块，其中，EMAC 控制ARM到网络物理层的数据包流控制，支

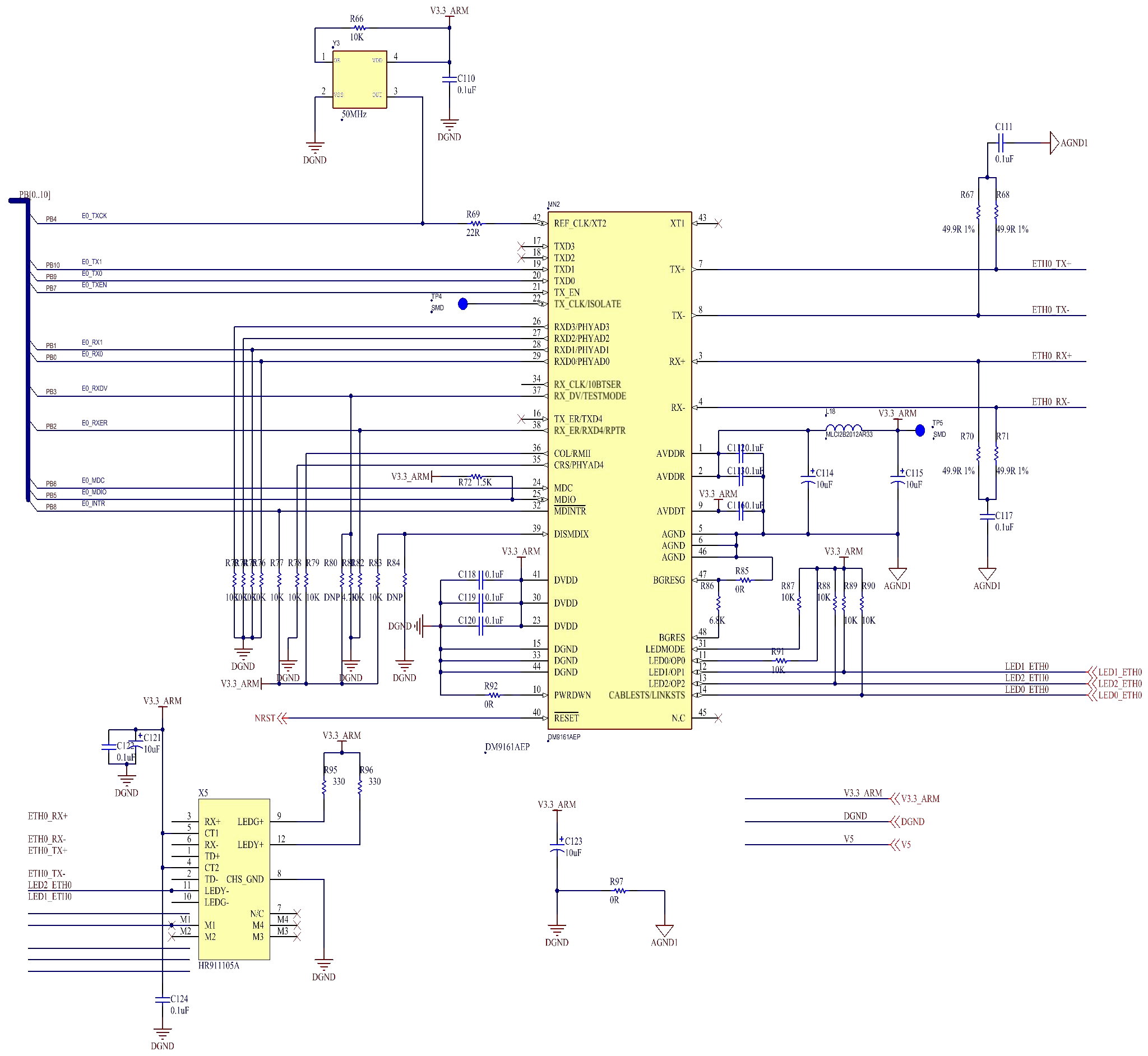
14

持10M/100M的半双工或双工模式，MDIO则用于控制物理层设备的配置和状态检测。为了缓解大量的遥测数据传输带来的传输压力，设计中采用两片百兆以太网PHY

芯片DM9161A实现双网口。DM9161A是用于[100BASE-TX](http://baike.baidu.com/subview/1140355/1140355.htm)和[10BASE-T](http://baike.baidu.com/subview/230732/230732.htm)[以太](http://baike.baidu.com/view/848.htm)网物[理层的单](http://baike.baidu.com/view/239585.htm)芯片、低功耗收发器[15]。其完全遵从IEEE [802.3](http://baike.baidu.com/subview/754130/754130.htm) / IEEE [802.3u](http://baike.baidu.com/subview/1888224/1888224.htm) [10Base-T](http://baike.baidu.com/subview/230732/230732.htm)/[100Base-](http://baike.baidu.com/subview/1140355/1140355.htm)

[TX](http://baike.baidu.com/subview/1140355/1140355.htm)、ANSI X3T12 TP-PMD 1995标准。100Base-TX和10Base-TX可选MII或者[RMII](http://baike.baidu.com/view/1240153.htm)

接口模式，对于10Base-TX可选MII或GPSI接口模式。包含连接/有效、10/100速度和全双工/冲突状态指示灯，支持双重LED控制。片上集成完整[物理层收发器和滤波器，](http://baike.baidu.com/view/239585.htm)[可直接与网络变压器相连。](http://baike.baidu.com/subview/418409/418409.htm)



zkq 20151222

按照DM9161A数据手册将其外围电路配置成RMII连接模式，减少了需要连接的引脚数目[16]，网络数据输入/输出接口采用通用的HR911105A接口，DM9161A输出3路LED指示信号分别连接至HR911105A和LED灯板以显示网络的通信状态。DM9161A工作在RMII模式100M速率下还需要50MHz的外部时钟，两路TCP/IP网络接口电路连接方式一致，电路连接图如图3.5所示。

图 3.5 TCP/IP网络接口电路连接图

15

## 3.2 FPGA选型

FPGA拟采用Xilinx公司的7系列FPGA. Xilinx提供综合而全面的多节点产品系列充分满足各种应用需求。该系列包含采用业界一流28nmHPL工艺技术的7系列All Programmable FPGA，其可在优化性能价格与功耗比的同时，实现突破性性能、容量与系统集成度。

Xilinx公司的7系列FPGA包含3种类型，其中，Artix-7系列产品主要面向成本敏感性应用，具有最低单元逻辑单元总功耗，低成本，最小封装尺寸的特点；Kintex-7系列产品是一款高性价比的系列产品，具有高端框架和接口速度，高信号处理性能，与前一代产品相比性价比提高一倍，功耗降低一半；Virtex-7系列产品主要面向高系统性能应用，具有高密度结构，高DSP处理性能，高I/O带宽，总功耗最优等特点[17]。根据目前FPGA器件的性价比和实现功能占用资源情况，本课题选择Xilinx公司Virtex-7系列的XC7VX690T，其主要的资源情况如下：

Slices: 108300;

DSP Slices：3600（每个DSP含一个25×8乘法器、一个加法器和一个累加器）；

Block RAM Blocks: 52920Kb；

Max User IO: 1000;

CMTs（时钟资源）：20（每zk个q C M2T01含51一2个22MMCM和一个PLL）。

## 3.3 中频采集电路设计

### 3.3.1 原理及原理框图

中频采集电路接收中心频率70MHz，带宽10MHz的中频模拟信号，经过带通滤波、功率调整和模数转换后，输出数字信号。中频采集电路的原理框图如图3.6所示。



图 3.6 中频采集电路原理框图

中频采集电路采用两级带通滤波器。前级带通滤波器主要用于对输入信号的滤波，滤除输入信号的谐波和其它杂散分量。因此，前级带通滤波器的设计适合采用矩形系数较大，插损较小的滤波器。后级带通滤波器主要用于A/D采样时的抗混叠滤波，设计时适合采用矩形系数较小，插损较大的滤波器。

中频采集电路的功率调整由固定增益放大器和数控衰减器来实现[18]。由于输入信号功率范围没有超过A/D的最大输入量程，功率调整只需要提供正增益。根据增益调整范围和器件实际情况，固定增益放大器和数控衰减器均采用多级实现方式，有利于保证通

16

道的稳定性。数控衰减器的衰减控制字由处理器电路提供，依据数字检波或功率检测的结果来调节链路增益，形成模拟-数字闭环自动增益控制（AGC）[19]。

中频采集电路中的输入端口，以及放大器后端设置有多个π衰网络，目的在于改善电路的阻抗匹配程度，防止同频高增益产生自激，保证电路的稳定性。

A/D采用差分输入方式，利用变压器将单端信号转换为差分信号。A/D采样时钟来源于时钟管理电路，数字输出采用LVDS差分信号形式，输出至处理器电路中的FPGA。

### 3.3.2 指标论证

#### 3.3.2.1 链路增益及动态范围分析

中频信号的输入功率范围-90dBm~0dBm.90dB的动态范围由硬件电路实现60dB

的接收动态，剩余30dB动态范围由A/D提供。

A/D的最大输入幅度为1Vp-p，即4dBm。留有一定的功率范围，使得输入A/D的信号功率控制在-30dBm~0dBm范围内。那么，根据信号输入功率范围，可得链路的固定增益为60dB，可调的增益范围为0~60dB。

考虑到同频高增益链路的稳定性，固定增益由多级放大器来实现。60dB的固定增益，再计入π衰网络和滤波器等产生的功率损耗，链路采用三级放大器来实现，每级增益为26dB。

中频采集电路采用两级数控衰减器，每级衰减器的衰减范围为0~31.5dB，两级衰减

器最大可提供

63dB

Zkq 20151222

的衰减量，满足链路的60dB可调增益要求。

中频采集电路的链路增益分配关系如图3.7所示。



图 3.7 中频采集电路链路增益分配

由图3.7可以看出，在中频采集电路输入功率为+20dBm时，各级器件均不会被烧毁，在放大器1处被饱和压缩。

#### 3.3.2.2 A/D采样频率

中频采集电路的输入信号为70MHz，按Nyquist采样定理来看，若要对中频直接低通采样，则采样时钟至少需要150MHz才能保证频谱不重叠，但采样速率太高对后续的信号处理会造成很大的压力，由于中频信号的带宽为10MHz，因此采用中频带通采样设计。

17

带通采样定理：设一个频率带限信号*x*（t），其频率限制在*fL*和*fH*之间，带宽为B = *fH**fL*，如果最小采样速率*fs* *2*( *fH* *fL*) / (*2* n*1*)，而n是一个不超过*fs* *2B*的最大正整数，那么*x*（t）可完全由其采样值*x*(nTs)确定[20]。带通采样定理适用的前提条件是：只容许在其中一个频带内存在信号，而不容许在不同的频带内存在信号，否则会引起信号混叠。

理论上A/D采样频率应大于2倍信号带宽，即*fs**20MHz*。采样频率决定了采样过程中混叠带宽与信号带宽的频率偏差。低采样频率情况下，混叠带宽与信号带宽的频率偏差较小，A/D前抗混叠滤波器不易实现。根据A/D器件实际性能水平，A/D采样频率选择100MHz，对70MHz中频信号进行采样，采样后的信号频谱如图3.8所示。



图3.8 A/D采样后的信号频谱

由图3.8可以看出，采样后的中频信号中心频率由70MHz转变为30MHz，即得到的数字信号中心频率为30MHz。模拟信号频率处于采样频率的第二奈奎斯特区间，采样后的信号频谱发生转置，后续信号处理过程中需要进行频率转置处理。

#### 3.3.2.3 带通滤波器的抑制

中频采集电路中的带通滤波器主要用于抑制谐波干扰和混叠噪声。中频采集电路采用两级带通滤波器。前级带通滤波器主要用于滤除输入信号的谐波干扰。后级带通滤波器主要用于滤出混叠噪声。

根据输入信号频率，可知谐波干扰的频率范围为130MHz~150MHz。

根据采样频率的选取，可知输入信号在采样前最近的混叠频带低频段处为25MHz~ 35MHz，高频段处为125MHz~135MHz。

两级滤波器对于谐波干扰和混叠噪声的抑制分配见表3.1。

表 3.1 带通滤波器的抑制要求

| 项目 | 谐波抑制 | 低频段混叠抑制 | 高频段混叠抑制 |
| --- | --- | --- | --- |
|  | 130MHz~150MHz | 25MHz~35MHz | 125MHz~135MHz |
| 前级带通滤波器 | ≥40dB | ≥20dB | ≥40dB |
| 后级带通滤波器 | ≥40dB | ≥40dB | ≥40dB |
| 18 |  |  |  |

表3.1给出了带通滤波器的谐波抑制和混叠噪声抑制要求。根据带通滤波器的实际水平，后级带通滤波器可以实现更高的抑制，用以获得更好滤波效果。设计中要求后级带通滤波器在频率偏移10MHz处的抑制达到40dB以上。

中频采集电路的3dB带宽为10MHz，链路中的放大器、衰减器以及A/D等器件的带内平坦度均可以保证在0.1dB以内，那么两级带通滤波器设计1dB带宽为10MHz，可以满足整条链路的3dB带宽10MHz的要求。

### 3.3.3 主要元器件选择

##### （1）带通滤波器 1

带通滤波器1为定制器件，定制要求为：

中心频率：70MHz；

1dB带宽：10MHz；

插入损耗：≤2dB；

抑制要求：≥40dB@频率≥125MHz；

≥20dB@中心频率偏移≥35MHz；

抗烧毁功率：≥30dBm。

##### （2）数控衰减器（DVGA）

中频采集电路中使用两片数控衰减器，数控衰减器选择PEREGRINE公司的

PE43602[21]，其主要技术参数为：

工作带宽：9kHz~5GHz；

衰减范围：31.5dB；

衰减精度：0.5dB；

输入三阶截点（IIP3）：+58dBm；

抗烧毁功率：+23dBm；

供电：3.3V或5V；

数控接口：三线SPI串口或并行控制接口。

##### （3）放大器

中频采集电路中使用三级放大器来满足链路增益要求，放大器选择MINI-CIRCUITS

公司的高线性低噪声单片放大器PHA-103+[22]，其主要技术参数为：

工作带宽：0.05~6GHz；

增益：26dB@70MHz；

输出P-1: +20dBm；

19

噪声系数（NF）：0.5dB；

输出三阶截点（OIP3）：+37dBm；

供电：5V；

工作电流：97mA；

最大抗烧毁功率：+21dBm。

（4）带通滤波器 2

带通滤波器2为定制器件，定制要求为：

中心频率：70MHz；

1dB带宽：10MHz；

插入损耗：≤4dB；

抑制要求：≥40dB@中心频率偏移≥10MHz；

抗烧毁功率：≥30dBm。

##### （5）变压器

变压器用于将单端信号转化为差分信号，变压器选择MINI-CIRCUITS公司的

ADT1-1WT[23]，其主要技术参数为：

工作带宽：0.15~400MHz；

阻抗比：1: 1；

插入损耗：1dB@70MHz；

相位不平衡度：≤2ο；

幅度不平衡度：≤0.1dB。

##### （6）模数转换器（A/D）

A/D输入信号为70MHz中频信号，带宽10MHz, A/D选择ANALOG公司的高速模数转换器AD9265[24]，其主要技术参数为：

采样量化位数：16bit；

最高采样频率：125MHz；

SNR=79dBFS（70MHz, 125MSPS）；

SFDR=93dBc（70MHz, 125MSPS）；

低功耗：373mW@125MSPS；

1.8V模拟供电；

1.8V CMOS或者LVDS输出；

采样时钟分频比1至8；

20

-154.3dBm输入噪声（200Ω，70MHz, 125MSPS）；

可选片上dither；

可编程内部A/D电压参考；

A/D采样保持输入；

模拟输入范围：1Vp-p至2Vp-p；

模拟差分输入带宽650MHz；

ADC时钟周期稳定器；

串行控制接口；

用户可编程，上电自检能力；

支持省电、断电模式。

### 3.3.4 电路详细设计

#### 3.3.4.1 数控衰减器控制电路

数控衰减器的衰减控制接口选用3线SPI串口。信号电平采用3.3V标准的LVTTL。衰减器控制串口信号由FPGA提供，通过SN74LVTH244A作信号缓冲buffer 。

SN74LVTH244A使用模拟电源供电，使FPGA与模拟电路隔离。中频采集电路的两片

DVGA的控制串口共用数据和时钟信号线，通过CS1和CS2两个片选信号进行器件选择，CS1选通前级数控衰减器（DVGA1），CS2选通后级数控衰减器（DVGA2）。数控衰减器控制电路如图3.9所示。



图 3.9 数控衰减器控制电路

数控衰减器控制接口时序如图3.10所示。

21



图 3.10 数控衰减器控制接口时序

根据时序要求，衰减器控制串口的移位时钟最高速率为16MHz，每控制一次传输1个字节（8bits），再计入LE有效的一个周期，控制串口传输一次大约需要0.6us，即AGC调整速率最快为0.6us。设计采用1MHz的移位时钟速率，约为10us可进行一次增益调整。

#### 3.3.4.2 A/D模拟输入电路

AD9265支持差分输入和单端输入，差分输入具有更好的抗扰性，电路设计选择差分输入方式。A/D输入采用ADT1-1WT变压器将单端转换为差分信号，变压器的阻抗比为1: 1。A/D的最大输入信号可为1Vp-p或者2Vp-p，设计采用2Vp-p模式，即A/D最大输入功率为10dBm。参数论证时A/D最大输入功率设计为0dBm，实际电路留有

10dB功率余量。A/D模拟差分输入电路如图3.11所示。



图3.11 A/D模拟差分输入电路

图3.11中变压器后端使用了RC滤波器，根据输入信号频率，RC滤波器的电阻和电容取值为R1=R2=15Ω，C1=18pF，C2开路。

3.3.4.3 A/D采样时钟电路

AD9265采样时钟支持单端和差分输入，设计采用差分时钟输入方式，差分输入的差模电压为0.3Vp-p ~3.6Vp-p，内部提供差分时钟的共模电压，可支持的时钟逻辑有

CMOS/LVPECL/LVDS。时钟管理电路为A/D提供LVPECL电平采样时钟，时钟频率

100MHz。时钟管理电路和A/D使用不同的供电电压，故LVPECL匹配电路采用交流耦合电阻匹配方式，A/D采样时钟的匹配电路如图3.12所示。

22



3.3.4.4 A/D数字输出电路

图3.12 A/D采样时钟电路

AD9265数字输出支持单端LVCMOS和差分LVDS两种模式。设计选择LVDS差分数字输出模式。AD9265差分输出直接连接到FPGA差分对管脚。数字输出信号包括数字输出时钟信号DCO、溢出标志OR和8组数据差分对。每组数据差分对复用两位数据，A/D数字输出电路如图3.13所示。



图3.13 A/D数字输出电路

FPGA支持2.5V标准的LVDS\_25和1.8V标准的LVDS两种电平模式，AD9265数字输出LVDS电平支持标准摆幅和低摆幅两种。

FPGA和AD9265的两种LVDS电平标准都是相互符合的，设计中FPGA选择

LVDS\_25电平标准，AD9265选择低摆幅LVDS电平标准。A/D接口时钟和数据线仅限连接FPGA的HR BANK的差分对管脚。

FPGA使用DCO时钟的上升沿采样数字输出的偶数据，下降沿采样数字输出的奇数据。DCO时钟每个周期的上升沿和下降沿拼凑成同一个采样点的16位数据，AD9265数字输出接口时序如图3.14所示。

23



图3.14 A/D数字输出时序

3.4中频发射电路设计

### 3.4.1 原理及原理框图

中频发射电路发射中心频率70MHz，带宽10MHz的中频模拟信号，经过数模转换、带通滤波和功率调整后，输出模拟中频信号。中频发射电路的原理框图如图3.15所示。



图 3.15 中频发射电路原理框图

D/A采用差分输出，利用变压器将差分信号转换为单端信号。D/A转换时钟来源于时钟管理电路，数字输入采用LVDS差分信号形式，由处理器电路中的FPGA提供。

中频采集电路采用两级带通滤波器，主要用于滤除输出信号的谐波和其它杂散分量。带通滤波器的设计适合采用矩形系数较大，插损较小的滤波器。中频发射电路通过数控衰减器来调节发射信号功率。数控衰减器的衰减控制字由处理器电路提供。中频发射电路中的输出端口，以及发射链路中设置有多个π衰网络，目的在于改善电路的阻抗匹配程度，防止同频信号产生自激，保证电路的稳定性。

### 3.4.2 指标论证

3.4.2.1链路增益及动态范围分析

中频信号的输出功率范围-90dBm~0dBm.90dB的动态范围由硬件电路实现60dB

的发射动态，剩余30dB动态范围由D/A提供。

D/A为电流输出，设计选择输出电流20mA，按照50Ω匹配电阻计算，D/A最大输出功率-2dBm。那么，D/A的输出功率范围为-32dBm~-2dBm。根据模拟中频信号输出功率范围，可得链路的固定增益为2dB，可调的增益范围为-58dB~2dB。

中频发射电路采用两级数控衰减器，每级衰减器的衰减范围为0~31.5dB，两级衰减

24

器最大可提供63dB的衰减量，满足链路的60dB可调增益要求。中频发射电路的链路增益分配关系如图3.16所示。



3.4.2.2 D/A转换频率

图 3.16 中频发射电路链路增益分配

D/A输出信号中心频率70MHz，带宽10MHz。理论上D/A的转换频率应大于2倍信号最大频率，即fs≥150MHz。考虑避免数模转换过程中的谐波分量落入发射信号带内，选择尽量高的转换频率，使得发射信号频率和谐波频率分开，依靠模拟带通滤波器将谐杂波滤除[25]，D/A输出信号的频谱如图3.17所示。



图 3.17 D/A输出信号频谱

图3.17给出了采用500MHz转换频率，产生70MHz中频信号的D/A输出信号频谱。经过分析可以看出，发射信号的2~5次谐波分量均远离发射信号频带，相距最近的是信号高频分量的5次谐波，距离发射信号频带50MHz，模拟中频滤波器完全可以对此频带进行抑制。

#### 3.4.2.3 带通滤波器的抑制

中频发射电路中的带通滤波器主要用于抑制谐波干扰。根据图3.13所示结果，带通滤波器抑制的最低频率在125MHz处，设计两级带通滤波器在此处分别抑制35dB以上，可以保证中频发射信号的带外杂散70dB的抑制要求。

中频发射电路的3dB带宽为10MHz，链路中的放大器、衰减器以及D/A等器件的带内平坦度均可以保证在0.1dB以内，那么两级带通滤波器设计1dB带宽为10MHz，

25

### 可以满足整条链路的3dB带宽10MHz的要求。

### 3.4.3 主要元器件选择

（1）带通滤波器

带通滤波器1和带通滤波器2采用相同的滤波器，带通滤波器为MINI-CIRCUITS

公司的SXBP-70+，主要技术参数为：

中心频率：70MHz；

1.5dB带宽：14MHz；

插入损耗：<2dB；

抑制要求：> 35dB@中心频率偏移≥55MHz。

（2）数控衰减器（DVGA）

中频采集电路中使用两片数控衰减器，数控衰减器选择PEREGRINE公司的

PE43602，其主要技术参数为：

工作带宽：9kHz~5GHz；

衰减范围：31.5dB；

衰减精度：0.5dB；

输入三阶截点（IIP3）：+58dBm；

供电：3.3V或5V；

数控接口：三线SPI串口或并行控制接口。

（3）放大器

中频采集电路中使用三级放大器来满足链路增益要求，放大器选择MINI-CIRCUITS

公司的高线性低噪声单片放大器PHA-1+[26]，其主要技术参数为：

工作带宽：0.05~6GHz；

增益：16dB@70MHz；

输出P-1: +22dBm；

噪声系数（NF）：1.7dB；

输出三阶截点（OIP3）：+41dBm；

供电：5V；

工作电流：146mA。

（4）变压器

变压器用于将单端信号转化为差分信号，变压器选择MINI-CIRCUITS公司的

TC1-33-75G2+[27]，其主要技术参数为：

工作带宽：5~3000MHz；

阻抗比：1: 1；

插入损耗：1dB@70MHz；

26

相位不平衡度：≤3ο；

幅度不平衡度：≤0.3dB。

##### （5）数模转换器（D/ A）

D/A输出信号为70MHz中频信号，带宽10MHz, D/A选择ANALOG公司的高速数模转换器AD9739A[28]，其主要技术参数为：

采样量化位数：14bit；

最高转换频率：2.5GHz；

1.8V模拟供电；

双端口LVDS数据接口；

最高1.25GSPS数据接口速率；

可编程输出电流：8.7mA~31.7mA；

功耗[1.1W@2.5GSPS](mailto:1.1W@2.5GSPS)。

### 3.4.4 电路详细设计

#### 3.4.4.1 数控衰减器控制电路

数控衰减器的衰减控制接口选用3线SPI串口。信号电平采用3.3V标准的LVTTL。衰减器控制串口信号由FPGA提供，通过SN74LVTH244A作信号缓冲。SN74LVTH244A使用模拟电源供电，使FPGA与模拟电路隔离。中频发射电路的两片DVGA的控制串口共用数据和时钟信号线，通过CS1和CS2两个片选信号进行器件选择，CS1选通前级数控衰减器（DVGA1），CS2选通后级数控衰减器（DVGA2）。数控衰减器控制电路如图3.18所示。



#### 3.4.4.2 D/A模拟输出电路

图 3.18 数控衰减器控制电路

D/A模拟输出为恒流输出，输出电流8.7mA~31.7mA，设计选用20mA恒流输出，此时输出性能最佳。电路间匹配电阻50Ω，那么D/A的最大输出功率为-2dBm. AD9739A

27

支持基带模式输出和混合模式输出两种方式，输出模式的频率响应曲线如图3.19所示，中频输出频率70MHz，因此选择基带模式输出。



图3.19 AD9739A模拟输出模式

D/A模拟输出电路采用变压器将差分信号转换为单端信号，设计中采用阻抗比为1: 1的巴伦变压器，其能提供最佳的幅度、相位平衡性，输出带宽可达2.2GHz. D/A输出内部阻抗70Ω，设置外部差分阻抗180Ω，并联形成50Ω电阻网络，D/A模拟输出电路如图3.20所示。



#### 3.4.4.3 D/A转换时钟电路

图 3.20 D/A模拟输出电路

转换时钟质量和时钟幅度直接影响了D/A的工作性能[29]。AD9739A建议采用LVPECL或者CML时钟作为转换时钟的源时钟，通过ADCLK914放大幅度，产生CML时钟提供给AD9739A. D/A转换时钟电路如图3.21所示。



图 3.21 D/A转换时钟电路

D/A转换时钟来自时钟管理电路，时钟频率500MHz，采用LVPECL电平，通过

28

ADCLK914输出D/A转换时钟，共模电压900mV，差模电压1.6V. ADCLK914的时钟输入端采用交流耦合方式，将内部偏置电压VT连接至参考电压输出端VREF 。

ADCLK914时钟输出端也采用交流耦合方式，传输线匹配阻抗为100Ω。

#### 3.4.4.4 D/A数字输入电路

AD9739A的数字输入端口提供接口数据移位时钟DCO，两套数据总线DB0和DB1。接口时钟和数据均采用LVDS电平标准。D/A数字输入电路如图3.22所示。



图 3.22 D/A数字输入电路

FPGA支持2.5V标准的LVDS\_25和1.8V标准的LVDS两种电平模式，两种电平均满足AD9739A的电平要求，设计中选择LVDS\_25电平标准，D/A接口时钟和数据线仅限连接FPGA的HR BANK的差分对管脚。

#### 3.4.4.5 D/A配置电路

AD9739A的配置信号包括D/A复位信号RESET、中断信号IRQ和4线控制串口。D/A的配置信号连接至FPGA，配置电路如图3.23所示。



图 3.23 D/A配置电路

29

D/A的配置信号采用3.3V标准的LVCMOS电平，对应FPGA管脚也需要采用该电平，FPGA连接至D/A配置信号的管脚BANK采用3.3V标准。

3.5视频采集电路设计

视频信号由BNC接口输入，先经过射随电路再经过滤波电路进入模数转换器（ADC）中进行模数转换。

其中射随电路和滤波电路都采用THS4042放大器设计。射随电路的设计使得整个接收通道在输入信号频率为0～100kHz的范围内输入阻抗大于10kΩ。用PSPICE对整个输入电路进行仿真，其输入阻抗仿真结果图如图3.24所示。



图 3.24 视频采集电路输入阻抗仿真结果

本课题中ADC的采样速率为2621kHz，视频信号输出频率范围为0～100kHz。滤波器为二阶有源低通滤波器，经PSPICE仿真得其3dB带宽为514kHz，满足输入信号频率为0～100kHz的需求。二阶有源滤波器仿真结果图如下图3.25所示。



图 3.25 滤波器仿真结果图

将仿真的射随电路和滤波器电路组合起来，整个视频采集电路图如图3.26所示。

30



图 3.26 视频接收单元电路图

在滤波器的输出端加上匹配电路后连接至ADC的输入端，视频电路中的ADC采用

ADS805, ADS805为12位，采样速率为20MHz的模数转换器，满足视频通道中模拟信号的数字化需求。模数转换电路较为简单，本文不再详细描述。

## 3.6 视频发射电路设计

数字信号经过FPGA调制后输出至数模转换器，视频通道中的数模转化器（DAC）采用AD公司的AD9726, AD9726是一款16位，采样速率达400MSPS的DAC，满足视频通道的数模转换需求。转换后的模拟信号先经过差分电流放大电路，然后经过滤波电路通过BNC口输出。其中放大电路和滤波电路都采用THS4042放大器设计。

本课题中DAC的采样速率为65536kHz，视频信号输出频率范围为0～100kHz。滤波器设计为二阶有源低通滤波器，在最初的设计中，二阶有源滤波器的参数R259、R260、

C337和C338分别为2K、2K、330pF和330pF，用PSPICE进行仿真得到滤波器的输出

3dB带宽为183kHz。在实际的测试过程中发现波形换相点不佳，实际测试波形见第五章，用PSPICE仿真输出信号波形图如图3.27所示。



图 3.27 带宽为183kHz时的输出信号波形

将二阶有源滤波器的参数R259、R260、C337和C338分别改为680、680、220pF

和220pF后，用PSPICE进行仿真得到滤波器的3dB输出带宽为795kHz. PSPICE仿真

31

## 输出信号波形图如图3.28所示。



图 3.28 带宽为795kHz时的输出信号波形

对比输出信号的波形，带宽为795kHz的滤波器输出信号换相点明显好于183kHz带宽时的输出，所以滤波器设计采用3dB带宽为795kHz的设计，整个输出通道在信号频率为0～100kHz的范围内输出阻抗为50Ω左右。视频发送单元电路图如图3.29所示。



图 3.29 视频发送单元电路图

## 3.7 时钟管理电路设计

时钟管理电路使用AD公司的AD9520，其内部集成了VCO和锁相环电路，支持两路外部参考时钟输入，12路差分时钟输出[30]。提供SPI、I2C串口作为内部分频器及各种参数配置接口。各路输出时钟相位同步，可为A/D电路、D/A电路和FPGA提供相参时钟。其内部功能框图如图3.30所示。

PLL的主要技术指标为：

低噪声锁相环片上VCO频率1.4GHz~1.8GHz；

可配外部3.3V/5V VCO/VCXO最高频率2.4GHz；

支持1路差分或者两路单端参考输入；

支持CMOS、LVDS和LVPECL电平参考时钟，最高频率250MHz；

支持16.62MHz至33.3MHz的晶体参考输入；

可选参考时钟倍频器；

参考时钟监测；

自动/手动选择参考时钟保持和参考时钟切换模式；

32

数字或模拟锁定检测；

可选零延时操作；

12路1.6GHz LVPECL时钟输出；

12路输出分为4组，每组3路输出，共用1~32倍分频器；

输出抖动225fs；

输出通路间的抖动小于16ps；

LVPECL输出可配置成2个CMOS输出；

SPI或者I2C串行控制接口。



图3.30 AD9250内部功能框图

AD9250主要为中频ADC、DAC和FPGA提供高速时钟，AD9250可选择内部VCO或者CLK作为要分配的时钟源信号，当内部VCO被选择为信号源，则必须使用VCO分频器。当CLK被选择为信号源，如果CLK频率低于最大的通道输入频率1600MHz时，则不需要VCO分频器，否则必须使用VCO分频器来降低输入频率，使之达到通道分频器可接受的范围。

AD9250将输入的频标信号锁相倍频，产生模块所需的各路时钟。PLL电路的频标为10MHz正弦波，输出6路差分时钟，分别提供给两个中频A/D、两个中频D/A和FPGA。

AD9250电路设计框图如图3.31所示。

33



图 3.31 AD9250时钟电路设计框图

3.7.1 AD9520参数配置及配置电路

AD9520-4的内部VCO频率范围是1400MHz~1800MHz，外部参考输入10MHz，输出频率500MHz、100MHz和20MHz。其内部的配置如图3.32所示，内部的具体配置参数如下：

鉴相频率：10MHz；

VCO频率：1500MHz；

 R 分频器：1；

 P 分频器：6；

 A 分频器：0；

 B 分频器：25；

 VCO 分频器：3；

 通路 1 分频器：1；

 通路 2 分频器：5；

时钟输出：LVPECL。



图 3.32 AD9520参数配置

34

AD9520的各路输出使能可以分别控制，在某路A/D或D/A不被使用时，可关闭该路时钟输出，降低功耗。

AD9520的配置接口SPI和I2C可选，通过SP0、SP1两个硬件管脚选择。设计选择SPI模式，AD9520默认使用3线SPI串口，通过配置0x00地址转换为4线模式。FPGA和AD9520管脚电压使用3.3V，使用SN74AVC16T245进行电平转换。配制接口电路如图3.33所示。



3.7.2 PLL环路滤波器

图 3.33 PLL配置电路

要获得较好的PLL性能，需要对PLL进行正确的配置，外部的环路滤波设计至关重要。通过相应的寄存器设置将内部的VCO设置为1.5GHz, PDF频率设置为10MHz。使用ADIsimCLK软件通过输入需要的参数可得到使AD9250达到高质量时钟输出的环路滤波结构，环路滤波结构如图3.34所示。



3.7.3时钟输出匹配电路

图 3.34 环路滤波结构

PLL的时钟输出至中频A/D、中频D/A和FPGA, PLL时钟输出为LVPECL电平。

A/D具有内部偏置电路，外部只需要交流耦合隔直即可，如图3.35所示。PLL与FPGA

35

## 的时钟匹配也采用交流耦合，FPGA没有内部偏置电路，需要外部电路偏置，如图3.36

所示。



图3.35 A/D时钟匹配电路



图 3.36 FPGA时钟匹配电路

## 3.8 时码电路设计

B码的时帧周期为1秒，其中包含了100个码元，码元速率为100个/秒，时帧速率为lpps. B(DC)码经过调制得到了B(AC)码，其最大的优点是带宽大大压缩，B(AC)码的频带为100Hz～3kHz，其能量主要集中在1kHz附近。

本设计中的B(DC)码和B(AC)码从同一个输入接口输入，减少设备后面板的输入/输出接口，使设备更加的集成化。B(DC)码经过缓冲器后直接进入FPGA进行解调，B(AC)码则先经过A/D转换后进入FPGA解调。B(AC)的模数转换芯片采用LTC1863LCGN，

LTC1863LCGN为12位，8通道，175KHz采样速率的ADC，满足时钟电路的数字化需求。时码输入接口电路图如图3.37所示。

36



图 3.37 时码输入接口电路图

## 3.9 本章小结

本章介绍了嵌入式中频测控设备的各个模块硬件电路设计，对ARM处理器外围电路、中频采集电路、中频发射电路、视频采集电路、视频发射电路、时钟电路和时码电路的硬件模块进行了详细的设计，并对中频采集模块和中频发射模块的指标进行了论证，确保设计符合要求。

37

# 第4章 嵌入式中频测控平台数字化处理软件设计

数字化处理软件是嵌入式中频测控平台信号处理的核心软件，主要是FPGA程序的设计。本章在总体设计方案的基础上，在Xilinx公司的ISE开发环境下进行FPGA软件模块关键算法的开发。FPGA关键算法由项目组成员共同开发设计，本章主要介绍FPGA软件设计的开发过程和原理。

FPGA算法主要结构为数字发射机和数字接收机，分别完成上行信号的数字化调制和下行信号的解调，其中解调包括遥测信号解调和测距信号处理，其算法原理框图如图

## 4.1 所示。



图 4.1 FPGA算法原理框图

4.1 FFT快捕设计

### 4.1.1 传统FFT捕获

FFT捕获主要完成对载波的捕获，经过前端射频模块下变频处理得到模拟中频调制信号进入A/D进行带通采样后得到数字中频信号，模拟中频信号表达式如下：

*S*(*n*)*A* cos[2*f nT*2*f nT***(*nT*) 2*m*(*nT*)**]

（4.1）

*c* c s d s s s

式（4.1）中，*fc*为中频载波，Ts为采样时间间隔，*fd*为多普勒频率，β为加速度变化率。利用本地接收机产生正交载波与数字中频信号进行数字下变频，将带通信号变为基带信号，分别用同相支路和正交支路表示，并通过低通滤波去除二倍频分量[31][32]，基

38

带信号残留载波即为多普勒信息，I、Q支路表达式如下：

*I* (*n*)*S*(*n*)cos(2*fc nTs* )

*Q*(*n*)*S*(*n*)sin(2*fcnTs* )

经过低通滤波器后的I、Q支路表达式如下：

（4.2）

（4.3）

*I* (*n*)0.5*A* cos[2*f nT***(*nT*) 2*m*(*nT*)**]

（4.4）

*c* d s s s

*Q*(*n*)0.5*A* sin[2*f nT*

**(*NT*) 2*m*(*nT*)**]

（4.5）

*c* d s s s

对I、Q支路信号进行复数FFT频谱分析，通过搜索主载波峰值所在位置即可获得对载波多普勒的估计[33]。传统的FFT载波捕获框图如图4.2所示。



图 4.2 传统FFT捕获原理框图

图4.2中，进入A/D模数转换器的模拟带通信号中心频率为70M，带宽约为500kHz。根据带通采样定理，将A/D采样速率设计为60M，如果直接对该速率的数字信号进行

FFT运算，FFT点数必须足够大才能获得较高的频率分辨率。由于硬件资源限制，必须降低数据采样率，常规的方式是对高速率信号进行降采样处理，通过抗混叠滤波和抽取将数据速率降至所需采样率。本方案中，使用积分清零代替低通滤波和降采样功能。如图4.2所示，对I、Q支路信号进行积分清零处理[34]，滤除高频噪声分量和二倍频分量，并将数据速率降至400kHz。此时可通过较小的FFT点数获得较高的频率分辨率。下文对传统FFT载波捕获原理及缺陷作详细介绍。

39

对于单载波复数信号*x*(*n*)*e j* (2*fd nTs***0), *n*[0: *N*1]，其N点FFT 变换为：

*X* ( *k*) 

*N*  1



*J* ( 2*f* n *T e* *d* s

** )

0 *e*



*J* 2*k n* / *N*

（4.6）

*N*  0

设*f d Ts* 

*F d* /

*F s* *l* / *N*

，则有：

*N*1



*X* (*k*) 

*N* 0

*E j* ( 2*nl* / *N***0 ) *e**j* 2*kn* / *N*

（4.7）

Sin[**(*l**k* )]

*E j*[****(11 / *N* )(*l**k* )]

0

*N* sin(**(*l**k* ) / *N* )

对式（4.7）取模平方即可得到信号频谱，如下：

2

sin[**(*l*  *k* )]

*N* sin[**(*l*  *k* ) / *N* ]

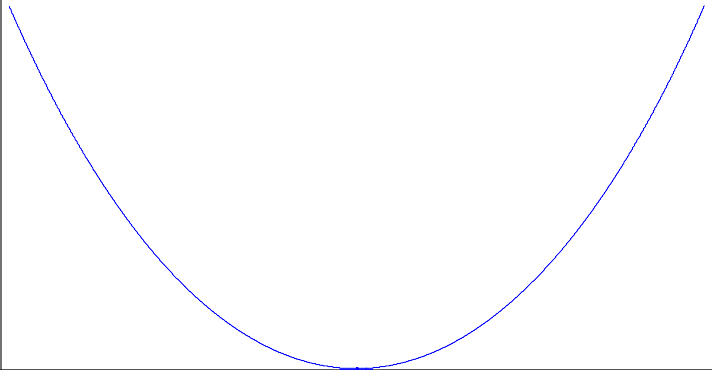
*E*(*k* ) 

*X* (*k* ) 2 

（4.8）

由式（4.8）可知，当真实频率正好在FFT谱线上（即*l**k*），*E*（*k*）取得最大值。实际上，由于FFT分辨率有限，多普勒频率往往不在谱线上，信号能量受到衰减，称之为“栅栏效应”，如图4.3所示，给出了在采样率400kHz下进行2048点FFT运算的栅栏效应能量损失曲线。

栅栏效益



4

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |

3.5

3

能量损失（dB）

2.5

2

1.5

1

0.5

-0 0 -80 -60 -40 -20 0 20 40 60 80 100

10

频率偏移（Hz）

图 4.3 栅栏效应曲线

由图4.3可知，真实频率偏离FFT谱线越远，能量损失越大，当真实频率落在两谱线中间时，能量损失达到最大[35]（约为4dB）。另一方面，当存在较大多普勒变化率时，频率捕获误差增大，由多普勒速率和频率分辨误差造成的捕获系统误差可表示为：

*FErr* (*f*

*Tacq*) / 2

（4.9）

上式中，*f*表示FFT频率分辨率，*Tacq*为捕获时间。如图4.4所示，给出了

**5000*Hz* / *s*, *Tacq* 40.96*ms*条件下捕获频率误差曲线，由多普勒变化率带来的固定偏差为102.4Hz，加上频率分辨率模糊度，总的捕获误差约为200Hz。多普勒变化率越大，捕获系统误差越大。

40

### 200



多150

普

勒

100

误

差

（Hz） 50

0

-50

0 20 40 60 80 100 120 140 160 180 200

仿真次数

图 4.4 传统FFT捕获频率误差（CNR=40dB˙Hz）

由式（4.9）可知，提高FFT分辨率或减少捕获时间均可降低捕获系统误差。然而，由于捕获时间和硬件资源的限制，FFT点数应尽可能小；同时，为了满足低信噪比环境下捕获，又必须采用非相干累加技术来提高信噪比，使得捕获时间无法减少。为解决这一矛盾，本方案提出了基于频谱搬移的并行FFT捕获技术，在不增加FFT点数和捕获时间的前提下，通过多路并行FFT处理提高频率搜索精度。

### 4.1.2 并行FFT捕获

当载波多普勒越靠近FFT谱线时，其信号能量越大，所得到的多普勒估计值与真实频率越接近[36]。利用这一点，通过对基带信号频谱搬移，使得主载波逼近FFT谱线，以提高信号能量、降低频率估计误差，达到提高精度的目的。并行FFT捕获的基本原理即是在传统FFT捕获基础上的改进，通过对多通道频谱搬移后的基带信号进行并行FFT谱分析，搜索其中峰值谱线，从而获得最接近真实频率的载波多普勒。

如图4.5所示，并行FFT捕获原理框图中增加了频谱搬移模块、MUX/DMUX（复用器/解复用器）模块以及多普勒变化率估计模块，并将原先的一维能量储存矩阵扩展为二维储存矩阵。

41



（1）频谱搬移

图 4.5 并行FFT捕获原理框图

如图4.5所示，在完成积分清零后，数据速率降低至400kHz，利用高时钟产生多通道正交载波对降采样后的基带信号进行正交下变频，达到频谱搬移的目的，具体工作原理如下。

*i i s i s*

*I* ' (*n*)*I* (*n*)cos(2*f nT* ' )*Q*(*n*)sin(2*f nT* ' )

*i i s i s*

*Q* ' (*n*)*Q*(*n*)cos(2*f nT* ' )*I* (*n*)sin(2*f nT* ' )

将式（4.4）和式（4.5）代入式（4.10）和式（4.11）可得：

（4.10）

（4.11）

*I* ' (*n*)cos[2**( *f* *f* ) *nT* '**(*nT* ' ) 2*m*(*nT* '))]'

（4.12）

*i* d i s s s

*Q* ' (*n*)sin[2**( *f*

*F*) *nT* '**(*nT* ') 2*m*(*nT* ')**')]

（4.13）

*i* d i s s s

上式中，*fi* (*i*1,2... *M*)(*f* / 2,*f* / 2)是正交下变频载波组, *M*为正交下变频组数，*T* '为降采样时间间隔，**'为降采样后载波相位。对*I* ' (*n*)和*Q* ' (*n*)进行N点FFT 运

*s* i i

算，设( *f* *f*) *T* '(*l*) / *N*，可得主载波频谱如下：

*d* i s

*i*

*Ei* (*k*) 

2

（4.14）

sin[**(*l* *i*  *k*)]

*N* sin[**(*l* *i*  *k*) / *N* ]

式（4.14）中，*i* (0.5,0.5)代表频谱搬移量的数字频率，*l*代表实际载波多普勒

数字频率，由于**覆盖两谱线间残余多普勒(*f* / 2,*f* / 2)，必然存在某个 

值使得

*i*



*L*** *k*

，即频谱搬移后的载波谱峰正好落在FFT谱线上。所捕获的载波多普勒为：

42

 *F**lMAX* *fiMAX*, *l*(0, *N* / 21)

（4.15）

*f d* *f*(*l*



*MAX* *N*)*fiMAX*

，*l*( *N* / 2, *N*1)

*lMAX*表示峰值所在FFT谱线位置，*fiMAX*取得峰值所用的正交下变频载波频率。相应的频率估计误差为*f* / *M*，显然，*M*取值越大，频率估计精度越高。

##### （2）多普勒变化率估计

多普勒变化率估计的基本原理是：当存在较大多普勒变化率，每次搜索峰值谱线会产生偏移，进行多次搜索得到不同时间下的载波多普勒，载波多普勒偏移量与搜索时间间隔的比值即为多普勒变化率。

并行FFT捕获技术单次搜索即可获得高精度多普勒频率估计，进行二次搜索即得到多普勒变化率估计，如下：



**( *f d* 2*f d*1) / *Tacq*

（4.16）

（4.16）式中，( *j2*)**( *f*)*2K*( *f*)G( *f*)(j *2*)**( *f*)、 为前后两次捕获到

*E* v  *e*

*F d* 2

的载波多普勒，*Tacq*为两次捕获的时间间隔。多普勒变化率估计误差为：

*Err* 2(*f* / *M*) / *Tacq*

完成多普勒变化率估计后，可得当前时刻载波多普勒：



*F d* *f d****Tacq* / 2

（4.17）

（4.18）

## 4.2 调相信号的跟踪和解调

载波初始捕获完成后，系统将进入载波跟踪环节，嵌入式中频测控设备采用锁相环进行载波的跟踪，同时完成调相信号的解调。锁相环（PLL）在低信噪比条件下，具有较好的跟踪性能，其结构框图如图4.6所示。



图 4.6 基于锁相环的载波跟踪结构框图

假设该锁相环处于锁定状态，锁相环的输入为调相信号s（t）:

*S*(t)*Ac* cos[2*fc* t**(t)]

**(T) 2**K *f m*(t)

式（4.19）中，*fc*为载波初始捕获完成后的频差。

（4.19）

（4.20）

43

对于VCO来说，它的控制电压是环路滤波器的输出v（t），则VCO的瞬时频率为：

*Fv* (t) 

*Fc* *Kv**v*(t)

（4.21）

式（4.21）中，为相位偏移常数，VCO的输出可表示为：

*s*0 (t)*A*0 cos[2*fct***0 (t)]

*t*

（4.22）

*0* (t)*2*K

v

*v*() *d*

（4.23）

相位比较器由复乘器和反正切组成，其输出e（t）为：

e(t)[**(t)*0* (t)]*e* (t)

*t*

（4.24）

两边求导得：

*E* (t)**(t)*2*K

v

*v*() *d*

（4.25）

*De* (t) / dt*2*Kv *v*(t)*de* (t) / *dt*

（4.26）

*D*(t) / dt*2*K

**()*G*(t) d***d*(t) / *dt*

（4.27）

*e*



对式（4.27）进行傅氏变换，得到

V *e*

( *j2*)*e* ( *f*)*2Kve* ( *f*)G( *f*)(j*2*)**( *f* )

经整理得到调制函数和相差函数之间的关系

*E* ( *f*)**( *f*) / (*1*KvG( *f*) / j *f* )

合理的设计，使它满足以下条件：

（4.28）

（4.29）

则式（4.25）可以写为

*Kv**G*( *f*) / j *f* 1

（4.30）

对式（4.31）进行傅里叶反变换

*E* ( *f*)**( *f* )

*e*(t)m(t)

（4.31）

（4.32）

从式（4.32）可以看出，鉴相器的输出e（t）等于m（t），所以e（t）是调相解调的输出信号。

## 4.3 BPSK解调算法设计

遥测副载波信号的BPSK信号采用了相干解调的方法[37]。因为对于数字调相信号，相干检测过程与理论上的最优解调的方法相符合，而且可以在较低的信噪比下工作。

44

BPSK信号的解调原理如图4.7所示。



图 4.7 BPSK信号相干解调原理框图

BPSK调制信号s（t）可以表示为：

*s*(t)an*A*cos(w*1*t)

（4.33）

其中{}为双极性二进制序列，an的取值为+1或者-1，分别表示传号和空号，两个电平等概率的出现。

相干载波是锁相环从输入的BPSK调制信号s（t）中提取的：

*S0* (t)cos(w*2* t)

*D* (t)*s*(t)*s0* (t)a nAcos(w*1*t)cos (w *2* t)

根据积化和差公式，式（4.35）可以整理为：

*D* (t)a nAcos(w*1*tw *2* t)cos (w*1*tw *2* t)/ *2*

（4.34）

（4.35）

（4.36）

当锁相环锁定后，相干载波与BPSK调制信号s（t）同频同相，即*w1**w2**w*，则此时乘法器的输出为：

*D* (t)an*A* / *2**an**A*cos(*2* wt) / *2*

（4.37）

经过低通滤波器后，高频分量被滤除，则低通滤波器的输出为：

*D0* (t)a n*A* / *2*

（4.38）

整个过程如图4.8所示：

45



图 4.8 BPSK信号相干解调过程

## 4.4 测距算法设计

### 4.4.1 测音测距原理

测音测距的基本原理是用一单频正弦波*s*(*t*)*A*cos(2*fit*)

，将该频率测音作为基带

信号调制到载波上发射出去[38]，经过卫星应.答机转发后被地面站接收解调，此时接收到的测音信号相对于发射信号在相位上延迟了**，该相位差与发射端和接收端（卫星）之间的距离*l*存在线性关系，即：

*L**c**t* / 2

 *c*(**/ 360*o*) / 2 *f*

（4.39）

式（4.39）中，*c*2.99792458108 *m* / *s*为光速，上述公式成立的前提是接收、发送共用天线。

*i*

由于相位测距只能测出**360o的精确值，故最大测量距离（无模糊测量距离）只能小于测音信号的半波长[39]，即：

*L* m ax

 **/ 2 

*C* / ( 2 

*Fi* )

（4.40）

可知，测音频率直接决定了测量距离的最大范围，当频率过大，相位差大于360*o*，得到的测量距离将是模糊距离。因此，为了解决测距精度与无模糊距离这一矛盾，需以采用一组测音作为测距信号，其中主测音满足测距精度要求，而次测音保证最大无模糊距离，中间的测音起匹配作用（解模糊）[40]。测音测距系统框图如图4.9所示。

46



图 4.9 测音测距系统框图

图4.9中，应答机为卫星测控系统的收发机，可转发测距信号，测音产生电路的功能是产生各个原测音，并按一定的次序将各个测音发送出去。在接收端，测音提取电路中的锁相环测音相位进行跟踪，并作平滑处理滤除噪声和其他干扰。

### 4.4.2 相位检测

测距音相位检测通过锁相环完成，其原理框图如图4.10所示。



设参考载波*m*0

图 4.10 基于锁相环技术的相位检测

（*t*）*e**j* (2*fmt***0)，测距音信号为*m* (*t*)cos(2*f*

1

'*t***)，则

1

*m*

*I* (*t*)*m*1 (*t*)cos(2*fmt***0) |*LPF*0.5*Ac* cos(2***fmt**m* )

（4.41）

47

*Q*(*t*)*m*1 (*t*)sin(2*fmt***0) |*LPF*0.5*Ac* sin(2***fmt**m* )

（4.42）

式（4.41）和式（4.42）中，*f*

*f* ' *f*，** **. 对测距音进行下变频后

*m* m m *m* 1 0

进行低通滤波，滤除二倍频分量和高频噪声，得到带残余载波的I，Q支路信号，将其送入鉴相器求反正切即可得到相位差：

**(*t*)2***fmt**m*

（4.42）

通过锁相环对相位差进行跟踪，使本地载波与测距音载波逐渐逼近，即*fm*趋于0，最终输出的相位即为本地载波与测距音的相位差**(*t*)2**0*t**m* *m* 。

## 4.5 本章小结

本章主要论述了在ISE开发环境下中频数字化处理原理和关键算法的设计，数字信号处理是整个设备软件部分的核心。对FFT捕获、下行信号跟踪和解调、多普勒变化估计、BPSK解调等开发过程进行了详细的描述。

48

# 第5章 嵌入式中频测控平台测试

本章将结合第二章中嵌入式中频测控设备的任务需求，对设备的整体性能，尤其是对硬件相关的项目进行测试和验证，保证设备的各项功能指标能够满足任务需求。

## 5.1 测试方案介绍

设备测试过程中需要使用频谱仪、示波器、PC机、信号源和嵌入式中频测控设备共同完成测试。测试结构框图如图5.1所示。



图 5.1 测试结构框图

信号源可模拟卫星产生的中频载波信号，频谱仪用于观察设备输出的中频信号，示波器观测设备视频收发信号。本章将在USB／UCB测控体制下对嵌入式中频测控设备与硬件相关的输入/输出频率范围，输入/输出功率动态范围进行了重点的测试。

## 5.2 设备性能测试

### 5.2.1 中频信号输入/输出

通过PC加载测试程序，输入/输出中频频率可以步进1KHz进行设置在65MHz～

75MHz范围内。中频输出信号接至频谱仪以观测信号的频谱图，从频谱图中可以观测到输出信号的频率。用信号源产生65MHz～75MHz频率范围的信号连接至嵌入式测控设备的中频输入接口，观测设备的接收状态。

由于频带范围较宽，本文无法对每个频率点都进行测试，选取了覆盖频率范围的几组数据进行测试，输入/输出频率分别是：65MHz/65MHz，68MHz/68MHz，70MHz/70MHz，

73MHz/73MHz，75MHz/75MHz。经测试，设备在65MHz～75MHz的频率范围内的输入输出均能正常工作。图5.2为输出频率在75MHz时的频谱图。

49



图 5.2 中频输出信号（75MHz）

### 5.2.2 输入/输出功率动态范围

通过PC加载测试程序，配置成相应的功率输出，输出信号接至频谱仪以观测信号的输出功率大小。

经测试，中频输出信号功率可以在-90dBm～0dBm范围内设置，满足不同应用场合对发射功率的要求，同时中频输出信号可由上位机实时关闭和开启。测试图如图5.3和图5.4所示。



图 5.3 中频输出信号（功率为0dBm）

50



图 5.4 中频输出信号（功率为-90dBm）

图5.3和图5.4是中频输出信号功率在0dBm和-90dBm时输出的频谱图。从图中可以到看到，排除同轴电缆的衰减，发射功率基本等于设计值。

经测试，接收机灵敏度优于-90dBm，设计动态范围为-90dBm～0dBm。

5.2.3通道间隔离测试

用信号源产生大功率信号输出至嵌入式测控设备的中频输入接口，检测测控设备的其它输入通道的接收状态来检查输入隔离情况。使嵌入式测控设备输出一路大功率信号，将另一输出连接至频谱仪观测输出信号功率。

经测试，在输入输出通道中传输大信号时对其他通道的影响极小，满足测试任务中的隔离要求。

5.2.4视频输出

从视频口发送遥控信号，输出至示波器以观测信号的波形，设置不同的副载波频率和码速率，观察波形是否正确。

经测试，遥控副载波频率可在1Hz～100kHz中步进1Hz进行设置，且能够在PC软件控制下关闭和开启；遥控码速率可在1bps～100kbps内步进1Hz进行设置，调制方式为BPSK。

当输出滤波器的带宽设计为183kHz时的输出波形如图5.5所示。对比图5.5和图

3.27，视频输出信号波形与仿真波形基本一致，所以将输出滤波器的带宽调整为795kHz，调整后的视频输出波形如图5.6所示。

51



图 5.5 带宽为183kHz时的输出波形



5.2.5视频输入

图 5.6 带宽为795kHz时的输出波形

利用视频输出口以自环方式连接至视频输入口，设置不同的副载波频率和码速率，观测输入信号的锁定状态。

经测试，遥测副载波频率可以在1Hz～100kHz内步进1Hz调节。遥测码速率可以在1bps～100kbps内以步进1Hz进行调节，信号解调形式为BPSK，在108个bit内为出现误码。

5.3 本章小结

本章先设计了嵌入式中频测控设备的测试方案，然后结合第二章中的相关硬件技术指标，开始了对嵌入式中频测控设备的部分性能进行了测试。在USB/UCB体制下，分别对输入/输出中频载波频率、输入/输出功率动态范围、视频输出和视频输入进行了测试，并对测试结果做了必要的分析，对不符合需求的设计进行了相应的调整。最终，测试的嵌入式中频测控设备的各项性能能够达到设计要求，满足应用需求。

52

# 第6章 结论

在嵌入式中频测控设备的研究过程中，系统地研究了有关测控技术和软件无线电的理论知识，通过对具体技术指标的分析，设计了系统的总体方案，接着对嵌入式中频测控设备的主要组成部分进行了详细设计。最终完成了设备的研制，经测试达到了技术指标要求。

论文所做的主要工作总结如下：

（1）对嵌入式中频测控设备的国内外研究现状进行了调研、总结。

（2）结合测控设备的应用需求，对嵌入式中频测控设备在USB/UCB体制下进行了技术指标分析，并以此提出了嵌入式中频测控平台的总体方案设计。

（3）根据嵌入式中频测控设备的总体方案设计，设计实现了嵌入式中频测控设备的硬件平台，包括ARM模块、中频采集模块、中频发射模块、视频采集模块、视频发射模块、时码模块和时钟模块的设计实现。

（4）介绍了嵌入式中频测控设备中FPGA软件模块的开发过程，包括USB/UCB

体制下载波信号的捕获和跟踪、遥测信号的解调、测距信号的解调。

（5）建立了嵌入式中频测控设备测试的平台，在USB体制下对设备的中频输入/输出频率、动态范围、通道间隔离、视频输出、视频输入进行了测试，并对测试结果做了必要的分析。

本嵌入式中频测控设备的设计解决了一些技术难题，达到了较高的技术指标，但是与国外先进设备相比仍有差距。因此，下一步的工作和研制计划可以在以下方面开展：

##### （1）完善电路设计

第一版的电路设计完成后，在对设备的各个模块进行实际的功能测试中发现了不少的问题，虽然解决了已发现的问题，但随着测试项目的增加，隐形的问题会不断的出现，现有的电路设计还需要进一步完善。

##### （2）多调制体制的兼容的研究

嵌入式中频测控设备暂时只能工作在USB/UCB体制下，不能兼容扩频测控体制，为了适应测控技术的发展，应当适应各种不同调制体制的测控要求。还需要使该设备建立在通用化平台之上，兼容各种调制模式，软件上还要增加不同调制体制的中频数字处理模块。

##### （3）射频信号收发的实现

嵌入式中频测控设备的输入输出信号中心频率是70MHz，测控时还需要外接上下变频器，为了使测控设备更加的集成化，将L/S/C波段的变频器嵌入设备之中，实现L/S/C频段信号的收发。

53

参考文献

[1] 张浩, 卫星测控综合基带处理设备设计[D]. 西安电子科技大学, 2011.

[2] 韩秀国, 唐立, 雷永刚, 等. 多普勒跟踪测轨算法及测轨优化方法研究[J]. 航天器工程, 2007, 16(3): 82-89.

[3] 唐军, 谢澍霖. 测控通信系统综合基带设备的发展和应用[J]. 电讯技术, 2001, 04: 6. 9.

[4] 韩小林. 基于嵌入式Linux的远程监控系统研究[D]. 青岛大学, 2013.

[5] 张萍. 基于以太网的嵌入式Web Server的研究及实现[D]. 西安科技大学, 2008.

[6] 唐华, 毛磊, 何仁伦, 等. 通用嵌入式测控系统开发平台研究[J]. 中国测试技术, 2008, 34(2): 40-43.

[7] Varun Sharma, Yadvinder Singh Mann. Software Radio[J]. Journal of Emerging Technologies in Web Intelligence, 2010, 22.

[8] 黄凌. 多模测控基带实现方法研究[D]. 电子科技大学, 2009.

[9] 沈琰. 中频数字化接收机的硬件实现[D]. 东南大学, 2006.

[10] 张建春, 任记达. 基于FPGA的IRIG-B码调制解调实现[J]. 现代导航, 2012, 04: 305-308.

[11] 袁铁ft. 便携多模式地检设备的设计与实现[D]. 浙江大学, 2013.

[12] Atmel Corporation． SAM9X25 DATASHEET. Atmel Corporation ARM. based Embedded MPU, 2014.

[13] SAMSUNG Electronic Company. K9F8G08U0M DataSheet. Flash Memory DataSheet, 2006.

[14] Maxim integrated Company. MAX3232 DataSheet. Maxim integrated DataSheet, 2007.

[15] DAVICOM Company. DM9161A DATASHEET. DAVICOM Company DATASHEET, 2009.

[16] 石广治, 刘波, 姜秀杰, 等. 基于ARM的嵌入式系统以太网通讯设计[J]. 微计算机信息, 2010, 32: 80-82.

[17] Xilinx. Xilinx Product Selection Guides, 2012.

[18] 高俊. 大动态范围模拟与数字中频接收机的研究与实现[D]. 电子科技大学, 2006.

[19] 李磊, 朱长根. 全数字接收机中的AGC设计与数字化实现[J]. 重庆科技学院学报(自然科学版), 2008, 06: 97-99.

[20] 杨小牛. 软件无线电原理与应用[M]. 北京: 电子工业出版社, 2001: 11.

[21] Peregrine semiconductor Company[. PE43602 DataSheet](http://www.psemi.com/pdf/datasheets/pe43602ds.pdf). Peregrine semiconductor

54

DataSheet, 2010.

[22] Mini-Circuits Company[. PHA-103+ DataSheet](http://www.psemi.com/pdf/datasheets/pe43602ds.pdf). Mini-Circuits DataSheet, 2010.

[23] Mini-Circuits Company. [ADT1-1WT DataSheet](http://www.psemi.com/pdf/datasheets/pe43602ds.pdf). Mini-Circuits DataSheet, 2012.

[24] ANALOG DEVICES Company. AD9265 Data Sheet. ANALOG DEVICES Data Sheet, 2009.

[25] 吕娈. 数字中频采样接收机的研究与设计[D]. [中国科学院空间科学与应用研究中](http://s.wanfangdata.com.cn/Paper.aspx?f=detail&amp;q=School%3a%e4%b8%ad%e5%9b%bd%e7%a7%91%e5%ad%a6%e9%99%a2%e7%a9%ba%e9%97%b4%e7%a7%91%e5%ad%a6%e4%b8%8e%e5%ba%94%e7%94%a8%e7%a0%94%e7%a9%b6%e4%b8%ad%e5%bf%83%2BDBID%3aWF_XW)心, 2006.

[26] Mini-Circuits Company[. PHA-1+ DataSheet](http://www.psemi.com/pdf/datasheets/pe43602ds.pdf). Mini-Circuits DataSheet, 2011.

[27] Mini-Circuits Company[. TC1-33-75G2+ DataSheet](http://www.psemi.com/pdf/datasheets/pe43602ds.pdf). Mini-Circuits DataSheet, 2012.

[28] ANALOG DEVICES Company. AD9739A Data Sheet. ANALOG DEVICES Data Sheet, 2011.

[29] 李冬温. 多通道中频数字接收机的设计与实现[D]. 哈尔滨工程大学, 2011.

[30] ANALOG DEVICES Company. AD9520 Data Sheet. ANALOG DEVICES Data Sheet, 2008.

[31] 苏耀峰. 基于FPGA的OQPSK调制解调器设计与实现[D]. 国防科学技术大学, 2006.

[32] Devadas Shenoy Y, Intiyas Pasha M, Hareesh N. K. et al. Digital Signal Processing based Telecommand Receiver for Space Application[J]. Journal of spacecraft technology, 2012, 22(2): 14-20.

[33] 王智. 高动态多普勒条件下的扩频接收技术研究[D]. 上海交通大学, 2007.

[34] Carlosena A, Manuel-Lazaro A. Design of High-Order Phase-Lock Loops[J]. IEEE Transcations on Circuits and Systems-II, 2007, 54(1): 9-13.

[35] 耿志辉, 王玉林. 实正弦信号频率估计的高精度综合算法[J]. 无线电工程, 2008, 03: 28-30.

[36] 穆柏新. 移动OFDM分集接收与多普勒频移估计技术研究[D]. 沈阳理工大学, 2013.

[37] 宋鹏, 张晓林, 曹雪, 等. 遥测接收机中的数字化技术研究[J]. 测控技术, 2004, 23(5): 65-67, 70.

[38] 李湘鲁, 周劼, 张健, 等. 一种用于深空测距的数字化锁相环设计[J]. 飞行器测控学报, 2008, 27(5): 30-33.

[39] 徐宁宁. 皮卫星测控应答机测距精度研究[D]. 浙江大学, 2006.

[40] 蒋金. 皮卫星用模拟地面站的研究与改进[D]. 浙江大学, 2006.

55

致**谢**

在论文完成之际，我无法忘记那些给予我支持、帮助和关怀的人们。

首先感谢悉心培养我的导师冯登超副教授。本文是在导师的指导下完成的，老师勤奋的工作态度和务实进取的精神给我留下了深刻的印象，不仅学习到了丰富的专业知识，还学到了对科学研究的严谨态度和做人的原则，使我终生受益。作者由衷感谢我的企业导师魏振超高工，在论文选题、研究、撰写过程中，给我提出许多宝贵的意见，使我的论文能顺利完成；导师深厚的理论功底和实践经验给我留下了深刻的印象。

我要感谢项目组的同事为我的课题的完成提供了很大的方便，同时感谢我的同事张阁、朱晓辉、吕德东、吴志强以及项目组的其他同事在课题的完成过程中给予我的无私帮助。

感谢在同一个实验室奋斗的伙伴王文新和张秋霞，每天我看着你们刻苦学习的身影，也时刻提醒着自己绝不能落后，感谢你们对我学业上的帮助和支持。

感谢在宿舍一起度过两年的舍友冯晓鹏、丁鹏辉和赵嘉庆，感谢你们对我的帮助和包容，在这两年的时间中大家相互勉励，共同进步，知识水平都有了很大的提高。

感谢叶淑云同学在我读研期间一直鼓励我，支持我，陪伴着我。

最后我要感谢我的父母，感谢你们多年来的养育之恩，感谢你们给我提供了一个良好的学习环境，感谢您们为我无私奉献的一切。

祝愿大家身体健康，鹏程万里！

56