

Subject

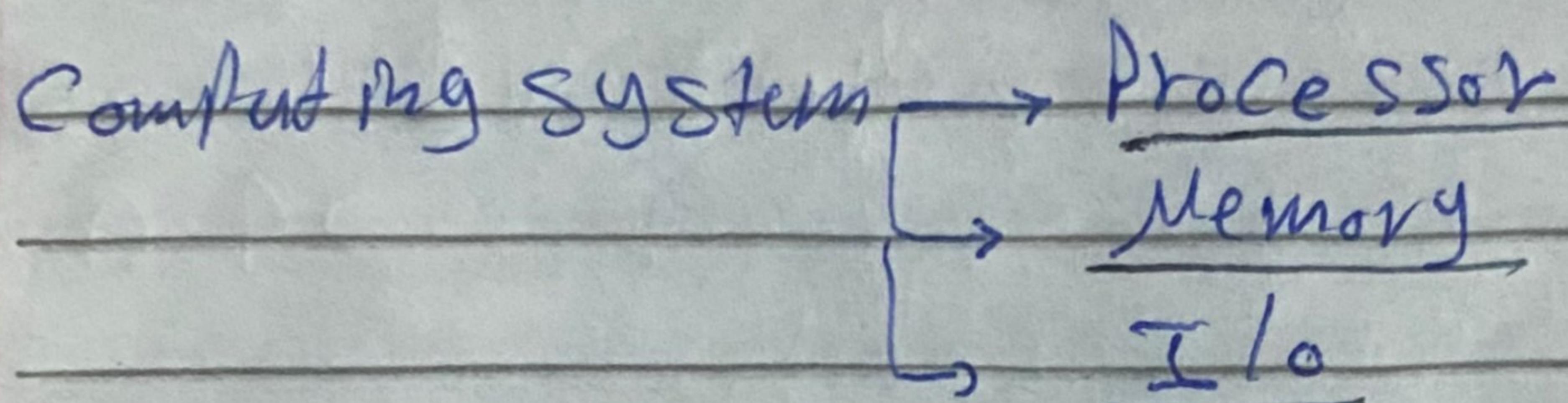
موضوع الدرس

Date

التاريخ

Embedded Systems

Computing systems ~~الحوسبة~~
نظام متكامل



embedded system → جهاز متكامل مكون مختلف في الخواص، الميكروودون

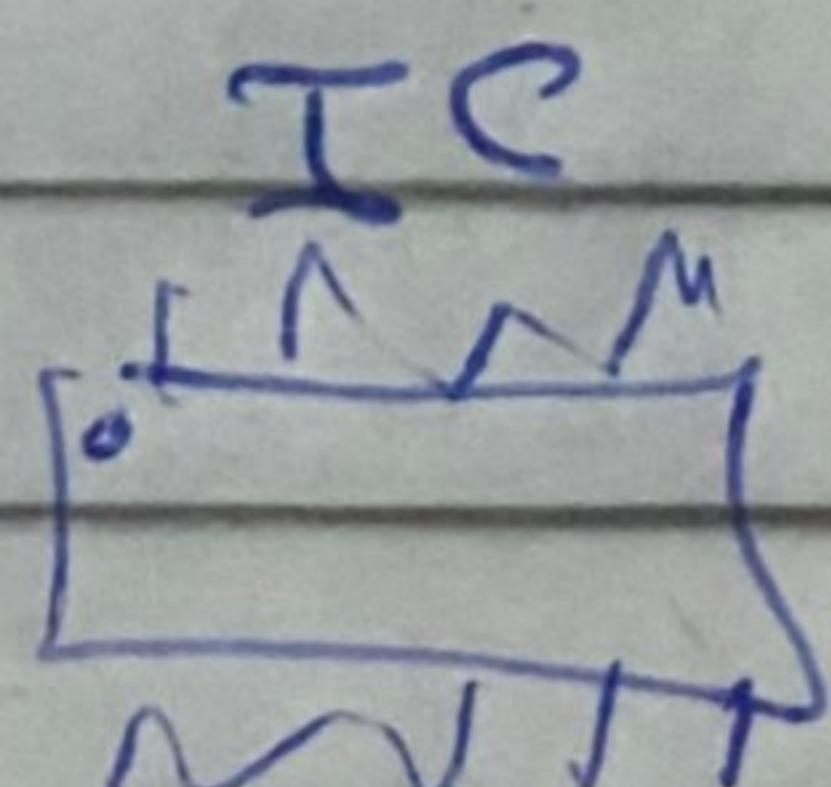
Embedded Systems Challenges

- ① Power
- ② Cost
- ③ Performance
- ④ Size

Computing system في أنواع IC

① S B (System Board) ② S o C (System on Chip)
جهاز متكامل مكون من لوحة رئيسية وChip

Board CPU



Processor في احوالاته

① Processor اقدم حاسمة

عبارة عن دعم او موادر لـ معايير دينار لـ معالجة بـ

② Micro Processor (Transistors) فائتى اصغر حجم

③ CPU

CPU Primary Proc. وهذا هيكل

GPU Secondary Proc.

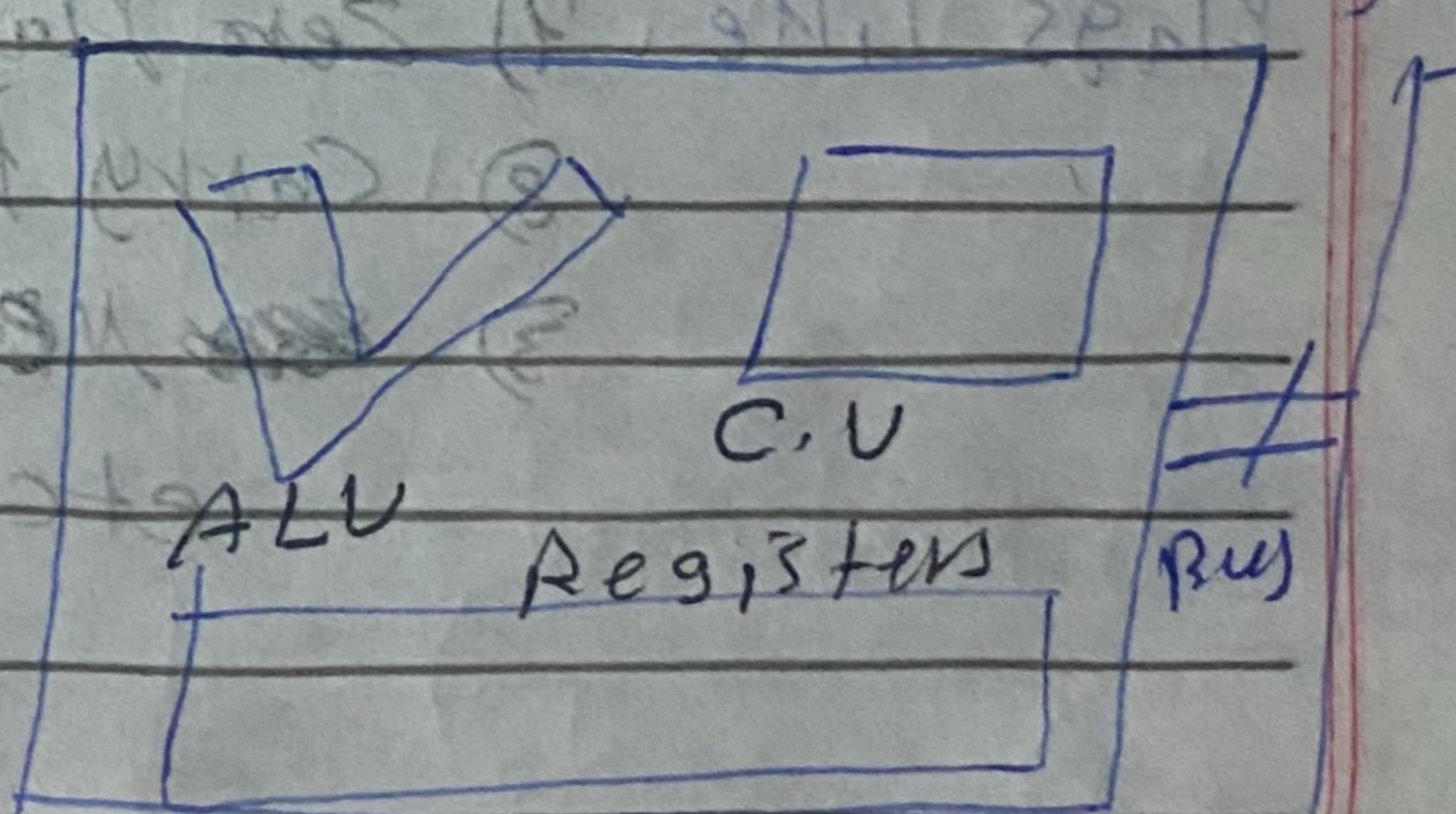
Processor Building Blocks

① Control Unit

② Arithmetic Logic Unit (ALU)

③ Registers

④ Bus System



Subject _____ موضوع الدرس
Date / / التاريخ

D) Registers

① GPR General Purpose register

② SPR Specific

examples for SPR.

③ PC Program Counter
Next instruction بخ

④ Stack Pointer

⑤ Acc → زوايا ميخ، الاتار
هي دلصي موجود

⑥ IR → Instruction Register

⑦ PSW → Process Status Word

↳ Contains flags

flags like: ① Zero flag

② Carry Flag

③ Negative flag

etc.

Subject

موضوع الدرس

Date / /

التاريخ / /

Control Unit + جهاز التحكم في المعالجة

Processor

Fetch

Fetch

Decode

ID

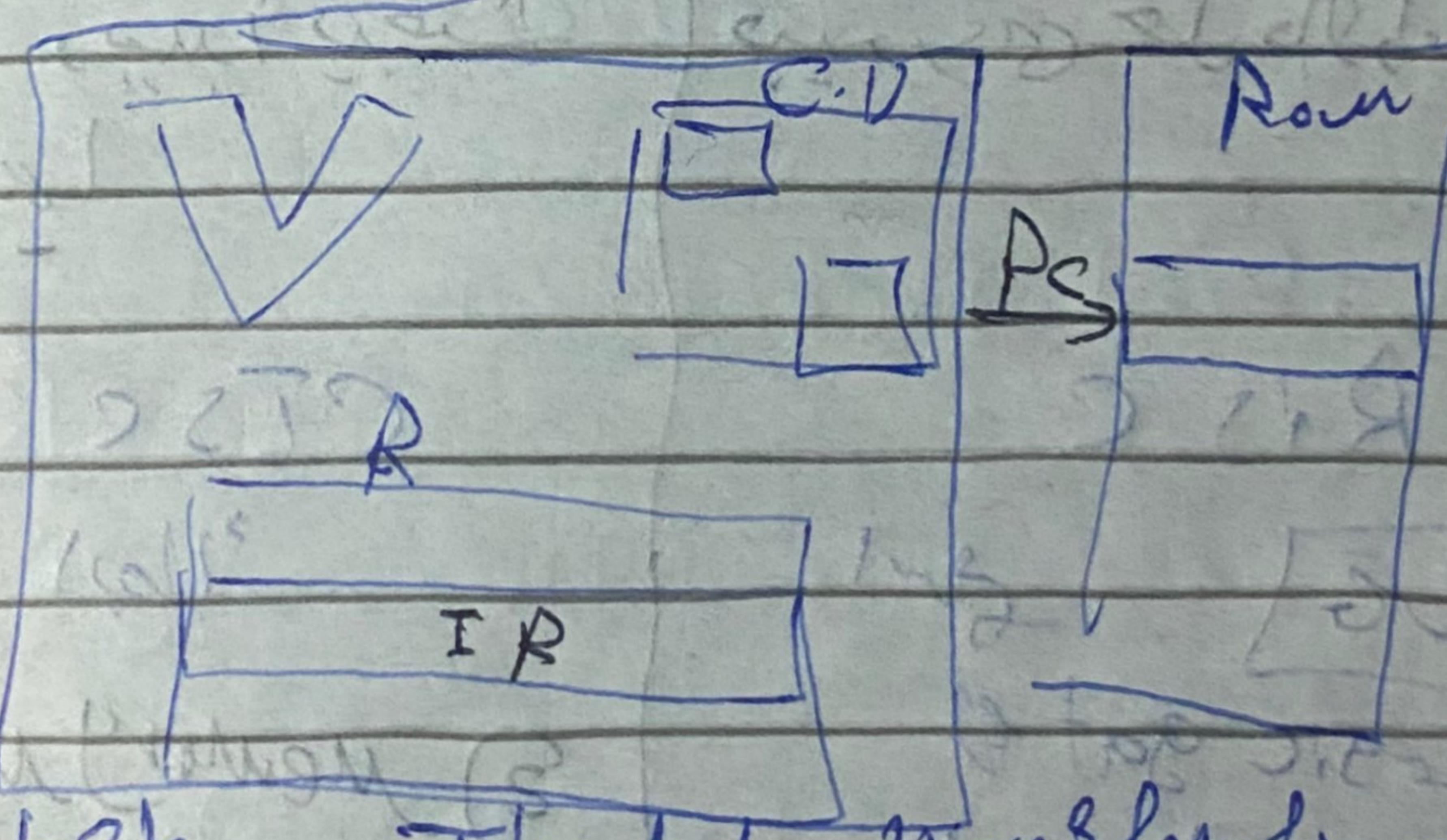
ID

ID

Instruction decode

ALU جهاز الحسابات الحالية

Instruction Life Cycle

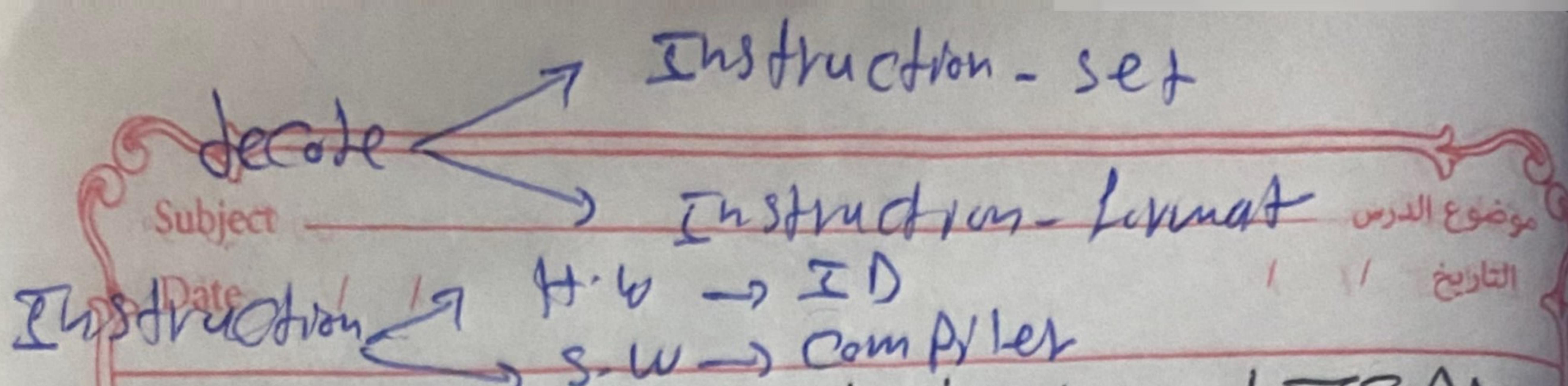


- 1] Fetch → The data transfer from Rom to IR by Control Unit.

- 2] Decode the instruction and send it to ALU

الدالة

- 3] execute the operation
- 4] store it in Register



Instruction Set Architectures (ISAs)

① RISC
Reduced

size ALU↓, ID↓

② CISC

Complex

ALU↑, ID↓

Cost

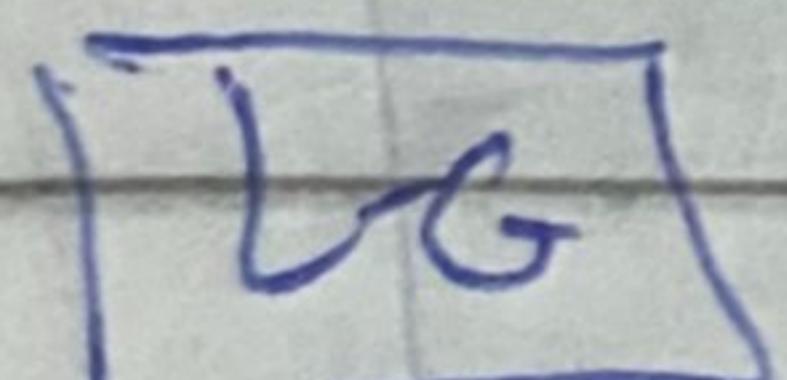
Power ALU↓ ID↑

ALU↑, ID↓

يتعامل مع الأدوات الحاسوبية
يسير على حل الأدوات الحاسوبية

محرك الأدوات الحاسوبية
يسير على حل الأدوات الحاسوبية

RISC



اسف

Logic gate

③ Hardwired

CISC

(الحالات)

② Memory Map

ID

sent

ID signals

اندلسية

fixate [N]

not bad not good

Memory Types, Basic memory element: SRAM, DRAM

1) Volatile: RAM (Random Access memory)

طول مدار الذاكرة محدود بـ Power

① SRAM → Based on Transistor

② DRAM → Based on Capacitor الجهاز: refresh circuit

2) Non Volatile: ROM, PROM, EEPROM

Read only for Processor

ROM → لا يمكن التعديل علىها

PROM → OTP (UV) واصدقة لمس

EEPROM → (UV) مسار ممس مردودة

③ Hybrid, Rew

E² PROM / Flash / NVRAM

→ ROM, RAM ذات الذاكرة

④ E² PROM → Electrical to edit

endurance 100 000

(byte Access) internal → external

⑤ flash → (Block Access) (sector by sector)

Endurance → 10 000

⑥ NVRAM → ① SRAM + Battery

② SRAM + E² PROM + Battery

الاتصال

Subject

موضوع الدرس

Date

التاريخ

System Architecture & memory

ومن هنا دفتر دسخون المدرسة الي يتواصل بهما
العوامل التي تؤثر في الـ E/S

E/S

زى معلومات

① Processor ② Memory ③ I/O

④ Von Neumann Architecture.

خاصية الكود والبيانات memory)

حيثما يدخل كود هم سهلة برمجيات

→ Ways to reduce Bottleneck
"Bottleneck"

② Harvard Architecture.

ذاكرة محسنة للكود وبيانات

أكمل معنى في طبق الوقت

وحل الأعطال في البرمجة