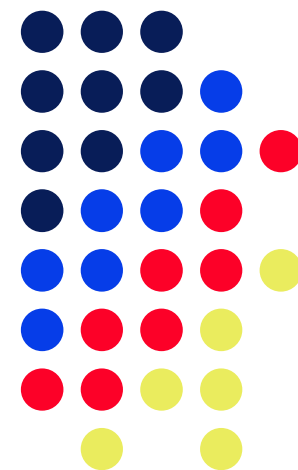


计算机组成 (2018)



肖利民 北航计算机学院

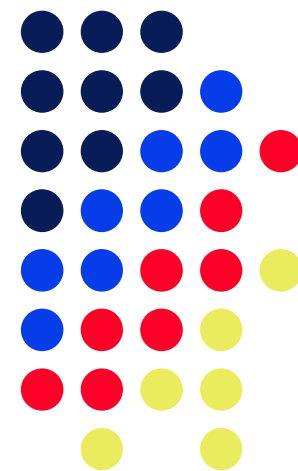
电话：18910864005

邮箱：xiaolm@buaa.edu.cn

微信：xiaolm70

计算机组成

课程介绍



课程介绍

❖ 课程名称

- 计算机组成 (**Computer Organization**)

❖ 学时学分

- 课堂教学: **64学时 / 4学分**

❖ 课程概况

- 覆盖了传统的数字逻辑、计算机组成原理、汇编语言编程三门课程的知识。
- 从原理性的角度出发, 以**MIPS系统**为主要学习对象, 讲述计算机硬件系统的组成、各部件的结构及其底层硬件工作原理, 使学生理解计算机的组织与结构和工作过程, 掌握计算机硬件系统的基本设计方法, 培养学生分析、设计和开发计算机硬件系统的基本能力, 为后续课程打下坚实基础。

❖ 配套实验课 (独立开设)

- 配套课程设计: 要求自主开发一台以**MIPS**处理器为核心的功能型计算机。

课程介绍

❖ 主要目标：理解并掌握计算机的运行原理和设计方法

- 学习计算机硬件的组成
- 理解计算机硬件/软件的协同机制
- 掌握计算机硬件的设计

❖ 核心任务：实现基于**MIPS**的功能型计算机

- 以数字电路为基础，设计**MIPS**的功能组件
- 以功能组件为基础，构造**MIPS CPU**
- 编写**MIPS**程序，验证系统功能

❖ 与其它课程的关系

- 先导课程：计算机导论
- 后续课程：操作系统、编译原理、接口与通信、系统结构

课程介绍

序号	内容	学时数
第一讲	计算机组成概述	4
第二讲	组合逻辑设计	8
第三讲	时序逻辑设计	6
第四讲	主存储器	4
第五讲	指令系统与汇编语言	2
第六讲	MIPS 处理器设计	12
第七讲	高速缓存存储器	4
第八讲	虚拟存储系统	2
第九讲	外部存储与输入输出方式	2
习题	各部分习题课	16
复习	复习、答疑、机动	4

学时分配：总学时64学时

第一讲：计算机组成概述（4学时）

❖ 目 标

- 了解计算机系统的基本功能、组成框架、典型结构及层次关系，掌握计算机中数的表示方法及常用编码。

❖ 主要内容

- 计算机系统的基本组成
- 计算机系统的典型架构与层次关系
- 计算机中数的表示
 - 定点数的表示（原码、反码、补码）
 - 浮点数的表示
 - 其他编码（格雷码、循环码、**ASCII**码、汉字编码）
- 计算机的程序执行原理简介
 - 指令的含义简介
 - 程序的执行过程简介

第二讲：组合逻辑设计（8学时）

❖ 目 标

- 了解门电路的基本结构，掌握布尔代数的理论及其门电路实现方法，进而掌握布尔方程表示、转换及化简等方法，以及运算单元、译码器等基本组合逻辑部件设计方法，学习并掌握**Verilog HDL**。

❖ 主要内容

- 逻辑门电路（**2学时**）
 - 非门、与门、或门、复合逻辑门电路及其性能指标
 - **TTL**、**MOS**集成门电路
- 布尔代数原理及其门电路实现（**2学时**）
 - 布尔代数基本原理
 - 布尔代数的门电路实现
- 基本组合逻辑部件设计（**4学时**）
 - 运算单元电路（加法器、比较器、函数发生器）
 - 多路选择器，译码器，编码器
- **Verilog HDL**介绍（**自学**）

第三讲：时序逻辑设计（6学时）

❖ 目 标

- 掌握触发器、寄存器的结构和工作原理，掌握有限状态机、同步时序逻辑电路的设计方法和分析方法，具备使用仿真工具开发时序逻辑电路的能力

❖ 主要内容

- 锁存器和触发器（2学时）
 - SR锁存器、D锁存器
 - D触发器，JK触发器
 - 基于D触发器的寄存器构造
- 有限状态机（FSM）（2学时）
 - Moore型FSM
 - Mealy型FSM
- 时序逻辑电路设计分析（2学时）
 - 数据寄存器
 - 移位寄存器
 - 计数器

第四讲：主存储器（4学时）

❖ 目 标

- 了解存储单元电路的工作原理，掌握主存储器的结构特点、工作原理和构造方法。

❖ 主要内容

- 存储单元电路（1学时）
 - SRAM存储单元电路
 - DRAM存储单元电路
 - ROM存储单元电路
- 主存储器的结构（1学时）
 - SRAM芯片的内部结构
 - DRAM芯片的内部结构
- 存储器的扩展（2学时）
- DRAM的刷新

第五讲：指令系统与MIPS汇编语言（2学时）

❖ 目 标

- 以**X86**和**MIPS**两种指令系统为研究对象，学习并掌握计算机指令系统的格式、寻址方式和设计方法，理解**CISC**和**RISC**两种指令系统的特点；学习并掌握**MIPS**汇编语言编程。

❖ 主要内容

- 指令系统概述（**1学时**）
 - 指令系统的基本要素
 - 指令格式、寻址方式
- 典型指令系统简介（**1学时**）
 - **MIPS**指令系统介绍
 - **X86**指令系统介绍
 - **CISC**与**RISC**的特点
- **MIPS**汇编语言编程（**自学**）

第六讲：MIPS处理器设计（12学时）

❖ 目 标

- 以小型**MIPS**处理器为研究对象，学习并掌握基于指令执行分析的数据通路构造方法、基于与或逻辑阵列为基础的**MIPS**控制器设计方法，进而掌握**MIPS**处理器设计方法。

❖ 主要内容

- 处理器的功能、组成、一般设计方法等（**1学时**）
- **MIPS**处理器设计概述（**1学时**）
 - 结构、指令集、数据通路的基本组件
- 单周期处理器设计（**4学时**）
 - 单周期数据通路设计（工程方法），
 - 单周期控制器设计、性能分析
- 流水线处理器设计（**6学时**）
 - 流水线数据通路设计（工程方法）
 - 流水线控制器设计、性能分析

第七讲：高速缓存存储器（CACHE）（4学时）

❖ 目 标

- 掌握高速缓存存储器（**Cache**）的结构特点和工作原理，以及多级**Cache**层次关系，掌握**Cache**的映射机制、**Cache**的命中与缺失分析及其性能计算方法。

❖ 主要内容

- 程序执行局部性原理
- **Cache**的结构与工作原理
- **Cache**的映射机制
 - 直接映射
 - 全相联映射
 - 组相联映射
- **Cache**的替换策略
- **Cache**性能分析与其他
 - **Cache**数据一致性问题
 - 命中率与缺失分析
 - 性能计算

第八讲：虚拟存储系统（2学时）

❖ 目 标

- 掌握虚拟存储器工作原理、虚实地址转换与页表工作原理、**TLB**工作原理，具备进行虚拟存储器性能分析的能力。

❖ 主要内容

- 虚拟存储器工作原理
- 虚实地址转换
- 页表工作原理
- **TLB**工作原理
- 虚拟存储器性能分析

第九讲：外部存储与输入输出方式（2学时）

❖ 目 标

- 掌握程序查询I/O、中断I/O和DMA I/O等输入输出方式的工作原理。

❖ 主要内容

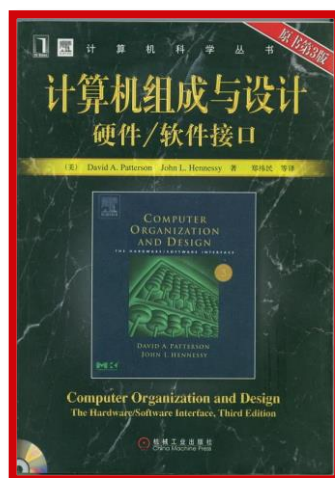
- 外部存储器
- I/O方式
 - 程序查询I/O方式
 - 中断与中断I/O方式
 - DMA I/O方式
 - I/O通道
- MIPS的I/O抽象

❖ 课程站点

- 浏览器中输入北航课程中心网址: **course.buaa.edu.cn**
- 输入北航统一认证中心的“学号/密码”，登录课程中心
- 点击选择“计算机组成”，进入课程站点
- **<http://course.buaa.edu.cn/portal/site/2d7624ea-7997-40bb-b531-0ed9ab609dfe>**
- 学生用户
 - “资源” 目录: 下载资料（讲义、自学材料、教辅资料等）
 - “作业” 目录: 上传作业（文件或直接输入）
 - 了解课程相关信息（课程简介、课程大纲等）

参考书及参考资料

- ❖ **Computer Organization & Design—The Hardware / Software Interface**, 计算机组成与设计—硬件/软件接口（第3版），机械工业出版社，David A. Patterson & John L. Hennessy著
- ❖ **Digital Design and Computer Architecture**, 数字设计和计算机体系结构，机械工业出版社，David Money Harris & Sarah L. Harris著
- ❖ **Verilog数字系统设计教程**，北航出版社，夏宇闻著



理论课助教

❖ 助教： 闫柏成

➤ 地点： 学院路校区新主楼G1045

➤ 电话： 188 1029 6901

➤ 电邮： yanbaicheng@buaa.edu.cn

➤ 微信： yxs-gothic_89863（建群）



❖ 总评成绩

- 平时成绩: **15%**, 主要是平时作业完成情况
- 期末考试: **85%**

❖ 为什么要学好这门课？

- 计算机专业必修的核心基础课程
- 计算机专业学生的核心竞争力
- 将来职业发展的重要基础
- 继续研究生学业的必考课

❖ 如何学好这门课？

- 课前：预习教材相关内容
- 课堂：明确概念、弄清原理、分清重点、注意例题（解题方法）
- 课后：及时复习教材相关内容，并完成布置的作业（熟练）
- 实验：通过实际实验，提高感性认识

计算机组成课程设计概述 (2018秋季学期)

计算机组成课程设计教学团队

北京航空航天大学计算机学院

实验教学目标

- 以MIPS体系结构指令集为例，理解计算机软硬件接口
 - 能够编写一定规模的汇编语言程序
 - 从指令的操作语义入手，推导出CPU设计结构
 - 能够根据每条指令的操作语义，总结出处理需求，对应至功能部件
 - 根据处理需求的逻辑关系，建立功能部件的连接关系
- 自主开发MIPS流水线CPU
 - 掌握流水线CPU的工作原理及其构造方法
 - 用工程方法开发符合工业标准且具有一定工程规模的流水线CPU
 - 理解计算机硬件工作原理及核心机制
 - 通过工程能力训练过程建立系统观点

预备阶段：Week 1 - 6

- **目标：学习相关基础知识、编程语言及设计工具**
 - 数制
 - 数字电路
 - 门电路、组合电路、时序电路
 - 语言
 - Verilog-HDL - 语法、数字系统硬件设计与验证
 - 汇编语言 - MIPS指令集、汇编程序解析及设计
 - 工具
 - Logisim – 数字电路模拟器，具有直观友善的电路建模和仿真功能
 - ISE - 硬件描述语言模拟器，搭建功能型计算机，并仿真验证
 - MARS - MIPS模拟器，辅助MIPS汇编程序编写、调试，设计验证的黄金模型
- **学习方式：在SPOC平台完成相关教学内容的自学与评测**
 - SPOC: Small Private Online Course

预备阶段：教程部分的建议学习顺序

- 基础知识（数制等）
- Logisim
- Verilog与ISE
- MIPS指令集及汇编语言

Project阶段：Week 7 - 17

序号	项目名称	课下测试 (PW)	课上测试 (PT)	启动周	工作周数	检查周
预备	基础知识, Logisim, 汇编, Verilog-HDL	SPOC平台完成自学 校历第一周 (启动周) 周五18时课程内容发布, 第六周周四10时截止教程部分评测提交		1	5	6
P0	部件及状态机设计 (Logisim)	搭建CRC校验码计算电路, ALU, GRF, 正则表达式匹配	Logisim完成部件及FSM设计	6	1	7
P1	部件及状态机设计 (Verilog-HDL)	实现splitter, ALU, EXT, 格雷码计数器, 合法表达式识别	Verilog-HDL完成部件及FSM设计	7	1	8
P2	汇编语言	矩阵乘法、排序、回文串判断	选择题+编程题	8	1	9
P3	Logisim开发单周期CPU	完成支持7条指令的单周期CPU设计	新增指令	9	1	10
P4	Verilog开发单周期CPU	完成支持7条指令的单周期CPU设计	新增指令	10	1	11
P5	Verilog开发流水线CPU(1)	完成支持10指令流水线CPU设计	流水线工程化方法	11	1	12
P6	Verilog开发流水线CPU(2)	完成支持50指令流水线CPU设计	流水线工程化方法	12	1	13
P7	Verilog开发MIPS微系统(1)	完成微型MIPS系统设计 开发简单I/O, 验证中断	现场测试	13	2	15
P8	Verilog开发MIPS微系统(2)	完成微型MIPS系统设计 集成串口控制器, 板级运行	现场测试	15	2	17

Project阶段：Week 7 - 17

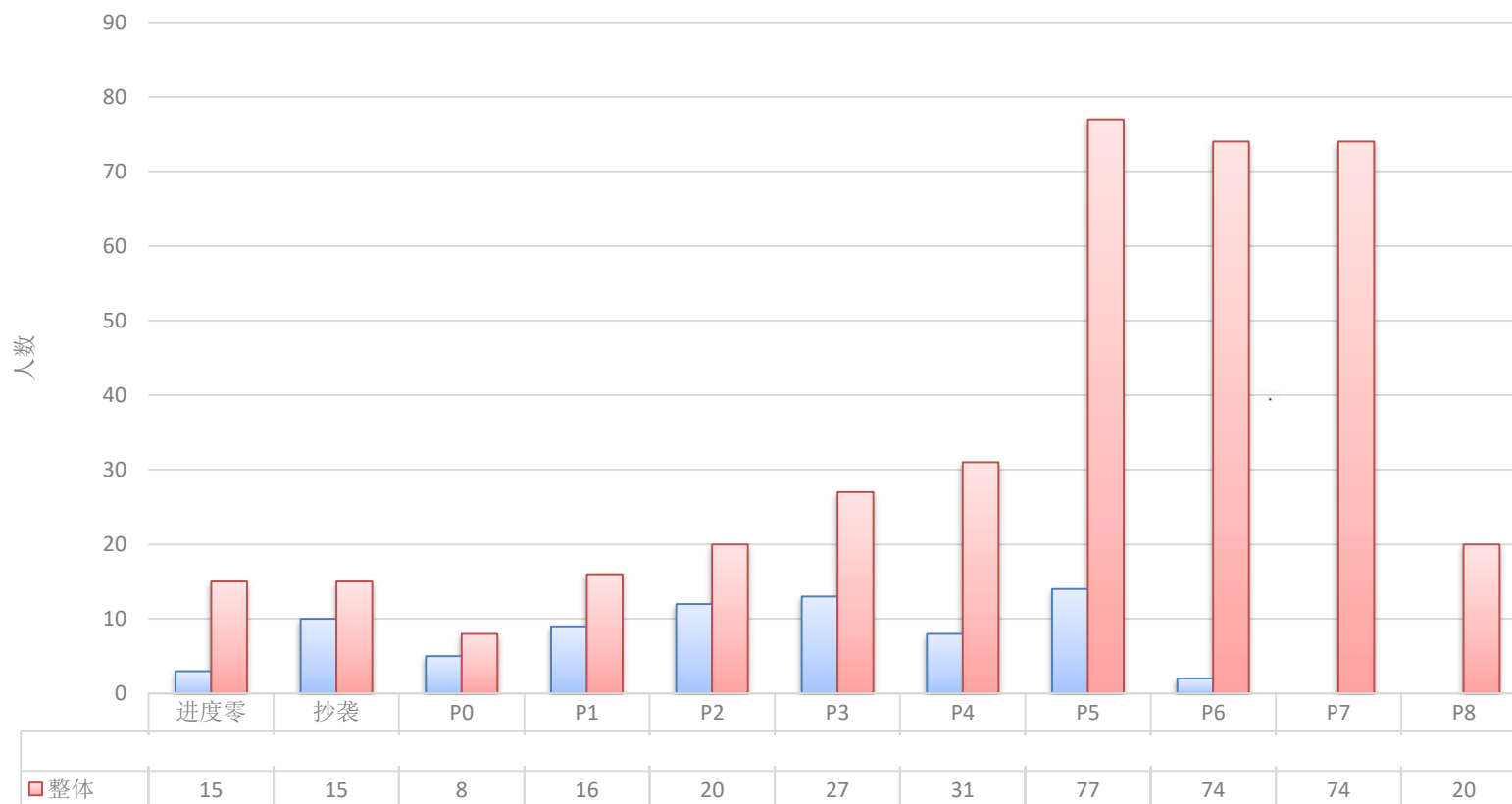
序号	项目名称	课下测试 (PW)	课上测试 (PT)	启动周	工作周数	检查周
预备	基础知识, Logisim, 汇编, Verilog-HDL	SPOC平台完成自学 校历第一周 (启动周) 周五18时课程内容发布, 第六周周四10时截止教程部分评测提交		1	5	6
P0	部件及状态机设计 (Logisim)	<p>注意：教程部分的首次检查周为校历第6周，须在当周周四10时截止时间前，完成教程部分的课下测试；若该周课上测试不通过，在校历第7周课上须再次进行教程部分测试</p>		6	1	7
P1	Logisim开发单周期CPU			7	1	8
P2	汇编语言			8	1	9
P3	Logisim开发单周期CPU	完成支持7条指令的单周期CPU设计	新增指令	9	1	10
P4	Verilog开发单周期CPU	完成支持7条指令的单周期CPU设计	新增指令	10	1	11
P5	Verilog开发流水线CPU(1)	完成支持10指令流水线CPU设计	流水线工程化方法	11	1	12
P6	Verilog开发流水线CPU(2)	完成支持10指令流水线CPU设计	流水线工程化方法	12	1	13
P7	Verilog开发MIPS微系统(1)	开发简单I/O, 验证中断	现场测试	13	2	15
P8	Verilog开发MIPS微系统(2)	完成微型MIPS系统设计 集成串口控制器, 板级运行	现场测试	15	2	17

注意：P7仅有一次课上检查机会，即校历第15周；
P8课上检查周为校历第17周

2016计组课设学生Project通过分布情况

- 整体不及格率：35%，优秀率：5%

2016计组课设学生Project通过分布情况



2016教程部分学生自评反馈

教程难度	非常容易	容易	一般	难	非常难
您如何评价Logisim教程难度？	3%	11%	42%	37%	7%
您如何评价Verilog/ISE教程难度？	4%	16%	45%	25%	11%
您如何评价MIPS/MARS教程难度？	2%	11%	42%	31%	14%
Results gathered from 216 respondents.					

教程学习时间	0~4	4~10	10~16	16~∞
您在Logisim教程上花费的小时数是？	8%	30%	33%	28%
您在Verilog/ISE教程上花费的小时数是？	7%	32%	32%	30%
您在MIPS/MARS教程上花费的小时数是？	11%	26%	32%	31%
Results gathered from 215 respondents.				

教学运行过程

- 课下：学习，并独立完成实验
 - 学习SPOC平台提供的学习材料
 - 基于SPOC平台完成知识点评测（选择题、填空、判断题等）
 - 提交Project至SPOC平台进行自动评测
- 课上：通过测试评价完成质量
 - 基于SPOC平台完成知识点测评（选择题、填空、判断题等）
 - 以课下project为基础，限定时间内实现课上的新增设计要求
 - 从SPOC平台下载个人课下提交的project
 - 完善project以支持课上设计要求
 - 提交project至SPOC平台进行自动评测
 - 一对一方式，回答教学团队的问题

SPOC平台：注册与选课

- 注册：<http://cscore.net.cn/register>
 - 务必使用**学号**作为用户名
- 选课：在SPOC平台计算机组成课设选课
 - http://cscore.net.cn/courses/course-v1:BUAA+B3I062410+2018_T1/about
 - 选课**截止时间**：9月16日17:00
- 注册&选课中出现问题：请在论坛提问
 - http://cscore.net.cn/courses/course-v1:BUAA+B3I062410+2018_T1/discussion/forum/
- 浏览器：Chrome、Firefox、IE、Safari
 - 请使用最新版本

搜索 🔍

Hello!
Computer Organization!

数字电路与 Logisim

欢迎来到Logisim的世界!

教程



Logisim 门电路

教程



Logisim 组合电路

教程



Logisim 时序电路

教程



走向应用与挑战

教程



Verilog-HDL与ISE

汇编语言与MARS

P0 - Logisim和Verilog简单部件

P1 - Logisim 和 Verilog 状态机

P2 - 汇编语言

P3 - Logisim 单周期

多路选择器

在组合电路中，多路选择器（*Multiplexer*，简称MUX）是一类非常重要的部件，他们在组合电路中扮演着非常重要的角色。下图是一个典型的Logisim中的多路选择器，左侧是多个**输入**，右侧是相应的**输出**，通过底部（黑色）的**选择信号**，对输入的信号进行选择后输出。另外一个端口是部件的使能端，当其为高电平（为1）时，整个部件正常工作。



MUX最为重要的功能就是多个信号中选1，在我们未来的CPU设计中，我们需要设置很多的MUX来使得CPU中的数据通路能够处理复杂的指令集。

Selection: Multiplexer

Facing	East
Select Location	Bottom/Left
Select Bits	1
Data Bits	1
Disabled Output	Floating
Include Enable?	Yes

在具体使用中，当选中MUX时，需要关注左下角的**Selection: Multiplexer**界面，其中可以对数据位宽，选择位宽，是否有使能端等都可以进行相关设置，可以在实际搭建中，灵活使用。

译码器

译码器和多路选择器类似，同样是组合电路中非常重要的部件，下图中，右侧是多个**输出**，底部是黑色的选择信号与使能端。译码器最大的功能在于将**二进制编码**转换为相应的**独热码（one-hot）**，如101的三位二进制编码就被转换成00100000的8位独热码。因此该元件很多译码器。

与课程内容进行交互

来自课程团队的课程动态及通知

使用

查询学习进度及效果

课程页面 课程信息 论坛 进度 导航

与同学、课程团队讨论交流

- Hello! Computer Organization!
- 数字电路与 Logisim
 - 欢迎来到Logisim的世界! 教程
 - Logisim 门电路 教程
 - Logisim 组合电路 教程
 - Logisim 时序电路 教程
 - 走向应用与挑战 教程
- Verilog-HDL与ISE
- 汇编语言与MARS
- P0 - Logisim和Verilog简单部件
- P1 - Logisim 和 Verilog 状态机
- P2 - 汇编语言
- P3 - Logisim 单周期

多路选择器

在组合电路中，多路选择器（Multiplexer，简称MUX）是至关重要的一部分。它们在组合电路中扮演着非常重要的角色。下图是一个典型的Logisim中的多路选择器，左侧是多个（黑色）的选择信号，对输入的信号进行选择后输出。另外一个端口，当选择信号为0时，整个部件正常工作。

MUX最为重要的功能就是多个信号中选1，在我们未选中的数据通路能够处理复杂的指令集。

Selection: Multiplexer	
Facing	
Select Location	
Select Bits	1
Data Bits	1

在具体使用中，当选中MUX时，需要关注左下角的Selection: Multiplexer界面，其中可以对数据位宽，选择位宽

译码器

右侧是多个输出，底部是黑色的选（one-hot），如101的三位二进制

Worked Example: 示例题解，复现工作并提交；
Project Work: 提交课下作业；
Project Test: 提交课上测试；

Lecture Text: 知识点讲解

Quiz: 知识点测试（选择/填空/判断等）

Lecture Video: 知识点视频讲解

对应一组学习序列，建议按照从左至右的顺序进行学习

课程各个单元，按照课程进度发布

SPOC平台：追踪学习全过程

- 学生学习教学素材 (Lecture Video, Lecture Text)的情况
- “Progress” 栏目将记录知识点评测情况(Quiz, Worked Example)
- 论坛活跃情况
 - 教学经验表明：多参与讨论，将有助于完成实验
 - 鼓励利用网络资源搜索或以讨论的方式解决问题
 - 将未能解决的问题在论坛发布，以寻求帮助
 - 将解决方案在论坛分享，并**积极帮助他人解决问题**
- 自动评测
 - 记录在SPOC平台上的历次提交版本及评测结果

实验课成绩评定方法

- 单次Project得分构成
 - SPOC学习情况
 - 课下Project完成情况
 - 课上新增设计需求完成及问答情况
- 实验最终成绩
 - 最终成绩由教程及历次Project成绩及SPOC论坛活跃度综合评定
 - 依据SPOC论坛活跃度（有效提问 / 回复）适度加分
- 特别说明：P5是课程及格线的必要条件
 - 完成P5仅是及格的必要条件之一，但不是充分条件

学术诚实

- 查重机制：自动化查重+人工确认
 - 若发现异常，将人工复查并进行答辩
- 查重范围：涵盖**本届**及**往届**
- 惩罚措施：抄袭行为确认后，课程最终成绩**清零**
 - 鼓励大家交流、讨论，但禁止**拷贝**代码
- 重要事情说3遍：**抄袭零容忍！ 抄袭零容忍！ 抄袭零容忍！**
 - 不要挑战学院惩处学术不端的决心
 - 2016秋季学期：**15**人被取消课程成绩
 - 抄袭不仅导致课程成绩清零，还影响奖学金评定、保研等

计组课设教学团队

- 教师团队



高小鹏



万寒



张亮



李辉勇



杨建磊



傅翠娇

- 教辅团队 —— Student Teaching Assistant advisor



张明远



刘子渊



伍俊洁



钟梓皓



王柏润



林家桢



白勇



潘叙辰



王磊



秦冉



付卓群



周雨飞



于乾勉



杨帅

S. T. A. R. 教辅团队

- **S.T.A.R.:** **S**tudent **T**eaching **A**ssistant advisor**R**
- 教辅团队职责
 - 参与实验体系、实验环境建设
 - 亲历整个实验过程，产生的改进想法非常宝贵且具建设性
 - 线上线下答疑、分享学习经验
 - 知识要用来分享，才能承先启后
 - 成功不只付出与拥有，有承担才是最高的成就！
 - 检查实验进度、完善评价体系
 - 希望每一位同学都能凭借自己的努力，获得一份公正的评判

2019计组课设S. T. A. R. 教辅团队招募

- 如果你优秀且具有强烈的责任感与使命感，请加入我们！
- 我们期待你们新鲜的想法与做法，为课程添加新的活力！
- 学院将向S.T.A.R.团队成员颁发荣誉证书！
- 祝S.T.A.R.每位成员因有能力帮助他人，始终快乐！

特别提示

- 在**学校教务系统**完成课设选课，否则会导致没有成绩
- 预备阶段学习效果在很大程度上决定能否通过课程
 - 这5周的学习成效是重要的分水岭
 - 不要因为这5周没有监督就懈怠
 - 务必在Week1-6的预备阶段管理好自己，抓紧自学