

Implementazione dell'algoritmo CRC

Progettare un circuito digitale che implementi l'algoritmo di Cyclic Redundancy Check (CRC), sia per il *mittente* che per il *destinatario*, secondo le specifiche sotto indicate. Tale algoritmo è un potente metodo di controllo che sfrutta l'idea di ridondanza; ad una sequenza dati di M bit viene aggiunta (dal mittente) una sequenza di F bit ridondanti (Frame Control Sequence FCS) in modo che il messaggio trasmesso, su M+F bit, risulti divisibile per un divisore prefissato, detto polinomio CRC. Il destinatario, tramite una divisione per lo stesso polinomio CRC utilizzato dal mittente, può riconoscere la correttezza dei dati ricevuti.

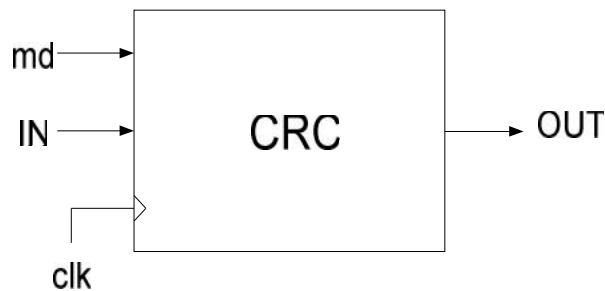
Messaggio M=56 bit

Frame Control Sequence F=8 bit

Polinomio CRC di ordine 9: $x^8+x^4+x^2+1$

(La rappresentazione binaria del polinomio sarà quindi 100011101)

Messaggio trasmesso M+F = 64 bit



Tramite il segnale md si imposta se si vuole utilizzare il circuito come mittente o come destinatario. Nel funzionamento come destinatario gli ultimi F valori di OUT segnalano la correttezza del messaggio ricevuto

La relazione finale del progetto deve contenere:

-) Introduzione (descrizione algoritmo, possibili applicazioni, possibili architetture, etc.)
-) Descrizione dell'architettura selezionata per la realizzazione (diagramma a blocchi, ingressi/uscite, etc.)
-) Codice VHDL (con commenti dettagliati)
-) Test-plan e relativi Testbench per la verifica
-) Risultati della sintesi logica automatica su piattaforma Xilinx FPGA Zync: risorse utilizzate (slice, LUT, etc.), massima frequenza di funzionamento, cammino critico, etc. commentando eventuali messaggi di warnings.
-) Conclusioni