

2023 Digital IC Design Homework 1

NAME	張孟偉 MENG-WEI CHANG						
Student ID	Q36101147						
Functional Simulation Result							
Stage 1	Pass	Stage 2	Pass	Stage 3	Pass	Stage 4	Pass
Stage 1							
<pre># Start time: 22:56:21 on Mar 20,2023 # Loading work.MMS_tb # Loading work.MMS_4num # Loading work.MMS_8num VSIM 36> run -all # -----Stage 1 : Maximum selection with 4-input MMS----- # # -----Stage 1 : Pass! ----- #</pre>							
Stage 2							
<pre># -----Stage 2 : Minimum selection with 4-input MMS----- # # -----Stage 2 : Pass! ----- #</pre>							
Stage 3							
<pre># -----Stage 3 : Maximum selection with 8-input MMS----- # # -----Stage 3 : Pass! ----- #</pre>							
Stage 4							
<pre># -----Stage 4 : Minimum selection with 8-input MMS----- # # -----Stage 4 : Pass! ----- #</pre>							
Description of your design							
<p>我的設計是比較直觀的，4-MMS 一開始先以 if else 的方式判斷 select，確認要找最大值還是最小值後，就以簡單的 ()?():() 運算來逐一比大小，8-MMS 的部分則是利用 4-MMS 的實體來計算兩個結果(前四與後四個輸入)，接著就一樣以 if/else 來區分 select，然後以 condition 運算來比較。</p> <p>其實我花了很多時間在嘗試利用 case 的方式或利用 dataflow 的方式來達成，但我發現只要需接 wire 就非常容易出錯，要以更接近 structure 描述的方式來設計電路的話對 RTL coding 的熟悉度要求更高一些，所以我最終沒能在時間內設計出更好的電路，只能用比較接近在寫 C 語言的方式來達成目的，</p>							

這點希望以後能夠進步，不然我想這次設計的 IC 對於 Min Max Selection 來說成本應該有點浪費。

/* 心得 */

這次花了很多時間在解決無法讀取檔案的 error，後來是上網查別人的作法是把所有要用的檔案放在與 modelsim.exe 同一個目錄下()，才能成功開始模擬，並知道我的 code 有沒有寫對。

還有我利用`include “MMS_4num.v”的方式加入 4-MMS 的 module 也沒有成功，後來是直接把 MMS_4num.v 的 code 複製到 MMS_8num.v 內才成功 all pass。

經過這次作業，儘管對 Verilog 還是很陌生，過程也跌跌撞撞，但模擬完 all pass 還是蠻開心的，希望以後能從數位 IC 設計菜雞變成至少略知一二的正常人。