

EXAMEN DE ESTRUCTURA DE COMPUTADORES. La Rábida, 4 de Septiembre de 2013

Apellidos Nombre

Valor de cada: Respuesta correcta + 0.1
 Respuesta incorrecta - 0.05
 Sin respuesta - 0.05

TIEMPO REALIZACIÓN EXAMEN: 30 minutos

1	El catalogar a un microprocesador como de 8, 16, 32 ó 64 bits, depende: A) Del tamaño de la palabra de memoria del computador B) Del tamaño del byte o carácter C) Del tamaño del bus de direcciones D) Ninguna de las afirmaciones anteriores es correcta	D
2	Aparte de la búsqueda de la instrucción, la instrucción de suma ADD 12, 13, 14 en un computador de tres direcciones y la de suma ADD 12, 13, 14, 15 en el de cuatro direcciones (un dato en una posición de memoria), necesitan realizar: A) Tres y cuatro accesos a memoria respectivamente B) Tres accesos a memoria ambos C) Dos y tres accesos a memoria respectivamente D) Ninguna de las afirmaciones anteriores es correcta	B
3	De las tres fases que implica el desarrollo de una instrucción de procesamiento en el computador Von Neumann, la fase de búsqueda y análisis de la instrucción: A) Implica transferir del registro de dirección de memoria al registro contador de programa B) Implica transferir del registro de datos de memoria al registro de instrucción C) Implica transferir entre el registro de dirección de memoria y el registro de datos de memoria D) No implica transferencia alguna entre registros	B
4	Dado el esquema de la memoria principal de un sistema computador estudiado en el Tema 1, si el registro de direcciones de memoria y el registro de datos de memoria son ambos de 16 bits: A) La organización de la memoria es de 2^{16} posiciones x16 bits en cada posición B) La organización de la memoria es de 2^{16} posiciones x 2^{16} bits en cada posición C) La organización de la memoria es de 16 posiciones x16 bits en cada posición D) Ninguna de las afirmaciones anteriores es correcta	A
5	La fase de búsqueda del operando en la instrucción LDA #34h: A) Implica leer el contenido de la posición de memoria 34h B) Implica leer el contenido del acumulador C) No implica ningún acceso de lectura en memoria D) Implica leer el contenido del acumulador y modificarlo posteriormente	C
6	Indica la instrucción o la secuencia de instrucciones que permite/n implementar en un computador de dos direcciones la operación $A \leftarrow A + B$ (siendo A y B posiciones de memoria): A) ADD A, B B) ADD A, A, B C) LOAD A, ADD B y STORE A D) ADD A, B y STORE A	A
7	La codificación diferencial: A) Se emplea en el cálculo de las soluciones de ecuaciones diferenciales lineales B) No se emplea actualmente C) Comparada con una representación binaria (Binario puro con signo, Binario en complemento a 2, ...), reduce el nº de bits necesarios para dicha representación D) Ninguna de las afirmaciones anteriores es correcta	C
8	En un sistema de representación binario numérico posicional de n bits: A) El número de representaciones binarias diferentes posibles es mayor en el sistema de C2 que en el de C1 B) El rango de representación es siempre el mismo C) El número de representaciones binarias diferentes posibles es mayor en el sistema de C1 que en el de C2 D) Dos representaciones binarias diferentes pueden tener asociado el mismo valor	D
9	En el formato de coma flotante con mantisa fracción normalizada: A) El primer bit de la mantisa es siempre diferente de '0' B) El primer bit de la mantisa puede ser 0 ó 1 C) La base del exponente es siempre 2 D) Ninguna de las afirmaciones anteriores es correcta	B
10	Dada la definición de espacio material estudiado en el Tema 2 (lugar donde almacenar la información en un sistema computador), podemos afirmar que: A) Es posible almacenar cualquier número real B) Es posible almacenar cualquier número irracional C) Es posible almacenar números enteros y fraccionarios D) Sólo podemos representar números enteros	C
11	Relacionando los conceptos de Normalización y de Bit Implícito, se puede afirmar que: A) Normalización implica Bit Implícito B) Bit Implícito implica Normalización C) Normalización si y sólo si Bit Implícito D) Ninguna de las afirmaciones anteriores es correcta	B
12	Un código polinomial: A) Es un código detector y corrector de errores B) Detecta únicamente un error en uno de los bits C) Permite detectar errores múltiples en bits consecutivos D) Ninguna de las afirmaciones anteriores es correcta	C
13	Si el número de bits de las direcciones que maneja la CPU de un computador con memoria virtual es 20, se puede decir que: A) Tiene una memoria principal de 2^{20} posiciones B) Su mapa de memoria es común C) Su mapa de memoria es no común D) Ninguna de las afirmaciones anteriores es correcta	D
14	Si el mapa de memoria de un computador es común, se puede decir de su repertorio de instrucciones que: A) Incluye instrucciones que permiten a la CPU realizar transferencias directas con los puertos de E/S B) Tiene instrucciones exclusivas para operaciones de E/S C) No incluye instrucciones que permiten a la CPU realizar transferencias directas con los puertos de E/S D) Es idéntico al correspondiente al de mapa de memoria no común	A
15	Cuando la conexión de la memoria caché es del tipo paralelo: A) Se libera el bus del sistema en los aciertos B) El sistema computador no puede tener varios procesadores C) Se libera el bus del sistema en los fallos D) El sistema computador puede tener varios procesadores	D
16	De los siguientes dispositivos de almacenamiento, indica cuáles forman parte normalmente de la memoria externa del computador: A) Registros, módulos de memoria RAM y disco duro B) Registros y módulos de memoria RAM, ROM, etc. C) DVD, disco duro y memoria USB D) Ninguna de las afirmaciones anteriores es correcta	C

17	Comparando un sistema computador con mapa de memoria común con otro de mapa de memoria no común:		B
	A) El repertorio de instrucciones del que tiene mapa de memoria común siempre es más reducido B) Siempre hay instrucciones diferentes en los repertorios de instrucciones de unos y otros	C) El de mapa de memoria no común siempre tiene más ventajas D) El de mapa de memoria común siempre tiene más ventajas	
18	En un sistema con memoria virtual, la tarea de devolver a la memoria virtual los objetos de la memoria principal que se prevé (según un algoritmo) van a ser utilizados posteriormente corresponde a:		D
	A) La Unidad de Manejo de Memoria (MMU) B) El controlador del disco duro	C) El Sistema Operativo D) Ninguna de las afirmaciones anteriores es correcta	
19	Sea la cadena binaria 1000001 en representación signo-magnitud, después de un desplazamiento lógico a la izquierda, resulta:		C
	A) 1000010 B) 110000	C) 0000010 D) Ninguna de las afirmaciones anteriores es correcta	
20	Sea la cadena binaria 1000001 en representación binario natural sin signo, si se le aplica una operación de cambio de signo, resulta:		B
	A) 0000001 B) No es imposible realizarla	C) 0111110 D) 0111111	
21	Para aplicar la operación de extensión de signo en un sistema en exceso Z, manteniendo el valor del exceso:		A
	A) Se completa con 0's independientemente del signo del número B) Se completan con 1's las posiciones sobrantes	C) Se completa con 0's o con 1's dependiendo del signo del número D) Se completa con el valor del bit más significativo	
22	Sea un sistema de representación en el que aplicando la técnica de redondeo propiamente dicho, el error máximo que se comete es de 2^{-9}, se puede decir que:		B
	A) La resolución es de 2^{-9} B) La resolución es de 2^{-8}	C) La resolución es de 2^{-10} D) No es posible conocer esta información	
23	Sean las representaciones en formato de coma flotante $X_A = M_A r^{E_A}$ y $X_B = M_B r^{E_B}$, siendo $E_A > E_B$, la operación $X_A - X_B$ se hace de la forma:		C
	A) $(M_A - M_B) r^{E_A - E_B}$ B) $(M_A - M_B) r^{E_B}$	C) $(M_A - M_B) r^{E_A}$ D) Ninguna de las afirmaciones anteriores es correcta	
24	De las técnicas de conexión entre Procesador-Coprocesador, ¿cuál es la que permite que la instrucción llegue al mismo tiempo al procesador principal y a los coprocesador?:		D
	A) Todas la conexiones lo permiten B) La Interfaz empleando instrucciones especiales	C) La Interfaz empleando instrucciones especiales y la Interfaz Inteligente de Control D) La Interfaz Inteligente de Control	
25	Sea la instrucción JMP [1010h], la fase de ejecución (una vez leída la instrucción), implica:		B
	A) Leer de memoria directamente la instrucción donde bifurca B) Leer de memoria una dirección y después leer la instrucción donde bifurca	C) Leer de memoria dos direcciones y en el tercer acceso leer la instrucción donde bifurca D) Esta instrucción no soporta este modo de direccionamiento	
26	Sea un formato de instrucción para el modo de direccionamiento directo absoluto a registro, si el campo dirección de operando lo forman 8 bits se puede decir que:		D
	A) El valor máximo del operando es 255 B) El sistema computador puede disponer de un banco de hasta 8 registros	C) El valor máximo del operando es 256 D) El sistema computador puede disponer de un banco de hasta 256 registros	
27	Dada la instrucción ADD .1, .2, para saber si el resultado es cero:		A
	A) Basta con ver el registro de estado B) Obligatoriamente hay que ver el contenido del registro R1	C) Obligatoriamente hay que ver el contenido de los dos registros R1 y R2 D) Esta operación nunca dará resultado cero	
28	Sean las instrucciones SUB #10 y SUB 10, ambas con campo código de operación de 5 bits y campo dirección de operando de 11 bits:		B
	A) Será el campo dirección de operando el que le permita a la unidad de control diferenciar el modo de direccionamiento B) Serán los 5 bits del campo código de operación los que le permitan a la unidad de control diferenciar el modo de direccionamiento	C) Ambas instrucciones son idénticas, solo que una corresponde a un código ensamblador y la otra a otro código D) Ninguna de las afirmaciones anteriores es correcta	
29	Sea un sistema computador ejecutando una instrucción, si recibe una petición de acceso a memoria por parte de un DMAC:		C
	A) La unidad de control la atenderá cuando finalice la ejecución de la instrucción que se encuentra realizando B) La atención de la petición dependerá del modo de operación del DMAC	C) La unidad de control la atenderá justo en el siguiente ciclo de bus D) El DMAC puede acceder directamente a memoria sin necesidad de solicitar el bus a la unidad de control	
30	Sea un DMAC operando en modo continuo, que transfiere a memoria 3 datos:		C
	A) La petición de interrupción la realiza cuando comienza a transferir el primer dato B) La petición de interrupción la realiza después de finalizar la transferencia	C) La petición de interrupción la realiza cuando está transfiriendo el último dato D) Un DMAC no realiza peticiones de interrupción	

EXAMEN DE ESTRUCTURA DE COMPUTADORES

La Rábida, 4 de Septiembre de 2013

PROBLEMA 1. (2,5 pts.).

Sea un computador de dos direcciones del que se conocen las siguientes características:

- Distintos formatos de instrucción dependiendo de la operación y del modo de direccionamiento.
- Banco de 16 registros de trabajo de 8 bits cada uno de ellos, que podrán ser empleados también como registros base cuando el operando venga especificado con modo de direccionamiento directo relativo a registro base.
- Mapa de memoria con 256 posiciones.
- Cuatro modos de direccionamiento:
 - Inmediato.
 - Directo Absoluto a Memoria.
 - Directo Absoluto a Registro
 - Directo Relativo a Registro Base.
- El repertorio de instrucciones diferencia entre 4 operaciones diferentes. De ellas, 3 se corresponden con operaciones de tipo aritmético, lógico y de transferencia, y una es de bifurcación condicional si el contenido del registro R0 es nulo.
- Las operaciones aritméticas, lógicas y de transferencia admiten para uno de los operandos los 4 modos de direccionamiento y para el otro únicamente el Directo Absoluto a Registro.
- La bifurcación condicional admite los direccionamientos Directo Absoluto a Memoria y Directo Relativo a Registro Base.
- Para el modo de direccionamiento Directo Relativo a Registro Base, la definición del desplazamiento necesita 8 bits.

Se pide:

- a) Diseñar todos los formatos de instrucción de dicho computador.
- b) Si un operando tuviese que representarse según el estándar de coma flotante IEEE 754 de simple precisión, ¿cuántos registros serían necesarios para almacenar dicho operando?. ¿Por qué?.
- c) Representar el valor - 0,5 en el estándar IEEE 754 de doble precisión.

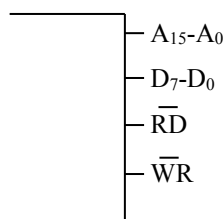
PROBLEMA 2. (2 ptos.).

Sea un computador que tiene las siguientes características:

- Mapa de memoria no común.
- Bus de direcciones de 16 bits.
- Bus de datos de 8 bits.
- Capacidad en memoria de sólo lectura de 12 Kposiciones.
- Capacidad en memoria de lectura/escritura volátil de 32 Kposiciones.
- Capacidad en memoria de lectura/escritura no volátil de 8 Kposiciones.
- El mapa de memoria debe tener libre las posiciones 0 a 4K-1, y de 56K a 64K-1.
- Los módulos de memoria disponibles son ROM 4Kx4, EPROM 16Kx8, SRAM 16Kx4, RAM alimentada con batería 2Kx8 y NOVRAM 8Kx8.
- La E/S dispone de 256 posiciones, repartidas en módulos de 64x8. El mapa de direcciones de E/S, direccionado con las líneas de menos peso del bus de direcciones, está ocupado en su totalidad por los dispositivos dados.

Se pide:

- a) Dibujar un esquema de cada dispositivo a emplear detallando las líneas de comunicación y justificando su elección.
- b) Elegir el/los tamaños base para el/los mapas.
- c) Detallar el/los mapa/s.
- d) Diseñar un esquema de conexión que se corresponda con el/los mapa/s definidos en el apartado anterior y con la CPU de la figura. Añadir más líneas a la CPU si es necesario.



PROBLEMA 3. (2,5 ptos.).

Disponemos de un sistema con las siguientes líneas: ADDR (bus de direcciones de 16 bits), DAT (bus de datos de 8 bits), BUSREQ y BUSACK (solicitud y concesión de los buses), INT e INTACK (solicitud y reconocimiento de interrupción), MEMREQ, RD y WR (control de accesos a memoria). Dibujar el contenido de estas líneas (sin tener en cuenta el número de periodos necesarios para cada ciclo máquina u operación elemental) y especificar el contenido de las posiciones de memoria implicadas (se corregirá únicamente el cronograma), a lo largo del proceso siguiente:

- La CPU va a ejecutar las instrucciones LOAD #10h, ADD 1515h y STA [2020h]. Suponer que las instrucciones primera y segunda están almacenada en memoria en la dirección BB00h y siguientes; y la tercera instrucción se encuentra situada en la posición de memoria que se obtiene al sumar 0101h con el vector de interrupción correspondiente. Los códigos de operación correspondientes a las instrucciones son respectivamente AAh, BBh y CCh. Considerar el tamaño de los operandos de 8 bits.
- Durante el segundo ciclo de memoria, un controlador con DMA, solicita los buses para escribir en memoria dos datos 00h y 11h a partir de la posición de memoria BFBFh. El controlador opera en modo continuo.
- Supongamos que estos datos eran los últimos para completar el bloque pendiente del controlador de DMA, de forma que a continuación se solicita una interrupción, enviando el vector de interrupción AFh por el bus de datos, permaneciendo la línea de petición de interrupción activa todo el tiempo necesario para ser atendida.

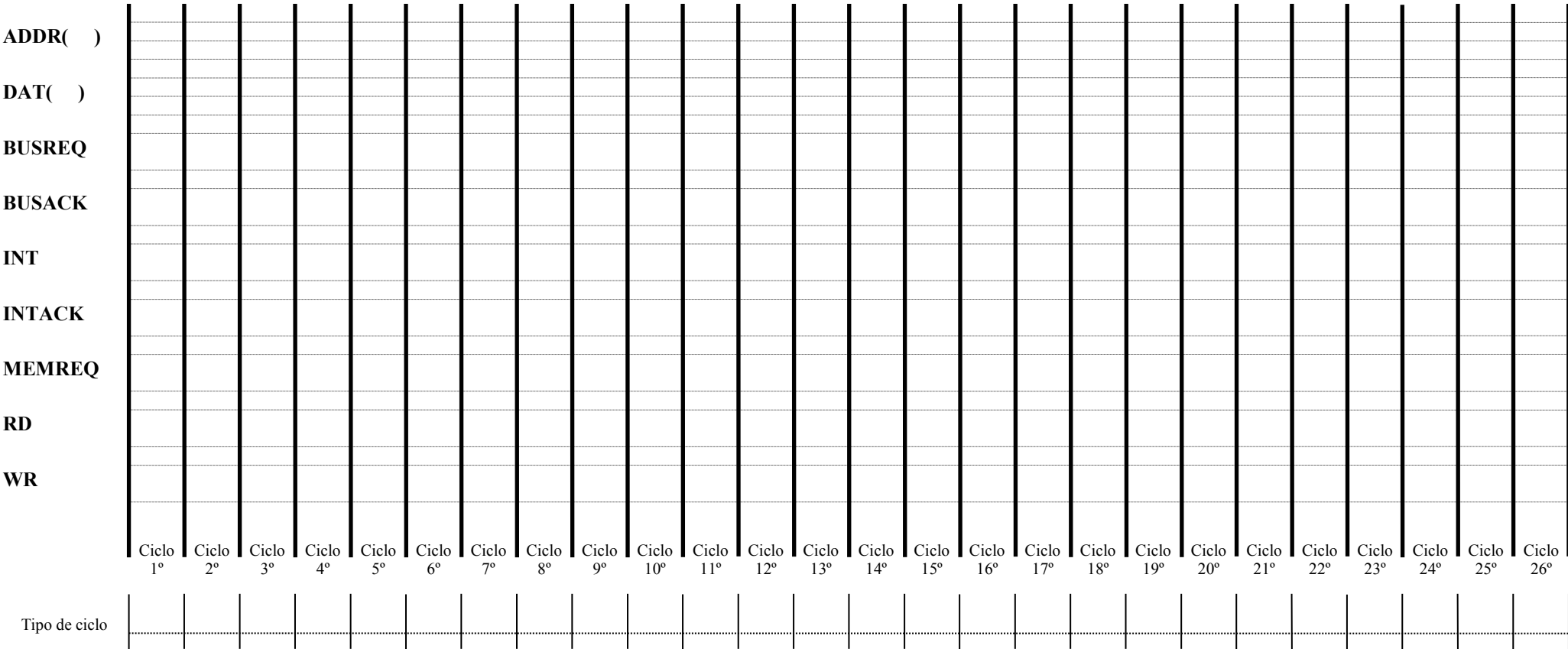
Antes de la ejecución de las instrucciones dadas, tener en cuenta que:

- Contenido del registro acumulador = 00h
- Contenido de la dirección 0202h = ABh
- Contenido de la dirección 1010h = 01h
- Contenido de la dirección 1515h = 02h
- Contenido de la dirección 1516h = 02h
- Contenido de la dirección 2020h = ACh
- Contenido de la dirección 2021h = ACh
- Contenido de la dirección ACACH = ADh

Fdo.: Los profesores de la asignatura

Apellidos:

Nombre:



Registro o dirección de memoria	Primera modificación	Segunda modificación	Tercera modificación	Cuarta modificación	Contenido FINAL (en hexadecimal)