

EXAMEN DE ESTRUCTURA DE COMPUTADORES

2º Curso Grado Ingeniería Informática

Campus de El Carmen, 14 de Septiembre de 2020

PROBLEMA 1. (2.5 puntos)

Resolver las siguientes cuestiones:

- 1.1 Dado el extracto de código de un programa en ensamblador mostrado en la Tabla 1 y almacenado a partir de la posición de memoria 0FFFh, completar la Plantilla 1 adjunta indicando el contenido de los registros y posiciones de memoria que intervienen durante la ejecución de dicho programa. La Tabla 2 recoge el contenido de algunos registros y algunas posiciones de memoria al inicio del programa. El resto de posiciones de memoria se encuentran inicialmente a cero.

Tabla 1. Programa a ejecutar	
Instrucción	Longitud
ADD R1, #03h	2
ADD R1, 04h[.3++]	3
DEC R1	1
JNZ \$-3	2
SUB R2, 05h[--.3]	3
CMP #0	2
JZ 1011h	3
NOP	1

Tabla 2. Contenido de registros y posiciones de memoria					
M(0003h)	M(000Ah)	M(000Bh)	R1	R2	R3
00h	02h	04h	00h	04h	06h

- 1.2 Si el sistema computador correspondiente al apartado 1.1, puede ejecutar un total de 200 instrucciones diferentes, dispone de un banco de 256 registros (pueden actuar como registro de propósito general y como registro índice), y la memoria está organizada de forma que la dirección más alta a la que puede acceder es la FFFFh y el ancho de palabra es de 8 bits., obtener de forma justificada el formato de instrucción correspondiente a las instrucciones: DEC R1 y SUB R2, 05h[--.3].

PROBLEMA 2. (2.25 puntos)

Dado un sistema computador con los mapas de memoria y de E/S mostrados en la Figura 1.

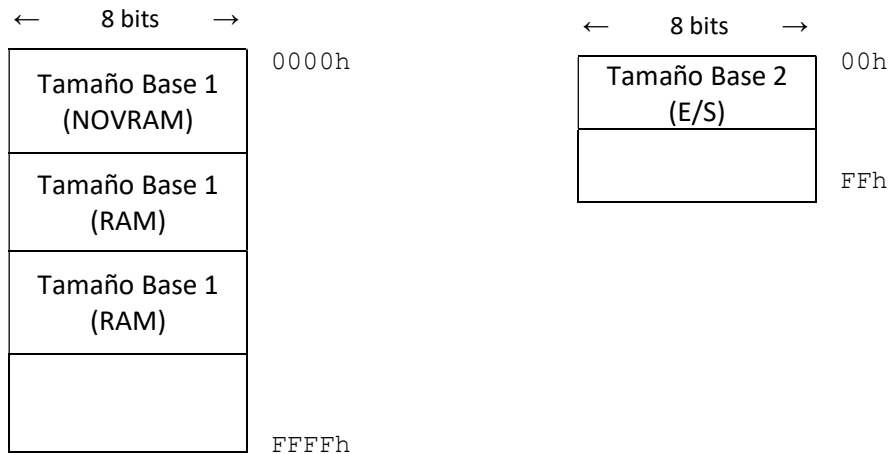


Figura 1. Organización de los mapas de memoria y de E/S del sistema.

Y teniendo en cuenta:

- El Mapa de E/S se direcciona con las líneas de menos peso del bus de direcciones
- Se dispone de los siguientes tipos de módulos:
 - Módulos de memoria volátiles de 32 **Kp** x 8.
 - Módulos de memoria no volátiles de 16 **Kp** x 4.
 - Módulos de E/S de 64 **p** x 8.
- Para el mapa de memoria hay un decodificador en el que cada línea de salida define un Tamaño Base 1, y, para el mapa de E/S, se dispone de un decodificador en el que cada línea de salida define un Tamaño Base 2. Además, se dispone de puertas y otros tamaños de decodificadores.

Se pide:

- a) Indicar el tamaño base establecido.
- b) Dar un esquema de cada módulo de memoria y E/S empleados, indicando todas sus líneas de conexión. Indicar posibles aplicaciones para las que se utilizará cada tipo de módulo.
- c) Detallar mediante un esquema, la distribución de los módulos sobre los mapas (distribución de módulos, número de módulos por fila, etc.). **Indicar en hexadecimal la dirección de comienzo y finalización de cada módulo en los mapas.**
- d) En base al diseño definido en el apartado anterior, dar un esquema de conexión completo entre la CPU y los módulos de memoria y de E/S (identificar el Procesador, los módulos de memoria, los módulos de E/S, los circuitos que realizan la función de decodificación y cualquier otro circuito electrónico necesario para que el sistema pueda operar correctamente).

PROBLEMA 3. (2,25 puntos)

Disponemos de un sistema con las siguientes líneas: ADDR (bus de direcciones de 16 bits), DAT (bus de datos de 8 bits), BUSREQ y BUSACK (solicitud y concesión de los buses), INT e INTACK (solicitud y reconocimiento de interrupción), MEMREQ, RD y WR (control de accesos a memoria). Dibujar el contenido de estas líneas (sin tener en cuenta el número de periodos necesarios para cada ciclo máquina u operación elemental) y especificar el contenido de las posiciones de memoria implicadas (se corregirá únicamente el cronograma), a lo largo del proceso siguiente:

- La CPU va a ejecutar las instrucciones LOAD #10h, ADD 1515h y STA [2020h]. Suponer que las instrucciones primera y segunda están almacenada en memoria en la dirección BB00h y siguientes; y la tercera instrucción se encuentra situada en la posición de memoria que se obtiene al sumar 0101h con el vector de interrupción correspondiente. Los códigos de operación correspondientes a las instrucciones son respectivamente AAh, BBh y CCh. Considerar el tamaño de los operandos de 8 bits.
- Durante el segundo ciclo de memoria, un controlador con DMA, solicita los buses para escribir en memoria dos datos 00h y 11h a partir de la posición de memoria BFBFh. El controlador opera en modo continuo.
- Supongamos que estos datos eran los últimos para completar el bloque pendiente del controlador de DMA, de forma que a continuación se solicita una interrupción, enviando el vector de interrupción AFh por el bus de datos, permaneciendo la línea de petición de interrupción activa todo el tiempo necesario para ser atendida.

Antes de la ejecución de las instrucciones dadas, tener en cuenta que:

- Contenido del registro acumulador = 00h
- Contenido de la dirección 0202h = ABh
- Contenido de la dirección 1010h = 01h
- Contenido de la dirección 1515h = 02h
- Contenido de la dirección 1516h = 02h
- Contenido de la dirección 2020h = ACh
- Contenido de la dirección 2021h = ACh
- Contenido de la dirección ACACH = ADh

Los profesores de la asignatura

4

Apellidos: Nombre:

ADDR()																						
DAT()																						
BUSREQ																						
BUSACK																						
INT																						
INTACK																						
MEMREQ																						
RD																						
WR																						
	Ciclo 1°	Ciclo 2°	Ciclo 3°	Ciclo 4°	Ciclo 5°	Ciclo 6°	Ciclo 7°	Ciclo 8°	Ciclo 9°	Ciclo 10°	Ciclo 11°	Ciclo 12°	Ciclo 13°	Ciclo 14°	Ciclo 15°	Ciclo 16°	Ciclo 17°	Ciclo 18°	Ciclo 19°	Ciclo 20°	Ciclo 21°	Ciclo 22°
Tipo de ciclo																						

Inicial																						
Interm. 1																						
Interm. 2																						
Final																						