

EXAMEN DE ESTRUCTURA DE COMPUTADORES. La Rábida, 3 de Septiembre de 2014

Apellidos Nombre

Valor de cada: Respuesta correcta + 0.1
 Respuesta incorrecta - 0.05
 Sin respuesta - 0.05

TIEMPO REALIZACIÓN EXAMEN: 30 minutos

1	De los tipos de sistema computador, indica aquel en el que el registro acumulador es imprescindible: A) En el computador de cuatro direcciones B) En el computador de tres direcciones C) En el computador de dos direcciones D) Ninguna de las afirmaciones anteriores es correcta	D
2	El esquema de sistema computador propuesto por el matemático de origen húngaro John Von Neumann responde al nombre de: A) Máquina de Programa Almacenado porque antes de operar deben almacenarse las instrucciones en un disco duro B) Máquina Programable por ser la primera máquina con capacidad de realizar distintas secuencias de órdenes C) Máquina de Programa Almacenado porque antes de operar deben almacenarse las instrucciones en una memoria secundaria D) Ninguna de las afirmaciones anteriores es correcta	D
3	En un computador de dos direcciones con modelos de ejecución REG-REG (operaciones aritméticas y lógicas) y REG-MEM (cargas y almacenamientos), la operación $A \leftarrow A+B$ (A y B direcciones de memoria principal), necesita: A) Una instrucción B) Dos instrucciones C) Tres instrucciones D) Cuatro instrucciones	D
4	El computador Von Neumann: A) Debe tener instrucciones de bifurcación condicional B) Debe tener instrucciones de multiplicación C) Debe tener interrupciones vectorizadas D) Debe tener registro contador de programa	A
5	En un computador de tres direcciones, ¿en qué dirección de memoria principal se encuentra la siguiente instrucción a ejecutar? A) En la que indica el registro contador de programa B) En la que indica el tercer campo de dirección del formato de la instrucción C) En la que indica el registro de estado D) En la que indica el primer campo de dirección del formato de la instrucción	A
6	Sea la cadena binaria 0,10 ... 0, está normalizada: A) En las bases 2^n , $n \in \mathbb{Z} - \{0\}$ B) Sólo en base 2 C) Sólo en base 4 D) Ninguna de las afirmaciones anteriores es correcta	A
7	Indica en cuál de los siguientes sistemas de representación el rango puede ser exclusivamente de valores negativos: A) Signo-magnitud B) Exceso C) Complemento a 1 D) No es posible tener valores negativos exclusivamente	B
8	Una resolución menor que la unidad se puede obtener: A) Únicamente en un sistema en formato de coma flotante (tanto con mantisa entera como fracción) B) En un sistema de coma fija C) En un sistema en formato de coma flotante, únicamente si la mantisa es fracción D) Ninguna de las respuestas anteriores es correcta	B
9	En un sistema con formato de coma flotante, la mantisa está normalizada: A) Siempre que sea fracción B) Siempre que tenga su primer bit implícito C) Siempre que sea entera D) Nunca	B
10	Sea la información digital 1100, con representación polinomial $M(x) = x^3 + x^2$. Para un sistema de representación polinomial, el grado del polinomio generador sería: A) $r = 3$ B) $r = 4$ C) Con los datos proporcionados no es posible saberlo D) Ninguna de las afirmaciones anteriores es correcta	C
11	Atendiendo a la característica del coste por bit en los niveles de memoria, se puede decir que: A) El coste por bit disminuye a medida que subimos en los niveles de jerarquía de memoria B) El coste por bit es importante en cuanto a procesamiento se refiere, no en cuanto a almacenamiento C) El coste por bit disminuye según aumenta la capacidad de los niveles de jerarquía de memoria D) El coste por bit suele disminuir cuando el tiempo de acceso se reduce	C
12	Para una misma tecnología, ¿cuál de los siguientes tipos de memoria es razonable que tenga un coste superior?: A) Una RAM de 2Kx16 B) Una EEPROM de 8Kx4 C) Una NOVRAM de 4Kx8 D) Una EPROM de 1Kx32	C
13	En un sistema computador con memoria virtual, ¿cuál es la función principal de la Unidad de Manejo de Memoria (MMU)? A) Transferir páginas a memoria principal B) Traducir las direcciones de memoria definidas por la CPU C) Comunicarse con el sistema operativo D) Ninguna de las afirmaciones anteriores es correcta	B
14	En un sistema con memoria caché, la conexión paralela: A) Permite aumentar las posiciones de memoria a las que tiene acceso la CPU B) Disminuye el tiempo de acceso en caso de acierto C) Implica mayor uso del bus del sistema D) Implica mayor penalización por fallo que la conexión serie	C
15	Comparada con la conexión paralela, una de las desventajas de la conexión serie de la memoria caché es: A) Su coste por ser necesaria mayor capacidad B) La restricción limitación que impone al sistema operativo C) La penalización por fallos de caché D) La necesidad de un sistema operativo especial	C
16	La operación de multiplicación 1Ch*11, da como resultado el valor: A) 134 B) 476 C) 308 D) 1DCh	C
17	Operar en múltiple precisión, A) Aunque tengamos varios registros para operar, no es posible hacer siempre B) Es posible únicamente si el repertorio de instrucciones del sistema computador contempla tales operaciones C) Obliga a operar con datos representados en el sistema de complemento a 2 D) Implica hacer uso de más de un registro para almacenar un dato	D

18	Dado la representación binaria 0,1110101, si queremos representarla en un sistema con parte fracción de 4 bits y aplicando la técnica de truncamiento y bit menos significativo a 1, se obtiene como resultado y como error:		B
	A) 0,1111 y 0,0000101 de error por exceso B) 0,1111 y 0,0000011 de error por exceso	C) 0,1111 y 0,0000011 de error por defecto D) 0,1101 y 0,0000101 de error por defecto	
19	La operación de cambio de signo en un sistema de C1 y n bits se realiza:		B
	A) Complementando cada uno de los bits y sumando 1 B) Restando de 2^{n-1} la combinación de bits dada	C) Restando de 2^{n-1} D) Complementando el bit de signo	
20	Si aplicamos un desplazamiento aritmético a izquierda de una posición a la combinación 101000 representada en signo-magnitud, se obtiene:		B
	A) 010001 B) 110000	C) 010000 D) 110001	
21	La fase de búsqueda de instrucción:		A
	A) Implica una o varias operaciones de lectura en la memoria principal B) Implica operaciones de lectura en el disco duro	C) Puede implicar o no operaciones de lectura en la memoria principal D) Ninguna de las afirmaciones anteriores es correcta	
22	El modo de direccionamiento directo relativo a registro índice se emplea en la instrucción:		B
	A) BZ (18(.4)) B) AND .15, 18(.2++)	C) SUB .2, (.5) D) En ninguna de las anteriores instrucciones	
23	La información relativa a la instrucción en curso se encuentra almacenada en:		B
	A) El registro contador de programa B) El registro de instrucción	C) La posición de memoria que indica el Contador de Programa D) Ninguna de las afirmaciones anteriores es correcta	
24	Según definiciones de modos de direccionamiento dados, indica cuál de las siguientes instrucciones tiene sentido:		A
	A) CALL 2 (Directo Absoluto a Memoria) B) CALL #2 (Inmediato)	C) CALL .2 (Directo Absoluto a Registro) D) Ninguna de las afirmaciones anteriores es correcta	
25	El modo de direccionamiento indirecto absoluto a memoria:		D
	A) Siempre implica como mínimo dos accesos a memoria B) No se puede definir en las máquinas de una dirección	C) No es posible emplearlo en las instrucciones de bifurcación D) Puede implicar uno o varios accesos a memoria	
26	Una operación de DMA:		D
	A) No se puede hacer si la CPU está ejecutando la rutina de atención de una interrupción B) Siempre tiene que hacerse por robo de ciclo	C) Se puede hacer en cualquier sistema con cualquier CPU D) Ninguna de las afirmaciones anteriores es correcta	
27	Las interrupciones software del microprocesador 8086 son:		B
	A) Rupturas de secuencia condicionales B) Rupturas de secuencia programadas	C) Rupturas de secuencia no programadas D) Bifurcaciones sin retorno	
28	La gestión de prioridades de interrupción:		B
	A) Debe hacerla forzosamente un controlador de interrupciones externo a la CPU B) Puede realizarla la propia CPU	C) No es posible si la CPU tiene una única línea de petición de interrupción D) Ninguna de las afirmaciones anteriores es correcta	
29	Una operación de acceso directo a memoria:		C
	A) Únicamente puede realizarla un DMAC C) Es imprescindible para cualquier sistema de E/S	C) Puede realizarla un Procesador de E/S D) Nunca implica gestión de prioridad en el sistema computador	
30	Dado el vector de interrupción ABCAh, en un computador con bus de datos de 8 bits:		B
	A) Sería necesario un único ciclo de bus si se enviara dicho vector por el bus de datos B) Serían necesarios dos ciclos de bus si se enviara dicho vector por el bus de datos	C) No es posible enviar nunca dicho vector por el bus de datos D) Se emplearía siempre un único ciclo de bus si se enviara dicho vector por el bus de direcciones	

Fdo.: Los profesores de la asignatura

(Convocatoria Ordinaria de Septiembre)

La Rábida, 3 de Septiembre de 2014

Problema 1. (2,5 puntos). Resolver, siempre de forma justificada, las siguientes cuestiones:

1. Obtener las representaciones correspondientes al valor decimal **-1**, con $n = 8$ para los apartados a, b, c y d, según los siguientes sistemas de representación:
 - a. Binario natural sin signo
 - b. Binario natural con signo
 - c. Complemento a 2
 - d. Exceso $Z = 2^{n-1}$
 - e. Estándar IEEE 754 de simple precisión
2. Obtener el valor decimal de la combinación binaria 10001000 de acuerdo a los siguientes sistemas de representación:
 - a. Binario natural sin signo
 - b. Binario natural con signo
 - c. Complemento a 1
 - d. Exceso $Z = 2^{n-1}$
3. Calcular el valor de la siguiente representación, expresada según el estándar IEEE 754 de simple precisión:

0	1 1 1 1 1 1 1 1	1 0 1
---	-----------------	---

4. Aplicar las tres técnicas de redondeo estudiadas sobre las siguientes representaciones binarias para un formato de $n = 6$ bits en la parte fracción. Calcular el error cometido en cada caso, especificando si es error por exceso o por defecto:
- 0,110011011
 - 0,100010001
 - 0,100000000
 - 0.011111111

Problema 2. (2,5 puntos). Supongamos un computador con bus de datos de 16 bits y bus de direcciones de 20 bits. Las especificaciones de diseño para el sistema de memoria principal y E/S deben cumplir los siguientes requisitos:

- Mapa de memoria no común.
- Tamaño básico para el mapa de memoria de 256 Kposiciones.
- 512 Kposiciones de memoria de L/E volátil ocupando las últimas posiciones del mapa de memoria.
- 256 Kposiciones de memoria de L/E no volátil.
- 128 Kposiciones de memoria de sólo L, situadas en las primeras posiciones del mapa.
- Para E/S se debe disponer de un espacio de 128 Kposiciones, ocupadas en un 75% con módulos de E/S de 32Kx8.
- Se dispone de módulos de memoria RAM de 256Kx4, de NOVRAM 128Kx16, de UVEPROM de 64Kx4, de ROM de 128Kx16 y de PROM de 128Kx8.

Se pide:

- Dibujar un esquema de cada dispositivo empleado, detallando las líneas de comunicación y justificar su elección.
- Diseñar el/los mapa/s de direcciones e indicar el espacio que queda libre
- Diseñar un esquema de conexión que se corresponda con el/los mapa/s definido/s en el apartado anterior.

Si el computador es de dos direcciones y tiene las siguientes características:

- Modelos de ejecución REG-MEM y REG-REG.
- El primer operando viene especificado con modo de direccionamiento Directo Absoluto a Registro.
- El segundo operando puede venir especificado con 2 modos de direccionamiento:
 - Inmediato.
 - Directo Absoluto a Memoria.
- Repertorio de 256 instrucciones.
- Dispone de un banco de 16 registros de propósito general; donde cualquiera de ellos puede actuar como primer operando.
- El número de accesos a memoria para leer una instrucción con cualquiera de los modos de direccionamiento es de dos. *Toda la información obtenida con esos dos accesos define la instrucción, sea cual sea el modo de direccionamiento empleado.*

d) Especificar los distintos formatos de instrucción posibles.

Problema 3. (2 puntos). Disponemos de un sistema con CPU basada en banco de registros (con 256 registros de propósito general) y con las siguientes líneas: **ADDR** (bus de direcciones de 16 bits), **DAT** (bus de datos de 8 bits), **BUSRQ** y **BUSACK** (solicitud y concesión de los buses), **INT** e **INTACK** (solicitud y reconocimiento de interrupción), **MEMREQ**, **RD** y **WR** (control de accesos a memoria).

- a. Dibujar el contenido de estas líneas (sin tener en cuenta el número de periodos necesarios para cada ciclo máquina u operación elemental) (se corregirá únicamente el cronograma), a lo largo del proceso siguiente:
- La CPU va a ejecutar las instrucciones **LD R18, 2020h**, **ADD R18, R200** y **STA [3030h], R18**. Suponer que la primera y segunda instrucción se encuentran en memoria a partir de la dirección 5000h; y la tercera instrucción se encuentra situada en la posición de memoria obtenida al sumar el vector de interrupción con el valor A000h. Los códigos de operación correspondientes a las instrucciones son respectivamente **BBh**, **CCh** y **FFh**. Considerar el tamaño de los operandos igual al tamaño del bus de datos.
 - Durante el sexto ciclo de memoria, un controlador con DMA, solicita los buses para escribir en memoria los datos **22h**, **23h** y **24h** a partir de la posición **3435h**. El controlador opera en modo carácter.
 - Supongamos que estos datos eran los últimos para completar el bloque pendiente del controlador de DMA, de forma que a continuación se solicita una interrupción, enviando el vector de interrupción **1Ch** por el bus de datos, permaneciendo la línea de petición de interrupción activa todo el tiempo necesario para ser atendida.
- b. Definir el contenido final de los registros implicados y el de las direcciones de memoria cuyo contenido, antes de la ejecución de las instrucciones, se especifica a continuación:
- Contenido del registro R200 = 02h
 - Contenido de la dirección 3030h = AAh
 - Contenido de la dirección 3031h = AAh
 - Contenido de la dirección 3434h = 20h
 - Contenido de la dirección 3435h = 21h
 - Contenido de la dirección 3436h = 22h
 - Contenido de la dirección 3437h = 23h
 - Contenido de la dirección 2020h = 18h
 - Contenido de la dirección 2021h = 19h

Fdo.: Los profesores de la asignatura.

	Ciclo 1°	Ciclo 2°	Ciclo 3°	Ciclo 4°	Ciclo 5°	Ciclo 6°	Ciclo 7°	Ciclo 8°	Ciclo 9°	Ciclo 10°	Ciclo 11°	Ciclo 12°	Ciclo 13°	Ciclo 14°	Ciclo 15°	Ciclo 16°	Ciclo 17°	Ciclo 18°	Ciclo 19°	Ciclo 20°	Ciclo 21°	Ciclo 22°
ADDR()																						
DAT()																						
BUSREQ																						
BUSACK																						
INT																						
INTACK																						
MEMREQ																						
RD																						
WR																						
Tipo de ciclo																						

Apellidos: Nombre:
--