

EXAMEN DE ESTRUCTURA DE COMPUTADORES. La Rábida, 11 de Febrero de 2013

Apellidos Nombre

Valor de cada: Respuesta correcta + 0.1
 Respuesta incorrecta - 0.05
 Sin respuesta - 0.05

TIEMPO REALIZACIÓN EXAMEN: **30 minutos**

1	El número de bits de la palabra de memoria de un computador:				
	A) Siempre coincide con el ancho del bus de datos B) Coincide con el número de bits que es capaz de procesar en paralelo	C) Depende del tamaño del bus de direcciones D) Puede coincidir en computadores cuyos procesadores son de 8, 16, 32 ó 64 bits			
2	La estructura básica de la unidad operativa de los computadores de cuatro y tres direcciones:				
	A) Incluye tres y cuatro registros respectivamente B) No difieren en nada	C) No necesitan registro alguno D) Ninguna de las afirmaciones anteriores es correcta			
3	En un sistema computador, un disco duro:				
	A) Es una unidad de E/S B) Es una unidad periférica de almacenamiento	C) Es imprescindible D) Ninguna de las afirmaciones anteriores es correcta			
4	Dado el esquema de la memoria principal de un sistema computador estudiado en el Tema 1, si el registro de direcciones es de 30 bits y el registro de datos de memoria de 16 bits:				
	A) La organización de la memoria es de 2^{30} posiciones x16 bits en cada posición B) La organización de la memoria es de 2^{30} posiciones x 2^{16} bits en cada posición	C) La organización de la memoria es de 30 posiciones x16 bits en cada posición D) La organización de la memoria es de 30 posiciones x 2^{16} bits en cada posición			
5	La fase de búsqueda del operando en la instrucción MOVE 1000h, #34h:				
	A) Implica leer el contenido de la posición de memoria 34h B) Implica leer el contenido de la posición de memoria 1000h	C) No implica ningún acceso de lectura en memoria D) Implica hacer pasar el operando por la unidad operativa			
6	Indica la secuencia de instrucciones que permiten implementar la operación C ← A + B (siendo A, B y C posiciones de memoria) en un computador de 1 dirección:				
	A) ADD A, B y MOV C, A B) ADD A, B, C	C) LOAD A, ADD B y STORE C D) ADD A, B y STORE C			
7	Los códigos dependientes de la frecuencia son:				
	A) De peso constante B) Ponderados	C) Asocian el mismo número de bits a cada carácter alfanumérico D) Ninguna de las afirmaciones anteriores es correcta			
8	En un sistema de representación binario numérico posicional de n bits:				
	A) El número de representaciones binarias diferentes posibles es mayor en el sistema de C2 que en el de C1 B) El rango de representación es siempre el mismo	C) El número de representaciones binarias diferentes posibles es mayor en el sistema de C1 que en el de C2 D) Un mismo bit puede tener mayor o menor peso			
9	En el formato de coma flotante con mantisa fracción normalizada:				
	A) El primer bit de la mantisa es siempre diferente de '0' B) La mantisa puede tener un bit implícito	C) La base del exponente es siempre 2 D) Ninguna de las afirmaciones anteriores es correcta			
10	Dada la definición de espacio material estudiado en el Tema 2 (lugar donde almacenar la información en un sistema computador), podemos afirmar que:				
	A) No es posible representar cualquier número de la recta real ni tampoco podemos tener una representación de todos los números reales B) Sí podemos representar cualquier número de la recta real	C) El espacio material puede almacenar información de tipo no binario D) Sólo podemos representar números enteros			
11	Sea la cadena binaria 0,0110000, está normalizada:				
	A) Sólo está normalizada en base 4 y 8 B) Está normalizada en base 16	C) Sólo está normalizada en base 16 D) Está normalizada en base 2			
12	Sea el código polinomial CRC-12 con $P(x) = x^{12}+x^{11}+x^3+x^2+x+1$, el grado del polinomio generador es:				
	A) r = 1 B) r = 13	C) r = 12 D) Con los datos proporcionados no es posible saberlo			
13	Si el número de bits de las direcciones que maneja la CPU de un computador sin memoria virtual es 20, se puede decir que:				
	A) Tiene una capacidad de direccionamiento de 2^{20} posiciones B) Su memoria no puede exceder de 1 Mposiciones	C) Su mapa de memoria es común D) Su mapa de memoria es no común			
14	En un repertorio de instrucciones, las instrucciones de E/S del tipo INPUT y OUTPUT:				
	A) Siempre existen B) Nunca existen si el repertorio es de instrucciones máquina	C) Pueden existir si el mapa de memoria es común D) Siempre existen si el mapa de memoria es no común			
15	Cuando la conexión de la memoria caché es del tipo serie:				
	A) Se libera el bus del sistema en los aciertos B) El sistema no puede tener varios procesadores	C) Las memorias que implementan dicha caché son DRAM D) El sistema computador debe tener varios procesadores			
16	De los siguientes dispositivos de almacenamiento, indica cuáles pueden formar parte de la memoria interna del computador:				
	A) Registros, módulos de memoria RAM y disco duro B) Registros y módulos de memoria RAM, ROM, etc.	C) Disco duro y memoria USB D) DVD, disco duro y memoria USB			
17	El hecho de que el precio de un disco duro de 500 GB sea de 50 euros, mientras que el de una memoria RAM de 16 GB sea de 65 euros puede explicarse:				
	A) Porque los módulos de memoria RAM admiten operaciones de lectura y escritura B) Porque la conexión entre el disco duro y la placa base es más sencilla que la conexión entre la memoria RAM y la placa base	C) En base a que el disco duro pertenece a un nivel de jerarquía de menor velocidad respecto al nivel de los módulos de memoria RAM D) La información es incorrecta, no es posible esa diferencia de coste			

18	En un sistema con memoria virtual, la tarea de devolver a la memoria virtual los objetos de la memoria principal que se prevé no van a ser utilizados corresponde a:			
	A) La Unidad de Manejo de Memoria (MMU)	C) Los objetos nunca se eliminan de la memoria principal	D) El Sistema Operativo	
19	Un desplazamiento lógico:			
	A) A la fuerza implica introducir bits con el valor '0'	C) Es independiente del sistema de representación empleado	D) Ninguna de las afirmaciones anteriores es correcta	
20	La operación de cambio de signo en un sistema de C2 y n bits se realiza:			
	A) Simplemente complementando cada uno de los bits	C) Es imposible realizarla	D) Complementando el bit de signo	
21	Para un sistema de coma flotante, la extensión de signo se realiza:			
	A) Aplicando extensión de signo a la mantisa y el exponente independientemente	C) Aplicando la extensión de signo a la mantisa exclusivamente	D) Simplemente rellenando con unos los bits sobrantes	
22	El relación a los biestables de estado aritmético:			
	A) Tanto la Unidad de Control como la Unidad Operativa pueden definir su valor	C) La Unidad de Control no puede consultar sus valores de forma individual	D) Su valor puede ser modificado por instrucciones del tipo JZ, JNZ, JS, JNS, etc.	
23	Sean las representaciones en formato de coma flotante $X_A = M_A r^{E_a}$ y $X_B = M_B r^{E_b}$, la operación $X_A * X_B$ se hace de la forma:			
	A) $M_A * M_B r^{E_a + E_b}$	C) $M_A * M_B r^{E_a + E_b}$	D) Ninguna de las afirmaciones anteriores es correcta	
24	De las técnicas de conexión entre Procesador-Coprocesador, la Interfaz Inteligente de Control:			
	A) Permite que cada coprocesador opere a una velocidad diferente	C) Requiere de un banco de registros de órdenes y otro de registros de respuestas	D) Implica que cada coprocesador incorpore una circuitería adicional para el seguimiento de las instrucciones	
25	Si una instrucción máquina emplea el modo de direccionamiento inmediato:			
	A) Puede ser una llamada a subrutina	C) Implica ir a memoria para buscar un dato	D) Ninguna de las afirmaciones anteriores es correcta	
26	Las bases del código reentrantre y reubicable se basan en el modo de direccionamiento:			
	A) Directo absoluto a memoria	C) Implícito	D) Relativo	
27	Para un microprocesador con un repertorio de instrucciones máquina determinado:			
	A) Pueden existir nemáticos diferentes para la misma instrucción máquina	C) El fabricante del microprocesador es quien únicamente puede diseñar un lenguaje ensamblador para el mismo	D) Ninguna de las afirmaciones anteriores es correcta	
28	Dado el formato de instrucción:			
	A) El campo Código de Operación indica la operación y el Campo Dirección de Operando el modo de direccionamiento	C) Para conocer el modo de direccionamiento empleado hay que consultar tanto el campo Código de Operación como el de Dirección de Operando	D) Ninguna de las afirmaciones anteriores es correcta	
29	En el arranque del computador, el programa cargador llamado BOOT-STRAP:			
	A) Se encarga de inicializar todos los registros a un valor '0'	C) Normalmente está almacenado en memoria de tipo no volátil	D) No es imprescindible si previamente el valor del registro contador de programa (PC) se ha inicializado a '0'	
30	En una operación de DMA, ¿cuándo atiende la CPU una petición de bus?			
	A) Al finalizar la ejecución de la instrucción en curso	C) Cuando haya terminado de acceder a memoria	D) En el siguiente ciclo de bus	

Fdo.: Los profesores de la asignatura

EXAMEN DE ESTRUCTURA DE COMPUTADORES

La Rábida, 11 de Febrero de 2013

PROBLEMA 1. (2,5 ptos.).

Sea un computador de una dirección del que se conocen las siguientes características:

- Formato de instrucción de 16 bits.
- Banco de 8 registros de 16 bits cada uno de ellos que serán empleados como registro base cuando el operando venga especificado con modo de direccionamiento directo relativo a registro base.
- Tres modos de direccionamiento:
 - Inmediato.
 - Directo Absoluto a Memoria.
 - Directo Relativo a Registro base.
- El repertorio de instrucciones diferencia 6 operaciones que permiten los tres modos de direccionamiento y otras 2 operaciones que no admiten el direccionamiento inmediato.

Se pide:

- a) Diseñar los formatos de instrucción para cada modo de direccionamiento.
- b) A partir del formato de instrucción para el modo de direccionamiento inmediato, si el operando viene representado en formato de coma flotante con exponente en exceso y mantisa fracción en signo-magnitud, normalizar y aplicar las tres técnicas de redondeo, calculando el error cometido en cada caso, para que la representación siguiente: Mantisa (s-magnitud)= 0 0 0 0 1 1 0 1 1 1 1 Exponente (exceso 8) = 0 1 1 0, pueda ser almacenada en el formato con direccionamiento inmediato planteado, con $p = 7$ y $r = 4$.
- c) Representar el valor 0,5 en el sistema de representación estándar IEEE 754.

PROBLEMA 2. (2 ptos.).

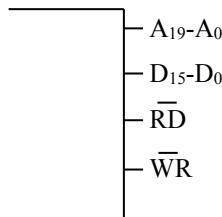
Sea un computador que tiene las siguientes características:

- Mapa de memoria común.
- Bus de direcciones de 20 bits.
- Bus de datos de 16 bits.
- Capacidad para almacenar programas de inicialización de 128 Kposiciones. Estos programas no podrán sufrir modificaciones posteriores.

- Capacidad para almacenar el sistema operativo de 256 Kposiciones. El sistema operativo podrá admitir versiones posteriores.
- Capacidad para almacenar aplicaciones de 512 Kposiciones. Estos programas de aplicación también podrán sufrir modificaciones posteriores. Los módulos de memoria donde se almacenarán las aplicaciones estarán ubicados en las últimas posiciones del mapa.
- Para la entrada/salida se dispone de un espacio de 64 Kposiciones, ocupado en su totalidad.

Se pide:

- Elegir y justificar el/los módulo/s de memoria empleados para cada caso, dibujando un esquema de cada dispositivo a emplear detallando su organización y las líneas de comunicación.
- Diseñar el/los mapa/s, e indicar el espacio de memoria que queda libre.
- Diseñar un esquema de conexión que se corresponda con el/los mapa/s definidos en el apartado anterior y con la CPU de la figura. Añadir más líneas a la CPU si es necesario.



PROBLEMA 3. (2,5 ptos.).

Disponemos de un sistema computador con CPU basada en banco de registros (200 registros) y con las siguientes líneas de comunicación: **ADDR** (bus de direcciones de 16 bits), **DAT** (bus de datos de 8 bits), **BUSRQ** y **BUSACK** (solicitud y concesión de los buses), **INT** e **INTACK** (solicitud y reconocimiento de interrupción), **MEMREQ**, **RD** y **WR** (control de accesos a memoria). En la hoja que se suministra para ello, dibujar el contenido de dichas líneas (en hexadecimal y sin tener en cuenta el número de periodos necesarios para cada ciclo máquina u operación elemental), indicar para cada uno de los ciclos su tipo y definir el contenido de los registros y direcciones de memoria modificados, a lo largo del proceso siguiente:

- La CPU va a ejecutar las instrucciones **LD R4, F0F0h; SUB R4, R3 y ST [2020h], R4**. Suponer que las instrucciones primera (carga de un registro) y segunda (resta de registros) están situadas en memoria a partir de la dirección **B000h**; la tercera instrucción (almacenamiento en memoria) está situada a partir de la posición de memoria que se obtiene al sumar el vector de interrupción al

valor **FF05h**. Los códigos de operación correspondientes a las instrucciones son respectivamente **01h**, **02h** y **03h**. Considerar el tamaño de los operandos igual al tamaño del bus de datos.

- Durante el tercer ciclo de operación en memoria, un controlador con DMA (DMAC), solicita los buses para escribir en memoria cuatro datos (**AAh**, **BBh**, **CCh** y **DDh**) a partir de la posición de memoria **C00Fh**. El controlador opera en modo byte. Se supone que el periférico con el que se realiza las transferencias es capaz de enviar un dato en menos de un ciclo de operación en memoria.
- Supongamos que estos datos eran los últimos para completar el bloque pendiente del controlador de DMA, de forma que terminando solicita una interrupción, enviando el vector de interrupción **B9h** por el bus de datos, permaneciendo la línea de petición de interrupción activa todo el tiempo necesario para ser atendida.
- Anteriormente a la ejecución de las instrucciones dadas, tener en cuenta que:

- Contenido del registro R3 = 40h
- Contenido del registro R4 = 30h
- Contenido del registro R20 = 50h
- Contenido de la dirección F0F0h = 0Ah
- Contenido de la dirección F0F1h = 0Bh
- Contenido de la dirección 2020h = 50h
- Contenido de la dirección 2021h = 50h
- Contenido de la dirección FFBEh = 03h

Fdo.: Los profesores de la asignatura

Apellidos:

Nombre:

