

EXAMEN DE ESTRUCTURA DE COMPUTADORES
2º Curso Grado Ingeniería Informática

Campus El Carmen, 7 de Febrero de 2020

PROBLEMA 1. (2,5 puntos)

Resolver las siguientes cuestiones:

- 1.1 Dado el extracto de código de un programa en ensamblador mostrado en la Tabla 1 y almacenado a partir de la posición de memoria A000H, completar la Plantilla 1 adjunta indicando el contenido del acumulador y posiciones de memoria que intervienen durante la ejecución de dicho programa. La Tabla 2 recoge el contenido del acumulador y posiciones de memoria al inicio del programa. El resto de posiciones de memoria se encuentran inicialmente a cero.

Tabla 1. Programa a ejecutar	
Instrucción	Longitud
LOAD #03	2
ADD 04h[.3++]	3
DEC	1
JNZ \$-03h	2
OR #04h	2
SUB 05h[--.3]	3
CMP #0h	2
JZ A012h	3
NOP	1

Tabla 2. Contenido de registros y posiciones de memoria				
M(0003h)	M(000Ah)	M(000Bh)	R3	ACUMULADOR
00h	02h	04h	06h	03h

Tabla 3. Modos de direccionamiento			
Modo de direccionamiento	Prefijo/sufijo	Ejemplo	Operaciones que se realizan
INMEDIATO	Prefijo #	ADD #18	AC ← AC +18
DIRECTO ABSOLUTO a MEMORIA		ADD 18	AC ← AC+M(18)
DIRECTO RELATIVO a REGISTRO ÍNDICE	Corchete [.++]	ADD 18[.1++]	AC ← AC +M(18+RB1) R1 ← R1 + 1
DIRECTO RELATIVO a PC	\$	ADD \$+18	AC ← AC + M(PC+18)

- 1.2 Si el sistema computador correspondiente al apartado 1.1, puede ejecutar un total de 200 instrucciones diferentes, dispone de un banco de 256 registros base/índice, y la memoria está organizada de forma que la dirección más alta a la que puede acceder es la FFFFH y el

ancho de palabra es de 8 bits., obtener de forma justificada el formato de instrucción correspondiente a las instrucciones: DEC y SUB 05h [--.3].

- 1.3 Representar según el formato del estándar IEEE 754 de doble precisión el valor final del acumulador y el valor final del R3 multiplicado por - 1,25.

PROBLEMA 2. (2,25 puntos)

Dado un sistema computador (con mapa de memoria común) y mapa de memoria mostrado en la Figura 1.

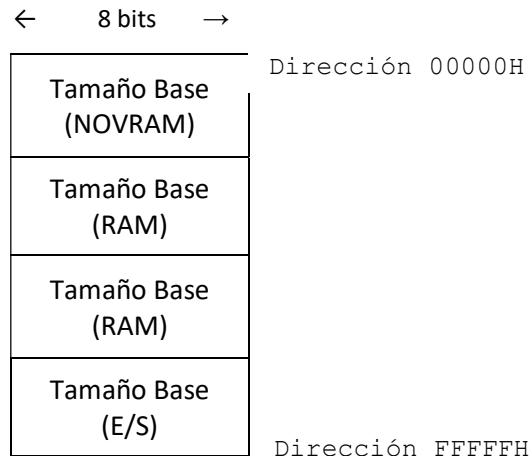


Figura 1. Organización del mapa de memoria del sistema.

Y teniendo en cuenta que los módulos de los que dispone son los siguientes:

- Módulos de memoria volátiles de 256Kp x 8.
- Módulos de memoria no volátiles de 128kp x 4.
- Módulos de E/S de 64kp x 8.

Se pide:

- a) Indicar el tamaño base establecido.
- b) Dar un esquema de cada módulo de memoria empleado, indicando todas sus líneas de conexión. Indicar posibles aplicaciones para las que se utilizará cada tipo de módulo.
- c) Detallar mediante un esquema, la distribución de los módulos sobre el mapa de memoria (distribución de módulos, número de módulos por fila, etc.). **Indicar en hexadecimal la dirección de comienzo y finalización de cada módulo en el mapa.**
- d) En base al diseño del mapa de memoria definido en el apartado anterior, dar un esquema de conexión completo entre la CPU y los módulos de memoria y de E/S (identificar el Procesador, los módulos de memoria, los módulos de E/S, los circuitos que realizan la función de decodificación y cualquier otro circuito electrónico necesario para que el sistema pueda operar correctamente).

PROBLEMA 3. (2,25 puntos)

Considerando un sistema computador basado en banco de registros (256 registros de propósito general), con las siguientes líneas: **ADDR** (bus de direcciones de 16 bits), **DAT** (bus de datos de 8 bits), **BUSRQ** y **BUSACK** (solicitud y concesión de los buses), **INT** e **INTACK** (solicitud y reconocimiento de interrupción), **MEMREQ**, **RD** y **WR** (control de accesos a memoria).

- 3.1 Dibujar el contenido de estas líneas con información en **HEXADECIMAL** (sin tener en cuenta el número de periodos necesarios para cada ciclo máquina u operación elemental) (**se corregirá únicamente lo que aparezca en la hoja del cronograma, Plantilla 2**), a lo largo del proceso siguiente:

- 1- La CPU ejecuta las instrucciones **MOVE R3, [1515h]**, **SUB R2, #0Ah**, **ADD R3, R2** y **MOVE 5050h, R3**. Suponer que la primera, segunda y tercera instrucción se encuentran en memoria a partir de la dirección **F000h**; y la cuarta instrucción se encuentra situada a partir de la posición de memoria a la que bifurca el procesador cuando se atiende una interrupción. Los códigos de operación correspondientes a las instrucciones son respectivamente **11h**, **22h**, **33h** y **44h**. Considerar el tamaño de los operandos igual al tamaño del bus de datos.
 - 2- Durante el décimo primer ciclo de memoria, un controlador con DMA, solicita los buses para escribir en memoria los datos **55h** y **56h** a partir de la posición **B000h**. El controlador opera en modo byte.
 - 3- Supongamos que estos datos eran los últimos para completar el bloque pendiente del controlador de DMA, de forma que a continuación se solicita una interrupción, enviando el vector de interrupción **1Ch** por el bus de datos, permaneciendo la línea de petición de interrupción activa hasta ser atendida. El procesador concatena el vector de interrupción (parte de menos peso) con el valor **40h** (parte de más peso) para encontrar la dirección de la rutina de atención de la interrupción.
- b. Definir los contenidos (en hexadecimal) que van teniendo todos los elementos de almacenamiento implicados. El contenido de dichos elementos de almacenamiento al comienzo de la ejecución de las instrucciones es nulo o el especificado en la relación siguiente:

- Registro R2 = 21h
- Dirección 1010h = A0h
- Dirección 1011h = A0h
- Dirección 1515h = 10h
- Dirección 1516h = 10h
- Dirección 5050h = EEh
- Dirección 5051h = FFh
- Dirección EFFFh = AAh

Los profesores de la asignatura.

Plantilla 1. Ejercicio 1. Resolución Apartado 1.1

Instrucción	PC	M(0003h)	M(000Ah)	M(000Bh)	R3	ACUMULADOR	Z
INICIO	A000h	00h	02h	04h	06h	03h	0
LOAD #03	A002h	00h	02h	04h	06h	03h	0
ADD 04h[.3++]	A005h	00h	02h	04h	07h	05h	0
DEC	A006h	00h	02h	04h	07h	04h	0
JNZ \$-03h	A008h/A005h	00h	02h	04h	07h	04h	0
DEC	A006h	00h	02h	04h	07h	03h	0
JNZ \$-03h	A008h/A005h	00h	02h	04h	07h	03h	0
DEC	A006h	00h	02h	04h	07h	02h	0
JNZ \$-03h	A008h/A005h	00h	02h	04h	07h	02h	0
DEC	A006h	00h	02h	04h	07h	01h	0
JNZ \$-03h	A008h/A005h	00h	02h	04h	07h	01h	0
DEC	A006h	00h	02h	04h	07h	00h	1
JNZ \$-03h	A008h	00h	02h	04h	07h	00h	1
OR #04h	A00Ah	00h	02h	04h	07h	04h	0
SUB 05h[--.3]	A00Dh	00h	02h	04h	06h	00h	1
CMP #0h	A00Fh	00h	02h	04h	06h	00h	1
JZ 0012h	A012h/A012h	00h	02h	04h	06h	00h	1
NOP	A013h	00h	02h	04h	06h	00h	1

Tabla 1. Programa a ejecutar		
Dirección de Memoria	Instrucción	Longitud
A000H	LOAD #03	2
A002H	ADD 04h[.3++]	3
A005H	DEC	1
A006H	JNZ \$-03h	2
A008H	OR #04h	2
A00AH	SUB 05h[--.3]	3
A00DH	CMP #0h	2
A00FH	JZ 0012h	3
A012H	NOP	1

Resolución 1.2

Si el sistema computador correspondiente al apartado 1.1, puede ejecutar un total de 200 instrucciones diferentes, dispone de un banco de 256 registros base/índice, y la memoria está organizada de forma que la dirección más alta a la que puede acceder es la FFFFh y el ancho de palabra es de 8 bits., obtener de forma justificada el formato de instrucción correspondiente a las instrucciones: DEC y SUB 05h[--.3].

CÓD. OPER. (8b)

CÓD. OPER. (8b)

DESPLAZAM. (8b)

ID. REGISTRO. (8b)

1.3 Representar según el formato del estándar IEEE 754 de doble precisión el valor final del acumulador y el valor final del R3 multiplicado por -1,25.

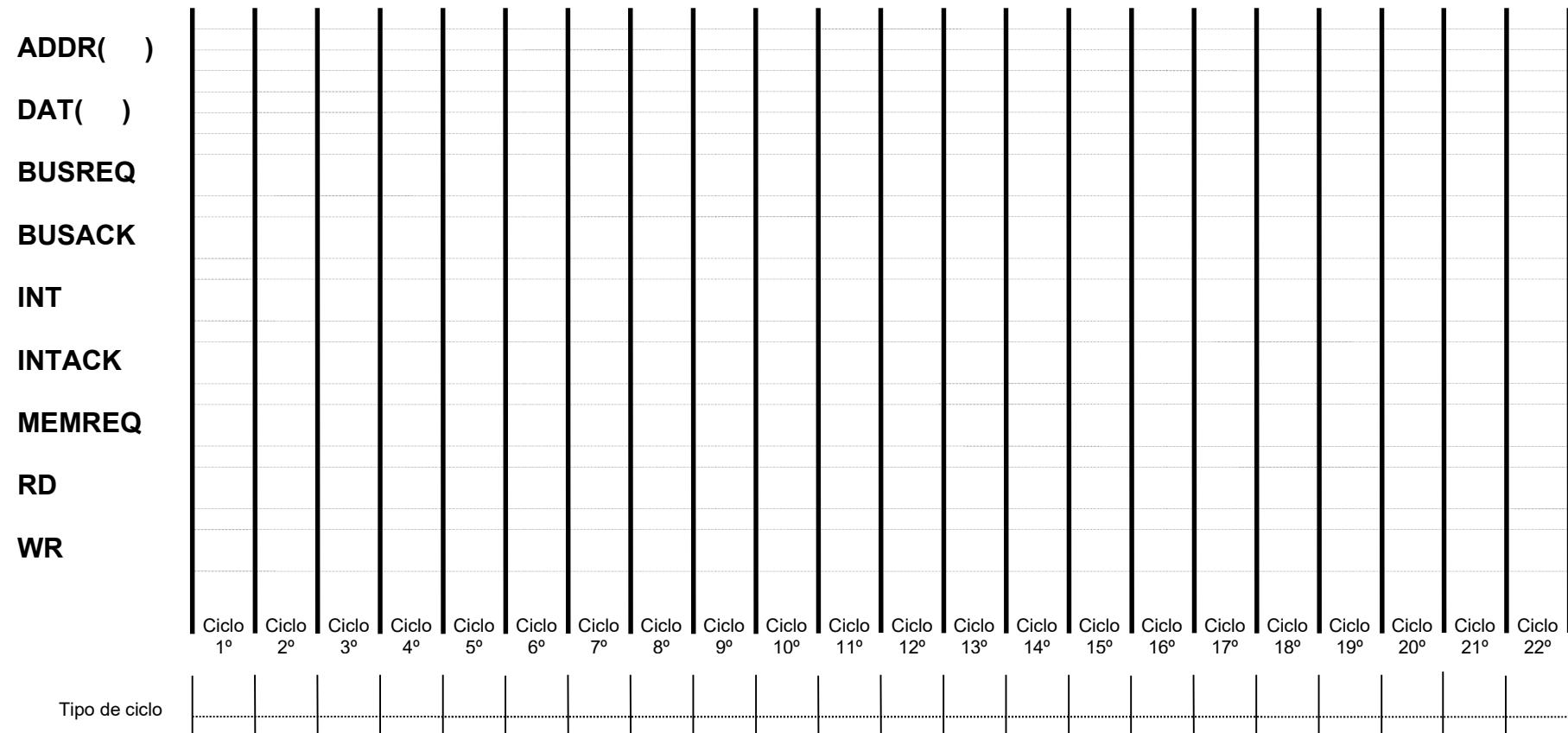
ACUMULADOR = 00h

S = 0	EXP = 000 0000 0000 (q = 11 b)	MAG = 0000 0000 0000....0000 (52 bits)
-------	--------------------------------	--

$$R3 \times (-1.25) = 6 \times (-1.25) = -7.5 = (-1)^1 \times 2^2 \times 1.875 = (-1)^1 \times 2^{E-1.023} \times 1.M$$

S = 1	EXP = 100 0000 0001 (q = 11 b)	MAG = 1110 0000 0000....0000 (52 bits)
-------	--------------------------------	--

Apellidos: **Nombre:**



Inicial																			
Interm. 1																			
Interm. 2																			

Final								
-------	--	--	--	--	--	--	--	--