

ESTRUCTURA DE COMPUTADORES
TEMA 6. COMUNICACIÓN CON EL EXTERIOR
 Sesión de Test

1	Además del Controlador de Acceso Directo a Memoria (DMAC), otros dispositivos de E/S con capacidad de acceso directo a memoria:	
	A) Son todos los dispositivos de E/S con C) No existen capacidad de provocar interrupciones	D) Ninguna de las afirmaciones anteriores es correcta
2	Un Controlador de Acceso Directo a Memoria (DMAC) es capaz de realizar, sin intervención alguna de la CPU:	
	A) La transferencia de varios bloques de información C) Cualquier operación de E/S	D) Ninguna de las afirmaciones anteriores es correcta
3	Una interrupción vectorizada:	
	A) Es una ruptura de secuencia programada C) Es exclusiva para los dispositivos con capacidad de DMA	B) Es atendida siempre por la CPU, D) Ninguna de las afirmaciones anteriores es independientemente del valor del Biestable de correcta Inhibición de Interrupciones
4	Un Controlador de acceso directo a memoria (DMAC):	
	A) No puede provocar interrupciones C) No maneja los buses nunca	B) Es un procesador de E/S D) Necesita ser programado
5	Un coprocesador:	
	A) No tiene definida instrucciones propias C) Tiene contador de programa propio por ser procesador	B) No es un procesador D) Ninguna de las afirmaciones anteriores es correcta
6	La Gestión Distribuida de Prioridades:	
	A) El recurso indica quién se queda con la fase de servicio C) No se emplea en los sistemas computadores actuales nunca	B) Se aplica exclusivamente cuando el recurso a compartir es la memoria D) Los mismos peticionarios se ponen de acuerdo entre sí para determinar quién se queda con el uso del recurso
7	Un Canal de E/S es:	
	A) Un Controlador de Acceso Directo a Memoria C) Un Procesador	B) Un registro perteneciente a un dispositivo de E/S con capacidad de provocar una interrupción D) Una puerta de acceso de un Controlador de Acceso Directo a Memoria