

BOLETÍN DE PROBLEMAS

TEMA 6. COMUNICACIÓN CON EL EXTERIOR

Ejercicio 1. Disponemos de un sistema con las siguientes líneas: **ADDR** (bus de direcciones de 16 bits), **DAT** (bus de datos de 8 bits), **BUSRQ** y **BUSACK** (solicitud y concesión de los buses), **INT** e **INTACK** (solicitud y reconocimiento de interrupción), **MEMREQ**, **RD** y **WR** (control de accesos a memoria). Dibujar el contenido de estas líneas (sin tener en cuenta el número de periodos necesarios para cada ciclo máquina u operación elemental), así como los tipos de ciclos considerados, a lo largo del proceso siguiente:

- La CPU va a ejecutar las instrucciones **ADC 1515h, [1212h]** y **MOVE 2020h, #34h**. Suponer que la instrucción primera está situada en memoria en la dirección **3000h** y siguientes; y la segunda instrucción se encuentra situada en la posición de memoria suministrada por el vector de interrupción. Los códigos de operación correspondientes a las instrucciones son respectivamente **BBh** y **FAh**.
- Durante el segundo ciclo de memoria, un controlador con DMA, solicita los buses para escribir tres datos a partir de la posición de memoria **C000h**. El controlador opera en modo byte.
- Supongamos que estos datos eran los últimos para completar el bloque pendiente del controlador de DMA, de forma que a continuación se solicita una interrupción, enviando el vector de interrupción **ABABh** por el bus de datos, permaneciendo la línea de petición de interrupción activa todo el tiempo necesario para ser atendida.
- Suponer los siguientes contenidos de dirección:
 - Contenido dirección de memoria 1212h = 24h
 - Contenido dirección de memoria 1213h = 24h
 - Contenido dirección de memoria 1515h = 18h
 - Contenido dirección de memoria 2424h = 02h

Ejercicio 2. Disponemos de un sistema con las siguientes líneas: **ADDR** (bus de direcciones de 16 bits), **DAT** (bus de datos de 8 bits), **BUSRQ** y **BUSACK** (solicitud y concesión de los buses), **INT** e **INTACK** (solicitud y reconocimiento de interrupción), **MEMREQ**, **RD** y **WR** (control de accesos a memoria). Dibujar el contenido de estas líneas (sin tener en cuenta el número de periodos necesarios para cada ciclo máquina u operación elemental), a lo largo del proceso siguiente:

- La CPU va a ejecutar la instrucción **ADC 1515h, 1212h**; que suma el contenido de la posición de memoria 1515H con el contenido de la posición de memoria 1212H, almacenando el resultado de dicha operación en la posición de memoria especificada en primer lugar en la instrucción. Suponer que la instrucción está situada en memoria en la dirección **2000h** y siguientes. El código de operación de la instrucción es **11h**.
- Durante el tercer ciclo de memoria, un controlador con DMA, solicita los buses para escribir el dato 50h en la posición de memoria **C000h**.
- Supongamos que éste era el último dato a escribir por el controlador de DMA, de forma que a continuación se solicita una interrupción, enviando el vector de interrupción **FF00h** por el bus de datos, permaneciendo la línea de petición de interrupción activa todo el tiempo necesario para ser atendida.
- Definir el contenido de las posiciones de memoria implicadas.
- Inicialmente, el contenido de las direcciones de memoria es el siguiente.:
 - Contenido dirección de memoria 1212h = A0h
 - Contenido dirección de memoria 1515h = 0Ah
 - Contenido dirección de memoria FF00h = 22h

- El resto de posiciones contiene un valor nulo.

Ejercicio 3. Disponemos de un sistema con las siguientes líneas: **ADDR** (bus de direcciones de 16 bits), **DAT** (bus de datos de 16 bits), **BUSRQ** y **BUSACK** (solicitud y concesión de los buses), **INT** e **INTACK** (solicitud y reconocimiento de interrupción), **MEMREQ**, **RD** y **WR** (control de accesos a memoria). Dibujar el contenido de estas líneas (sin tener en cuenta el número de periodos necesarios para cada ciclo máquina u operación elemental), a lo largo del proceso siguiente:

- La CPU se dispone a ejecutar las siguientes instrucciones **ADC [1515h]**, **1212h** y **MOVE 2020h, #3434h**. Suponer que la primera instrucción está situada en memoria en la dirección **2000h** y siguientes; y la segunda instrucción se encuentra situada en la posición de memoria que indica el vector de interrupción. Los códigos de operación correspondientes a las instrucciones son respectivamente **BBBh** y **FAFh**.
- Durante el tercer ciclo de memoria, un controlador con DMA, solicita los buses para leer dos datos a partir de la posición de memoria **C000h**. El controlador opera en modo continuo.
- Supongamos que estos datos eran los últimos para completar el bloque pendiente del controlador de DMA, de forma que a continuación se solicita una interrupción, enviando el vector de interrupción **ABABh** por el bus de datos, permaneciendo la línea de petición de interrupción activa todo el tiempo necesario para ser atendida.

NOTA: Suponer todo lo que sea necesario para justificar totalmente la solución.

Ejercicio 4. Disponemos de un sistema con las siguientes líneas: **ADDR** (bus de direcciones de 16 bits), **DAT** (bus de datos de 8 bits), **BUSRQ** y **BUSACK** (solicitud y concesión de los buses), **INT** e **INTACK** (solicitud y reconocimiento de interrupción), **MEMREQ**, **RD** y **WR** (control de accesos a memoria). Dibujar el contenido de estas líneas (sin tener en cuenta el número de periodos necesarios para cada ciclo máquina u operación elemental) (se corregirá únicamente el cronograma), a lo largo del proceso siguiente:

- La CPU va a ejecutar las instrucciones **ADD [1515h]** y **STA [2020h]**. Suponer que la instrucción primera (suma con el acumulador) está situada en memoria en la dirección **1000h** y siguientes; y la segunda instrucción (almacenamiento del acumulador) se encuentra situada en la posición de memoria suministrada por el vector de interrupción. Los códigos de operación correspondientes a las instrucciones son respectivamente **BBh** y **FFh**. Considerar el tamaño de los operandos igual al tamaño del bus de datos.
- Durante el segundo ciclo de memoria, un controlador con DMA, solicita los buses para escribir en memoria tres datos (11h, 22h y 33h) a partir de la posición de memoria **B000h**. El controlador opera en modo continuo.
- Supongamos que estos datos eran los últimos para completar el bloque pendiente del controlador de DMA, de forma que a continuación se solicita una interrupción, enviando el vector de interrupción **ABABh** por el bus de datos, permaneciendo la línea de petición de interrupción activa todo el tiempo necesario para ser atendida.
- Antes de la ejecución de las instrucciones dadas, tener en cuenta que:
 - Contenido de la dirección 1515h = 34h
 - Contenido de la dirección 1516h = 34h
 - Contenido de la dirección 3434h = 20h
 - Contenido de la dirección 3435h = 20h
 - Contenido de la dirección 2020h = 18h
 - Contenido de la dirección 2021h = 18h

Ejercicio 5. Disponemos de un sistema con las siguientes líneas: **ADDR** (bus de direcciones de 16 bits), **DAT** (bus de datos de 8 bits), **BUSRQ** y **BUSACK** (solicitud y concesión de los buses), **INT** e **INTACK** (solicitud y reconocimiento de interrupción), **MEMREQ**, **RD** y **WR** (control de accesos a memoria). Dibujar el contenido de estas líneas (sin tener en cuenta el número de periodos necesarios para cada ciclo máquina u operación elemental), a lo largo del proceso siguiente:

- La CPU va a ejecutar las instrucciones **ADC [1515h], 1212h** y **MOVE 2020h, #34h**. Suponer que la instrucción primera está situada en memoria en la dirección **2000h** y siguientes; y la segunda instrucción se encuentra situada en la posición de memoria obtenida al sumar el vector de interrupción con **AA00h**. Los códigos de operación correspondientes a las instrucciones son respectivamente **BB** y **FA**.
- Durante el tercer ciclo de memoria, un controlador con DMA, solicita los buses para leer dos datos a partir de la posición de memoria **C000h**. El controlador opera en modo demanda.
- Supongamos que estos datos eran los últimos para completar el bloque pendiente del controlador de DMA, de forma que a continuación se solicita una interrupción, enviando el vector de interrupción **ABh** por el bus de datos, permaneciendo la línea de petición de interrupción activa todo el tiempo necesario para ser atendida.

NOTA: Suponer todo lo que sea necesario para justificar totalmente la solución.

Ejercicio 6. Disponemos de un sistema con las siguientes líneas: **ADDR** (bus de direcciones de 16 bits), **DAT** (bus de datos de 16 bits), **BUSRQ** y **BUSACK** (solicitud y concesión de los buses), **INT** e **INTACK** (solicitud y reconocimiento de interrupción), **MEMREQ**, **RD** y **WR** (control de accesos a memoria). Dibujar el contenido de estas líneas (sin tener en cuenta el número de periodos necesarios para cada ciclo máquina u operación elemental) (se corregirá únicamente el cronograma), a lo largo del proceso siguiente:

- La CPU va a ejecutar las instrucciones **ADD [1515h]** y **STA 2020h**. Suponer que la instrucción primera (suma con el acumulador) está situada en memoria en la dirección **2000h** y siguientes; y la segunda instrucción (almacenamiento del acumulador) se encuentra situada en la posición de memoria suministrada por el vector de interrupción. Los códigos de operación correspondientes a las instrucciones son respectivamente **BBBBh** y **FFFFh**. Considerar el tamaño de los operandos igual al tamaño del bus de datos.
- Durante el tercer ciclo de memoria, un controlador con DMA, solicita los buses para escribir en memoria tres datos (1111h, 2222h y 3333h) a partir de la posición de memoria **B000h**. El controlador opera en modo continuo.
- Supongamos que estos datos eran los últimos para completar el bloque pendiente del controlador de DMA, de forma que a continuación se solicita una interrupción, enviando el vector de interrupción **ABABh** por el bus de datos, permaneciendo la línea de petición de interrupción activa todo el tiempo necesario para ser atendida.
- Antes de la ejecución de las instrucciones dadas, tener en cuenta que:
 - Contenido del acumulador = 0000h
 - Contenido de la dirección 1515h = 3434h
 - Contenido de la dirección 1516h = 3535h
 - Contenido de la dirección 3434h = 2020h
 - Contenido de la dirección 3435h = 2121h
 - Contenido de la dirección 2020h = 1818h
 - Contenido de la dirección 2021h = 1919h

Ejercicio 7. Disponemos de un sistema con las siguientes líneas: ADDR (bus de direcciones de 16 bits), DAT (bus de datos de 8 bits), BUSRQ y BUSACK (solicitud y concesión de los buses), INT e INTACK (solicitud y reconocimiento de interrupción), MEMREQ, RD y WR (control de accesos a memoria). Dibujar el contenido de estas líneas (sin tener en cuenta el número de periodos necesarios para cada ciclo máquina u operación elemental) (se corregirá únicamente el cronograma), a lo largo del proceso siguiente:

- La CPU va a ejecutar las instrucciones **ADD [1515h]** y **STA [2020h]**. Suponer que la instrucción primera (suma con el acumulador) está situada en memoria en la dirección **2000h** y siguientes; y la segunda instrucción (almacenamiento del acumulador) se encuentra situada en la posición de memoria suministrada por el vector de interrupción. Los códigos de operación correspondientes a las instrucciones son respectivamente **BBh** y **FFh**. Considerar el tamaño de los operandos igual al tamaño del bus de datos.
- Durante el cuarto ciclo de memoria, un controlador con DMA, solicita los buses para escribir en memoria tres datos a partir de la posición de memoria **B000h**. El controlador opera en modo continuo.
- Supongamos que estos datos eran los últimos para completar el bloque pendiente del controlador de DMA, de forma que a continuación se solicita una interrupción, enviando el vector de interrupción **ABABh** por el bus de datos, permaneciendo la línea de petición de interrupción activa todo el tiempo necesario para ser atendida.
- Antes de la ejecución de las instrucciones dadas, tener en cuenta que:
 - Contenido del acumulador = 00h
 - Contenido de la dirección 1515h = 34h
 - Contenido de la dirección 1516h = 34h
 - Contenido de la dirección 3434h = 20h
 - Contenido de la dirección 3435h = 20h
 - Contenido de la dirección 2020h = 18h
 - Contenido de la dirección 2021h = 18h

Ejercicio 8. Disponemos de un sistema con las siguientes líneas: ADDR (bus de direcciones de 16 bits), DAT (bus de datos de 8 bits), BUSRQ y BUSACK (solicitud y concesión de los buses), INT e INTACK (solicitud y reconocimiento de interrupción), MEMREQ, RD y WR (control de accesos a memoria). Dibujar el contenido de estas líneas (sin tener en cuenta el número de periodos necesarios para cada ciclo máquina u operación elemental), a lo largo del proceso siguiente:

- La CPU va a ejecutar las instrucciones **ADC 1515h, [1212h]** y **MOVE 2020h, #34h**. Suponer que la instrucción primera está situada en memoria en la dirección **3000h** y siguientes; y la segunda instrucción se encuentra situada en la posición de memoria suministrada por el vector de interrupción. Los códigos de operación correspondientes a las instrucciones son respectivamente **BBh** y **FAh**.
- Durante el segundo ciclo de memoria, un controlador con DMA, solicita los buses para escribir tres datos a partir de la posición de memoria **C000h**. El controlador opera en modo byte.
- Supongamos que estos datos eran los últimos para completar el bloque pendiente del controlador de DMA, de forma que a continuación se solicita una interrupción, enviando el vector de interrupción **ABABh** por el bus de datos, permaneciendo la línea de petición de interrupción activa todo el tiempo necesario para ser atendida.

NOTA: Suponer e indicar valores concretos para las posiciones de memoria implicadas en el proceso y que no se dan en el enunciado.

Ejercicio 9. Disponemos de un sistema con las siguientes líneas: ADDR (bus de direcciones de 16 bits), DAT (bus de datos de 8 bits), BUSRQ y BUSACK (solicitud y concesión de los buses), INT e INTACK (solicitud y reconocimiento de interrupción), MEMREQ, RD y WR (control de accesos a memoria). Dibujar el contenido de estas líneas (sin tener en cuenta el número de periodos necesarios para cada ciclo máquina u operación elemental) (se corregirá únicamente el cronograma) e indicar para cada ciclo el tipo y quién lo realiza, a lo largo del proceso siguiente:

- La CPU va a ejecutar las instrucciones **SUB [1212h]** y **STA 2020h**. Suponer que las instrucciones están situadas en memoria en la dirección **1000h** y siguientes. Los códigos de operación correspondientes a las instrucciones son respectivamente **BBh** y **FFh**. Considerar el tamaño de los operandos igual al tamaño del bus de datos.
- Durante el segundo ciclo de memoria, un controlador con DMA, solicita los buses para escribir en memoria seis datos (10h, 20h, 30h, 40h, 50h y 60h) a partir de la posición de memoria **C000h**. El controlador opera en modo byte.
- Supongamos que estos datos eran los últimos para completar el bloque pendiente del controlador de DMA, de forma que terminando solicita una interrupción, enviando el vector de interrupción **ABABh** por el bus de datos, permaneciendo la línea de petición de interrupción activa todo el tiempo necesario para ser atendida.
- Anteriormente a la ejecución de las instrucciones dadas, tener en cuenta que:
 - Contenido del acumulador = 40h
 - Contenido de la dirección 1212h = 30h
 - Contenido de la dirección 1213h = 30h
 - Contenido de la dirección 2020h = B0h
 - Contenido de la dirección 2021h = B0h
 - Contenido de la dirección 3030h = 40h
 - Contenido de la dirección 3031h = 40h
 - Contenido de la dirección B0B0h = 50h
 - Contenido de la dirección C000h = 11h
 - Contenido de la dirección C001h = 22h
 - Contenido de la dirección C002h = 33h
 - Contenido de la dirección C003h = 44h
 - Contenido de la dirección C004h = 55h
 - Contenido de la dirección C005h = 66h

Ejercicio 10. Disponemos de un sistema con las siguientes líneas: ADDR (bus de direcciones de 16 bits), DAT (bus de datos de 16 bits), BUSRQ y BUSACK (solicitud y concesión de los buses), INT e INTACK (solicitud y reconocimiento de interrupción), MEMREQ, RD y WR (control de accesos a memoria).

- Dibujar el contenido de estas líneas (sin tener en cuenta el número de periodos necesarios para cada ciclo máquina u operación elemental) (se corregirá únicamente el cronograma), a lo largo del proceso siguiente:
 - La CPU va a ejecutar las instrucciones **STA 2020h**, **INC** y **ADD 1515h**. Suponer que la instrucción primera (almacenamiento del acumulador) y segunda (incremento en una unidad del acumulador) están situadas en memoria a partir de la dirección **2000h**; y la tercera instrucción (suma con el acumulador) se encuentra situada a partir de la posición de memoria indicada por el vector de interrupción. Los códigos de operación correspondientes a las instrucciones son respectivamente **BBBBh**, **FFFFh** y **CCCCh**. Considerar el tamaño de los operandos igual al tamaño del bus de datos.

- Durante el cuarto ciclo de memoria, un controlador con DMA, solicita los buses para leer de memoria tres datos almacenados a partir de la posición **3434h**. El controlador opera en modo continuo.
 - Supongamos que estos datos eran los últimos para completar el bloque pendiente del controlador de DMA, de forma que a continuación se solicita una interrupción, enviando el vector de interrupción **AA00h** por el bus de datos, permaneciendo la línea de petición de interrupción activa todo el tiempo necesario para ser atendida.
- b. Definir el contenido final del acumulador y de las direcciones de memoria cuyo contenido, antes de la ejecución de las instrucciones, se especifica a continuación:
- Contenido del acumulador = 1111h
 - Contenido de la dirección 1515h = 3434h
 - Contenido de la dirección 1516h = 3535h
 - Contenido de la dirección 3434h = 2020h
 - Contenido de la dirección 3435h = 2121h
 - Contenido de la dirección 3436h = 2222h
 - Contenido de la dirección 3437h = 2323h
 - Contenido de la dirección 2020h = 1818h
 - Contenido de la dirección 2021h = 1919h

Ejercicio 11. Disponemos de un sistema con las siguientes líneas: ADDR (bus de direcciones de 16 bits), DAT (bus de datos de 16 bits), BUSRQ y BUSACK (solicitud y concesión de los buses), INT e INTACK (solicitud y reconocimiento de interrupción), MEMREQ, RD y WR (control de accesos a memoria).

- a. Dibujar el contenido de estas líneas (sin tener en cuenta el número de períodos necesarios para cada ciclo máquina u operación elemental) (se corregirá únicamente el cronograma), a lo largo del proceso siguiente:
- La CPU va a ejecutar las instrucciones **ADD #1515h, STA [2020h]** y **DEC**. Suponer que la instrucción primera (suma con el acumulador) y segunda (almacenamiento del acumulador) están situadas en memoria a partir de la dirección **5000h**; y la tercera instrucción (decremento en una unidad del acumulador) se encuentra situada en la posición de memoria obtenida al sumar el vector de interrupción con el valor A000h. Los códigos de operación correspondientes a las instrucciones son respectivamente **BB00h, FF22h** y **CC55h**. Considerar el tamaño de los operandos igual al tamaño del bus de datos.
 - Durante el cuarto ciclo de memoria, un controlador con DMA, solicita los buses para leer de memoria tres datos a partir de la posición **3435h**. El controlador opera en modo continuo.
 - Supongamos que estos datos eran los últimos para completar el bloque pendiente del controlador de DMA, de forma que a continuación se solicita una interrupción, enviando el vector de interrupción **011Ch** por el bus de datos, permaneciendo la línea de petición de interrupción activa todo el tiempo necesario para ser atendida.
- b. Definir el contenido final del acumulador y de las direcciones de memoria cuyo contenido, antes de la ejecución de las instrucciones, se especifica a continuación:
- Contenido del acumulador = 0011h
 - Contenido de la dirección 1515h = 0034h
 - Contenido de la dirección 1516h = 0035h

- Contenido de la dirección 3434h = 2020h
- Contenido de la dirección 3435h = 2121h
- Contenido de la dirección 3436h = 2222h
- Contenido de la dirección 3437h = 2323h
- Contenido de la dirección 2020h = 1818h
- Contenido de la dirección 2021h = 1919h

Ejercicio 12. Disponemos de un sistema con CPU basada en banco de registros (con 256 registros de propósito general) y con las siguientes líneas: **ADDR** (bus de direcciones de 16 bits), **DAT** (bus de datos de 16 bits), **BUSRQ** y **BUSACK** (solicitud y concesión de los buses), **INT** e **INTACK** (solicitud y reconocimiento de interrupción), **MEMREQ**, **RD** y **WR** (control de accesos a memoria).

- a. Dibujar el contenido de estas líneas (sin tener en cuenta el número de periodos necesarios para cada ciclo máquina u operación elemental) (se corregirá únicamente el cronograma), a lo largo del proceso siguiente:
 - La CPU va a ejecutar las instrucciones **LD R18, 2020h**, **ADD R18, R200** y **STA [3030h], R18**. Suponer que la primera y segunda instrucción se encuentran en memoria a partir de la dirección **5000h**; y la tercera instrucción se encuentra situada en la posición de memoria obtenida al sumar el vector de interrupción con el valor A000h. Los códigos de operación correspondientes a las instrucciones son respectivamente **BBh**, **CCh** y **FFh**. Considerar el tamaño de los operandos igual al tamaño del bus de datos.
 - Durante el sexto ciclo de memoria, un controlador con DMA, solicita los buses para escribir en memoria los datos **2222h**, **2323h** y **2424h** a partir de la posición **3435h**. El controlador opera en modo carácter.
 - Supongamos que estos datos eran los últimos para completar el bloque pendiente del controlador de DMA, de forma que a continuación se solicita una interrupción, enviando el vector de interrupción **1Ch** por el bus de datos, permaneciendo la línea de petición de interrupción activa todo el tiempo necesario para ser atendida.
- b. Definir el contenido final de los registros implicados y el de las direcciones de memoria cuyo contenido, antes de la ejecución de las instrucciones, se especifica a continuación:
 - Contenido del registro R18 = 0202h
 - Contenido del registro R200 = 0303h
 - Contenido de la dirección 3030h = AAAAh
 - Contenido de la dirección 3031h = BBBBh
 - Contenido de la dirección 3434h = 2020h
 - Contenido de la dirección 3435h = 2121h
 - Contenido de la dirección 3436h = 2222h
 - Contenido de la dirección 3437h = 2323h
 - Contenido de la dirección 2020h = 1818h
 - Contenido de la dirección 2021h = 1919h

