

EXAMEN DE ESTRUCTURA DE COMPUTADORES. La Rábida, 8 de Febrero de 2017

Apellidos Nombre

Valor de cada: Respuesta correcta + 0.10
 Respuesta incorrecta - 0.05
 Sin respuesta - 0.05

TIEMPO REALIZACIÓN EXAMEN: 30 minutos

TEST →	
P1 →	
P2 →	
P3 →	
NOTA →	

1	En la arquitectura Von Neumann, los dos tipos de informaciones que se procesan (datos e instrucciones):	
	A) Se almacenan en dos espacios de direcciones diferentes	C) Emplean la misma codificación ya que representan lo mismo
	B) Se codifican ambas con información binaria	D) Ninguna de las afirmaciones anteriores es correcta
2	Dadas las instrucciones BZ 0B800h y RET:	
	A) Ambas son instrucciones de bifurcación incondicionales	C) Ambas son instrucciones de bifurcación condicionales
	B) Sólo una de ellas es de bifurcación incondicional	D) Sólo una de ellas es de bifurcación
3	Dada la operación $R1 \leftarrow R1 + R2$, siendo R1 y R2 dos registros de propósito general:	
	A) Necesita al menos de un acceso a memoria	C) No necesita de acceso a memoria alguno
	B) No puede realizarse puesto que un registro fuente (R1) hace también de registro destino (R1)	D) Únicamente puede realizarse en un computador de 3 direcciones
4	En el computador Von Neumann, de una dirección:	
	A) Unas instrucciones se decodifican y otras no	C) No puede haber operaciones diádicas
	B) Nada más puede haber operaciones monádicas	D) Ninguna de las afirmaciones anteriores es correcta
5	Si un computador no tiene registro Contador de Programa:	
	A) Es de 4 direcciones	C) Puede ser de cualquier número de direcciones
	B) Puede ser de 3 direcciones	D) Ninguna de las afirmaciones anteriores es correcta
6	Indica posibles tamaños que pueden tener los datos almacenados en memoria:	
	A) Sólo pueden tamaños coincidentes con la palabra de memoria	C) Cualquier tamaño, siempre que la capacidad de la memoria lo permita
	B) Sólo pueden ser de tamaño múltiplo de la palabra de memoria	D) Nunca pueden ser mayor que cuatro palabras de memoria
7	Dada la cadena binaria 00000000:	
	A) Siempre tiene un valor positivo asociado	C) Siempre representa un dato con un valor asociado
	B) Siempre tiene un valor negativo asociado	D) Puede representar una instrucción
8	Un sistema de datos con valores con parte entera y parte fraccionaria:	
	A) Puede ser de coma fija	C) Tiene que ser de coma flotante con mantisa fracción
	B) Tiene que ser de coma flotante con mantisa entera	D) Ninguna de las afirmaciones anteriores es correcta
9	Dado el estándar IEEE 754 de simple precisión, cuando E = 00000000:	
	A) Representa un valor en la zona desnormalizada	C) Representa una indeterminación
	B) Representa un valor en la zona normalizada	D) Puede representar el valor nulo
10	Dado un sistema de representación polinomial cuyo polinomio generador es 1 0 1 0 0 1 0 0 1, su expresión de polinomio en la variable "x" y coeficientes "1" ó "0" es:	
	A) $P(x) = x^8 + x^5 + x^4 + x$	C) $P(x) = x^9 + x^7 + x^3 + 1$
	B) $P(x) = x^9 + x^8 + x^3 + 1$	D) Ninguna de las afirmaciones anteriores es correcta
11	Dado un sistema computador con 20 líneas en el bus de direcciones y mapa de memoria común, se puede afirmar que:	
	A) Nunca se puede aplicar decodificación incompleta	C) Nunca se puede aplicar decodificación completa
	B) No pueden existir dispositivos de E/S ocupando direcciones	D) Ninguna de las afirmaciones anteriores es correcta
12	De las conexiones de la memoria caché, indica la que <u>implica</u> siempre leer o escribir en la memoria principal en caso de acierto:	
	A) La conexión paralela	C) La conexión serie
	B) Ambas conexiones	D) Ninguna de las conexiones
13	Sea un módulo de memoria que sólo contiene, además de las de alimentación necesarias, las siguientes líneas: A_i (dirección), D_i (datos), OE (habilitación de lectura), WE (habilitación de escritura) y CS (selección de chip):	
	A) Se trata de un módulo tipo NOVRAM	C) Se trata de un módulo tipo ROM o PROM
	B) Se trata de un módulo tipo DRAM o RAM	D) Se trata de un módulo de tipo RAM
14	Los mecanismos de traducción de direcciones de memoria principal a direcciones de memoria caché:	
	A) Se resuelven por hardware exclusivamente	C) Se pueden resolver por software además de por hardware
	B) Se resuelven por software exclusivamente	D) Ninguna de las afirmaciones anteriores es correcta
15	Dado un espacio de memoria con organización de 64 Kposiciones y 8 bits en cada posición, se puede cubrir:	
	A) Con 1 módulo de 64Kx4	C) Con 8 módulos de 8Kx16
	B) Con 8 módulos de 8Kx4	D) Ninguna de las afirmaciones anteriores es correcta
16	De las formas propuestas para realizar una operación (aritmética, lógica, ...) en un computador, la más rápida es:	
	A) Mediante un circuito combinacional	C) Mediante un circuito secuencial sin secuencia de estados
	B) Mediante un circuito secuencial con secuencia de estados	D) Mediante un programa
17	Una unidad operativa capaz de realizar operaciones tanto de datos enteros como en coma flotante (FP) suele tener:	
	A) Un único banco de registros de tamaño doble palabra	C) Un único banco de registro para enteros y para FP
	B) Dos bancos de registros: uno para enteros y otro para FP	D) Ninguna de las afirmaciones anteriores es correcta

18	La división de un número por una potencia de dos, se puede realizar:	
	A) Con un circuito secuencial divisor exclusivamente B) Con un circuito desplazador a derecha	C) Con un circuito combinacional divisor exclusivamente D) Ninguna de las afirmaciones anteriores es correcta
19	La operación de extensión de signo de un valor representado en exceso 2^{n-1} (con el mismo exceso en ambos sistemas y siendo 'n' el nº de bits del formato de representación):	
	A) No se puede realizar B) Implica rellenar las posiciones sobrantes con "0s"	C) Implica rellenar las posiciones sobrantes con "1s" D) Se puede realizar con cierta similitud con el Complemento a 2
20	Un coprocesador:	
	A) No tiene definida instrucciones propias B) No es un procesador	C) Tiene contador de programa propio por ser procesador D) Ninguna de las afirmaciones anteriores es correcta
21	El campo código de operación de una instrucción:	
	A) Nunca indica el tipo de operando que interviene en la operación B) Puede indicar o no la operación	C) Indica a la Unidad de Control el nº de accesos a memoria que tiene que hacer en la fase de búsqueda de la instrucción D) Ninguna de las afirmaciones anteriores es correcta
22	El modo de direccionamiento directo o indirecto absoluto a memoria, aparte de los accesos a memoria para buscar la instrucción:	
	A) Puede no implicar acceso a memoria alguno B) Implica siempre un acceso a memoria como mínimo	C) No implica accesos a memoria nunca D) Ninguna de las afirmaciones anteriores es correcta
23	Del modo de direccionamiento inmediato se puede decir que:	
	A) Puede existir para todo tipo de instrucciones B) Puede existir en instrucciones de operaciones lógicas	C) No tiene ninguna utilidad D) No existe en instrucciones aritméticas
24	Comparando los direccionamientos <i>directo relativo a registro base</i> y <i>directo relativo a registro índice</i>:	
	A) El relativo a registro base implica modificación del registro B) El relativo a registro índice implica más operaciones elementales	C) Ambos implican modificación del registro D) El relativo a registro índice implica un formato de instrucción mayor que el relativo a registro base
25	Una de las exigencias fundamentales que debe cumplir cualquier repertorio de instrucciones es que sea <i>completo</i>, es decir:	
	A) Que utilice tan sólo cuatro instrucciones como la Máquina de Turing B) Que pueda realizar cualquier tarea computable	C) Que pueda realizar cualquier tarea en un tiempo finito D) Ninguna de las afirmaciones anteriores es correcta
26	Un Controlador de acceso directo a memoria (DMAC):	
	A) Es un procesador de E/S B) Es un coprocesador de E/S	C) No provoca interrupciones D) Necesita programación
27	Una interrupción vectorizada:	
	A) Se atiende siempre B) Tiene siempre su vector de interrupción definido en las primeras posiciones del mapa de memoria del sistema	C) Implica que el dispositivo que interrumpe ejecute la Rutina de Tratamiento de la Interrupción D) Ninguna de las afirmaciones anteriores es correcta
28	Si cuando redondeamos el valor 0,011001 se obtiene el valor 0,0110, ¿qué técnica se ha aplicado?:	
	A) Cualquiera de las tres técnicas estudiadas B) La del redondeo propiamente dicho exclusivamente	C) La del truncamiento y la del redondeo propiamente dicho D) Ninguna de las afirmaciones anteriores es correcta
29	Un Controlador de Acceso Directo a Memoria es capaz de realizar, sin intervención alguna de la CPU:	
	A) Varias operaciones de E/S a veces B) La transferencia de un bloque de información	C) Una operación de E/S completa siempre D) Ninguna de las afirmaciones anteriores es correcta
30	En la técnica de redondeo denominada <i>Truncamiento y Bit Menos Significativo a Uno</i>, el error que se comete es:	
	A) \leq Resolución/2 B) \leq Resolución	C) $<$ Resolución D) $<$ Resolución/2

Fdo.: Los profesores de la asignatura

EXAMEN DE ESTRUCTURA DE COMPUTADORES

(Convocatoria Ordinaria de Febrero)

La Rábida, 8 de Febrero de 2017

PROBLEMA 1. (3,0 ptos.).

1. Dados los modos de direccionamiento mostrados en la Tabla 1, especificar los distintos formatos de instrucción posibles para cada uno de ellos, suponiendo que:

- El tamaño de la palabra de memoria del computador es de 8 bits y el número de bits del formato de las instrucciones tiene que ser un múltiplo de esta palabra.
- El bus de direcciones tiene 20 líneas.
- El sistema computador tiene un total de 250 instrucciones
- El sistema computador tiene 15 registros que pueden utilizarse como registros de trabajo o como registros base e índice.
- Un dato inmediato está definido con un nº de bits que cumple: $4 < \text{nº de bits} < 16$.
- El formato correspondiente a los modos de *direccionamiento inmediato*, *directo relativo a PC* y *directos relativos a registro base e índice* coinciden en el número de bits.

Tabla 1. Modos de direccionamiento			
Modo de direccionamiento	Prefijo/sufijo	Ejemplo	Operaciones que se realizan
INMEDIATO	Prefijo #	add R1, #18	$R1 \leftarrow R1 + 18$
DIRECTO RELATIVO a PC	Prefijo \$	add R1, \$18	$R1 \leftarrow R1 + M(PC+18)$
DIRECTO RELATIVO a REGISTRO BASE	Corchete [.]	add R1, 18[.3]	$R1 \leftarrow R1 + M(18+R3)$
DIR. REL. a REG. ÍND. con autopostincremento	Sufijo ++	add R1, 18[.3++]	$R1 \leftarrow R1 + M(18+R3)$ $R3 \leftarrow R3 + 1$
INDIRECTO ABSOLUTO A MEMORIA	Corchete []	add R1, [18]	$R1 \leftarrow R1 + M(M(18))$

2. Si el dato inmediato del sistema descrito viene representado en Complemento a 2, ¿cuál es el rango posible?.

3. Representar los valores - 0,25 y $+\infty$ según el estándar IEEE P754 considerando que se necesitan 4 posiciones de memoria del anterior sistema computador para representar dichos datos.

PROBLEMA 2. (2,0 puntos).

Dado un sistema computador con bus de datos de 8 bits y bus de direcciones de 20 líneas y con especificaciones de diseño para el sistema de memoria principal y E/S:

- Mapa de memoria común.
- 512 Kposiciones de memoria para el sistema operativo y para las aplicaciones.
- 256 Kposiciones de memoria para los programas de inicialización, en las primeras posiciones del mapa de memoria.
- Para la E/S se dispone de 64 Kposiciones con módulos de E/S de 16Kx8.
- Se dispone de módulos de memoria RAM de 128Kx8, de NOVRAM 256Kx4, y de EPROM de 128Kx4. Se debe emplear al menos un módulo de cada tipo.
- El tamaño básico debe ser de 128 Kposiciones.
- La decodificación debe ser obligatoriamente completa.

Se pide:

- Dibujar un esquema de cada dispositivo elegido para el diseño, justificando la elección, y detallando todas las líneas de comunicación.
- Diseñar el/los mapa/s de direcciones.

3. Diseñar un esquema de conexión que se corresponda con el/los mapa/s definido/s en el apartado anterior.

PROBLEMA 3. (2,0 puntos).

Disponemos de un sistema con CPU basada en acumulador y con las siguientes líneas: **ADDR** (bus de direcciones de 16 bits), **DAT** (bus de datos de 8 bits), **BUSRQ** y **BUSACK** (solicitud y concesión de los buses), **INT** e **INTACK** (solicitud y reconocimiento de interrupción), **MEMREQ**, **RD** y **WR** (control de accesos a memoria).

- a. Dibujar el contenido de estas líneas con información en hexadecimal (sin tener en cuenta el número de periodos necesarios para cada ciclo máquina u operación elemental) (**se corregirá únicamente lo que aparezca en la hoja del cronograma**), a lo largo del proceso siguiente:
 - i. La CPU ejecuta las instrucciones **LDA 1515h**, **DEC**, **ADD 2020h**, **SUB #15** y **STA 1515h**. Suponer que la primera, segunda y tercera instrucción se encuentran en memoria a partir de la dirección **0A00h**; y las cuarta y quinta instrucciones se encuentran situadas a partir de la posición de memoria obtenida concatenando el vector de interrupción (parte de menos peso de la dirección) con el valor **CCh** (parte de más peso de la dirección). Los códigos de operación correspondientes a las instrucciones son respectivamente **00h**, **11h**, **22h**, **33h** y **44h**. Considerar el tamaño de los operandos igual al tamaño del bus de datos.
 - ii. Durante el quinto ciclo de memoria, un controlador con DMA, solicita los buses para escribir en memoria los datos **AAh**, **BBh** y **CCh** a partir de la posición **B000h**. El controlador opera en modo continuo.
 - iii. Supongamos que estos datos eran los últimos para completar el bloque pendiente del controlador de DMA, de forma que a continuación se solicita una interrupción, enviando el vector de interrupción **44h** por el bus de datos, permaneciendo la línea de petición de interrupción activa hasta ser atendida.
- b. Definir los contenidos (en hexadecimal) que van teniendo todos los elementos de almacenamiento implicados. El contenido de dichos elementos de almacenamiento anteriormente a la ejecución de las instrucciones es nulo o el especificado en la relación siguiente:
 - i. Contenido de la dirección 1515h = 12h
 - ii. Contenido de la dirección 1516h = 12h
 - iii. Contenido de la dirección 2020h = 18h
 - iv. Contenido de la dirección 2021h = 18h

Fdo.: Los profesores de la asignatura.

Apellidos: **Nombre:**

[illegible]