

EXAMEN DE ESTRUCTURA DE COMPUTADORES. La Rábida, 2 de Septiembre de 2015

Apellidos Nombre

Valor de cada: Respuesta correcta + 0.1
 Respuesta incorrecta - 0.05
 Sin respuesta - 0.05

TIEMPO REALIZACIÓN EXAMEN: 30 minutos

1	En la arquitectura Von Neumann, indica los tipos de informaciones que se pueden leer/escribir en la Memoria Principal: A) Sólo leer instrucciones y datos B) Instrucciones y datos C) Sólo leer instrucciones y escribir datos D) Sólo escribir instrucciones y datos	B
2	Dada la instrucción BZ 0B800h: A) No tiene fase de decodificación B) No tiene fase de búsqueda del operando C) No tiene fase de búsqueda de la siguiente instrucción D) Ninguna de las afirmaciones anteriores es correcta	B
3	Dadas las operaciones LOAD A / MOVE AX, BX / SUB A, B, C: A) Corresponden a computadores de 1, 2 y 3 direcciones respectivamente B) Corresponden a un computador de 1 dirección C) Corresponden a un computador de 2 direcciones D) Corresponden a un computador de 3 direcciones	A
4	En el computador Von Neumann: A) Es necesario que se almacene previamente la información en la memoria principal antes de procesarse B) Pueden no existir instrucciones aritméticas C) Toda combinación de unos y ceros representará siempre a un dato D) Ninguna de las afirmaciones anteriores es correcta	A
5	Comparando un computador de 3 con otro de 4 direcciones, indica lo que tienen en común: A) El registro contador de programa B) El registro acumulador C) El formato de instrucción D) La estructura de la unidad aritmético lógica	D
6	Indica posibles tamaños que puede tener un dato almacenado en memoria: A) Sólo puede coincidir con el tamaño de la palabra de memoria B) Byte y palabra C) Sólo tamaño byte D) Nunca mayor que palabra cuádruple	B
7	Dada la cadena binaria 100....00, indica los sistemas de representación en los que su valor equivalente decimal es cero: A) Binario puro sin signo B) Exceso $Z = 2^{n-1}$ C) Complemento a 2 D) Complemento a 1	B
8	De los sistemas de representación estudiados, indica en el que es posible tener una representación de $+\infty$: A) Estándar IEEE 754 B) Sólo estándar IEEE 754 de doble precisión C) En todos los sistemas estudiados D) En ninguno de los sistemas estudiados	A
9	Dado el estándar IEEE 754 de doble precisión, cuando E = 000...01 y M = 000...00: A) Representa un número de la zona normalizada B) Representa un número de la zona desnormalizada C) Representa indeterminaciones del tipo 0/0 D) Representa el valor 1	A
10	Dado un sistema de representación polinomial cuyo polinomio generador es $P(x) = x^{16} + x^{12} + x^5 + 1$, podemos afirmar que: A) El grado del polinomio generador es $r = 16$ B) El grado del polinomio generador es $r = 17$ C) El grado del polinomio generador es $r = 1$ D) Ninguna de las afirmaciones anteriores es correcta	A
11	Considerando un sistema con mapa de memoria común con una capacidad de 512 kposiciones donde los módulos de E/S ocupan 1/4 del mapa, indica el espacio que queda libre para los módulos de memoria: A) 384 kposiciones B) 256 kposiciones C) 128 kposiciones D) Ninguna de las afirmaciones anteriores es correcta	A
12	Indica cuál de las siguientes afirmaciones es cierta: A) La memoria caché pertenece a la memoria externa y la memoria virtual a memoria interna B) Tanto memoria caché como virtual pertenecen a la memoria interna C) La memoria caché pertenece a la memoria interna y la memoria virtual a memoria externa D) Tanto memoria caché como virtual pertenecen a la memoria externa	C
13	Comparando los módulos de memoria de tipo ROM, RAM y NOVRAM: A) Todos tienen líneas de tipo Ai (dirección), Di (datos), OE (habilitación de lectura) y CS (selección de chip) B) Sólo tienen en común las líneas de tipo Ai (dirección) C) Todos tienen en común las líneas de tipo Ai (dirección) y CS (selección de chip) D) No tienen ninguna línea en común	A
14	Sea un sistema computador con un bus de direcciones de 20 líneas, de las que se utilizan la $A_{19} - A_{10}$ para acceder al mapa de E/S: A) El mapa de E/S es de 1 kposiciones B) El mapa de E/S es de 2 kposiciones C) El mapa de E/S es de 1 Mposiciones D) Ninguna de las afirmaciones anteriores es correcta	A
15	Dado un espacio de memoria con capacidad de 1 MBytes y ancho de palabra de 16 bits en cada posición: A) El bus de direcciones será de 20 líneas B) El bus de direcciones será de 21 líneas C) Se pueden acceder hasta 512 kposiciones diferentes D) Se pueden acceder hasta 2^{20} posiciones diferentes	C
16	Para una misma tecnología, ¿de qué forma se realiza una operación (aritmética, lógica, ...) más rápidamente? A) Con un circuito combinacional B) Con un circuito secuencial cuya unidad de control es la de la CPU C) Con un circuito secuencial con unidad de control propia D) Ninguna de las afirmaciones anteriores es correcta	A
17	La unidad operativa de una CPU capaz de realizar operaciones tanto con datos enteros como en coma flotante (FP) tiene: A) Un único banco de registro para enteros y para FP B) Dos bancos de registros: uno para enteros y otro para FP C) Un único banco de registros de tamaño doble palabra D) Ninguna de las afirmaciones anteriores es correcta	B
18	En un computador, un número binario (en cualquier sistema de representación) se puede multiplicar por 4: A) Con un desplazamiento lógico doble B) Con un desplazamiento aritmético doble C) Con un desplazamiento aritmético sencillo D) Con un circuito secuencial multiplicador exclusivamente	B

19	La operación de extensión de signo para un valor representado en formato de coma flotante, implica:		C
	A) Extensión del exponente exclusivamente B) Extensión de la mantisa exclusivamente	C) Extensión de signo del exponente y/o la mantisa D) Extensión del exponente y la mantisa siempre	
20	Un coprocesador:		D
	A) Es un procesador con contador de programa propio B) Es un procesador que no emplea contador de programa alguno	C) Tiene que ser matemático a la fuerza D) No tiene contador de programa propio y exclusivo	
21	El campo código de operación de una instrucción:		C
	A) Puede indicar o no la operación a realizar con los operandos B) Nunca indica el tipo de operando que interviene en la operación	C) Puede definir implícitamente el operando de una operación monádica D) Tiene siempre el mismo nº de bits en todas las instrucciones de un determinado procesador	
22	Sin contar los accesos a memoria necesarios para buscar la instrucción, el modo de direccionamiento indirecto absoluto a memoria:		A
	A) Puede implicar un único acceso a memoria B) Implica siempre dos accesos a memoria	C) No implica ningún accesos a memoria D) Ninguna de las afirmaciones anteriores es correcta	
23	El modo de direccionamiento inmediato:		D
	A) Puede existir para todo tipo de instrucciones B) No tiene utilidad alguna	C) No implica operando alguno D) Ninguna de las afirmaciones anteriores es correcta	
24	Comparando los direccionamientos <i>directo relativo a registro base</i> y <i>directo relativo a registro índice</i>:		D
	A) El relativo a registro base implica modificación del registro B) El relativo a registro índice implica siempre un formato de instrucción mayor que el relativo a registro base	C) El relativo a registro índice no implica modificación del registro D) Ninguna de las afirmaciones anteriores es correcta	
25	El que un repertorio de instrucciones sea <i>completo</i> significa:		D
	A) Que utiliza las mismas instrucciones que la Máquina de Turing B) Que tiene todas las operaciones aritméticas posibles	C) Que tiene todos los modos de direccionamiento y todos los tipos de operandos en todas las operaciones posibles D) Ninguna de las afirmaciones anteriores es correcta	
26	Un Canal de E/S es:		B
	A) Un registro perteneciente a un dispositivo de E/S con capacidad de provocar una interrupción B) Un dispositivo con capacidad de acceso directo a memoria	C) Una puerta de acceso de un Controlador de Acceso Directo a Memoria D) Un Controlador de Acceso Directo a Memoria	
27	En una interrupción vectorizada:		A
	A) El dispositivo que interrumpe suministra información relativa a la dirección de comienzo de la Rutina de Tratamiento de la Interrupción B) No existe ninguna rutina de tratamiento de la interrupción	C) El dispositivo que interrumpe ejecuta la Rutina de Tratamiento de la Interrupción D) Ninguna de las afirmaciones anteriores es correcta	
28	La Gestión Distribuida de Prioridades:		D
	A) Implica que el recurso sea el que indique quién se queda con la fase de servicio B) Se aplica exclusivamente cuando el recurso a compartir es la memoria	C) No se emplea en los sistemas computadores actuales nunca D) Implica que los mismos peticionarios se pongan de acuerdo entre si para determinar quién se queda con el uso del recurso	
29	Un Controlador de Acceso Directo a Memoria es capaz de realizar, sin intervención alguna de la CPU:		C
	A) Varias operaciones de E/S B) Una operación de E/S completa siempre	C) La transferencia de un bloque de información de una operación de E/S D) Ninguna de las afirmaciones anteriores es correcta	
30	En la técnica de redondeo denominada <i>Truncamiento y Bit Menos Significativo a Uno</i> el error cometido es:		C
	A) \leq Resolución/2 B) $<$ Resolución	C) \leq Resolución D) $<$ Resolución/2	

Fdo.: Los profesores de la asignatura

EXAMEN DE ESTRUCTURA DE COMPUTADORES

(Convocatoria Ordinaria de Septiembre)

La Rábida, 2 de Septiembre de 2015

Problema 1. (2,5 puntos).

Apartado a) Sea un sistema computador de cuatro direcciones y las siguientes características:

- Modelos de ejecución REG-REG y REG-MEM.
- Modos de direccionamiento para los campos de dirección primero y segundo:
 - Directo Absoluto a Registro.
- Modos de direccionamiento para el tercer campo de dirección:
 - Directo Absoluto a Registro.
 - Directo Absoluto a Memoria.
- Repertorio de 500 instrucciones.
- Dispone de un banco de 16 registros de propósito general.
- El máximo espacio direccionable es de 2 Kposiciones.

Se pide:

- Especificar los distintos formatos de instrucción posibles para cada modo de direccionamiento.

Apartado b) Estudiar (indicando rango, resolución, error absoluto y error relativo) el siguiente sistema de representación en formato de coma flotante:

- Base del exponente 2.
- Mantisa con bit implícito y representación signo-magnitud.
- Número de bits del formato $n = 24$.
- Número de bits para el exponente $q = 8$ y representación en exceso 2^{q-1} .

Problema 2. (2,25 puntos).

Dado un sistema computador con bus de datos de 8 bits y bus de direcciones de 16 bits y con especificaciones de diseño para el sistema de memoria principal y E/S:

- Mapa de memoria común.
- 32 Kposiciones de memoria para el sistema operativo y para las aplicaciones.
- 8 Kposiciones de memoria para los programas de inicialización, en las primeras posiciones del mapa de memoria.
- Para la E/S se ocupan las 4 Kposiciones últimas del mapa de memoria.
- Se dispone de módulos de memoria RAM de 8Kx8, de NOVRAM 16Kx4, de UVEPROM de 16Kx8, de ROM de 4Kx4, y de módulos de E/S de 2Kx8.

Se pide:

- a) Dibujar un esquema de cada **dispositivo elegido para el diseño**, detallando todas las líneas de comunicación. Justificar la elección de los módulos.
- b) Diseñar el/los mapa/s de direcciones. Considerar decodificación completa de las direcciones.
- c) Diseñar un esquema de conexión que se corresponda con el/los mapa/s definido/s en el apartado anterior.

Problema 3. (2,25 puntos).

Disponemos de un sistema con CPU basada en acumulador y con las siguientes líneas: **ADDR** (bus de direcciones de 16 bits), **DAT** (bus de datos de 8 bits), **BUSRQ** y **BUSACK** (solicitud y concesión de los buses), **INT** e **INTACK** (solicitud y reconocimiento de interrupción), **MEMREQ**, **RD** y **WR** (control de accesos a memoria).

- a. Dibujar el contenido de estas líneas (sin tener en cuenta el número de periodos necesarios para cada ciclo máquina u operación elemental) (se corregirá únicamente el cronograma), a lo largo del proceso siguiente:
 - i. La CPU va a ejecutar las instrucciones **LDA 3030h**, **ADD 1515h**, **SUB [1212h]** y **STA 2020h**. Suponer que la primera, segunda y tercera instrucción se encuentran en memoria a partir de la dirección **6700h**; y la cuarta instrucción se encuentra situada en la posición de memoria obtenida al concatenar el vector de interrupción (parte de más peso de la dirección) con el valor **50h** (parte de menos peso de la dirección). Los códigos de operación correspondientes a las instrucciones son respectivamente **FAh**, **FBh**, **FCh** y **FFh**. Considerar el tamaño de los operandos igual al tamaño del bus de datos.
 - ii. Durante el sexto ciclo de memoria, un controlador con DMA, solicita los buses para escribir en memoria los datos **11h**, **22h** y **33h** a partir de la posición **00BFh**. El controlador opera en modo continuo.
 - iii. Supongamos que estos datos eran los últimos para completar el bloque pendiente del controlador de DMA, de forma que a continuación se solicita una interrupción, enviando el vector de interrupción **1Ch** por el bus de datos, permaneciendo la línea de petición de interrupción activa todo el tiempo necesario para ser atendida.
- b. Definir el contenido final del acumulador y el de las direcciones de memoria, cuyos contenidos anteriores a la ejecución de las instrucciones se especifica a continuación:
 - i. Contenido del Reg. Acumulador = 00h
 - ii. Contenido de la dirección 1212h = 24h
 - iii. Contenido de la dirección 1213h = 24h
 - iv. Contenido de la dirección 1515h = 12h
 - v. Contenido de la dirección 1516h = 12h
 - vi. Contenido de la dirección 2424h = 55h
 - vii. Contenido de la dirección 3030h = 66h
 - viii. Contenido de la dirección 3031h = AAh
 - ix. Contenido de la dirección 2020h = 18h
 - x. Contenido de la dirección 2021h = 19h

Fdo.: Los profesores de la asignatura.

Apellidos: **Nombre:**

ADDR()

DAT()

BUSREQ

BUSACK

INT

INTACK

MEMREQ

RD

WR

Tipo de ciclo