

**ESTRUCUTRA DE COMPUTADORES**  
**TEMA 6. COMUNICACIÓN CON EL EXTERIOR**  
Sesión de Test

1	<p><b>Además del Controlador de Acceso Directo a Memoria (DMAC), otros dispositivos de E/S con capacidad de acceso directo a memoria:</b></p> <p>A) Son todos los dispositivos de E/S con capacidad de provocar interrupciones B) Son los Procesadores de E/S C) No existen D) Ninguna de las afirmaciones anteriores es correcta</p>	
2	<p><b>Un Controlador de Acceso Directo a Memoria (DMAC) es capaz de realizar, sin intervención alguna de la CPU:</b></p> <p>A) La transferencia de varios bloques de información B) La transferencia de un bloque de información C) Cualquier operación de E/S D) Ninguna de las afirmaciones anteriores es correcta</p>	
3	<p><b>Una interrupción vectorizada:</b></p> <p>A) Es una ruptura de secuencia programada B) Es atendida siempre por la CPU, independientemente del valor del Biestable de Inhibición de Interrupciones C) Es exclusiva para los dispositivos con capacidad de DMA D) Ninguna de las afirmaciones anteriores es correcta</p>	
4	<p><b>Un Controlador de acceso directo a memoria (DMAC):</b></p> <p>A) No puede provocar interrupciones B) Es un procesador de E/S C) No maneja los buses nunca D) Necesita ser programado</p>	
5	<p><b>Un coprocesador:</b></p> <p>A) No tiene definida instrucciones propias B) No es un procesador C) Tiene contador de programa propio por ser procesador D) Ninguna de las afirmaciones anteriores es correcta</p>	
6	<p><b>La Gestión Distribuida de Prioridades:</b></p> <p>A) El recurso indica quién se queda con la fase de servicio B) Se aplica exclusivamente cuando el recurso a compartir es la memoria C) No se emplea en los sistemas computadores actuales nunca D) Los mismos peticionarios se ponen de acuerdo entre sí para determinar quién se queda con el uso del recurso</p>	
7	<p><b>Un Canal de E/S es:</b></p> <p>A) Un Controlador de Acceso Directo a Memoria B) Un registro perteneciente a un dispositivo de E/S con capacidad de provocar una interrupción C) Un Procesador D) Una puerta de acceso de un Controlador de Acceso Directo a Memoria</p>	