

EXAMEN DE ESTRUCTURA DE COMPUTADORES. La Rábida, 10 de Febrero de 2014

Apellidos Nombre

Valor de cada: Respuesta correcta + 0.1
 Respuesta incorrecta - 0.05
 Sin respuesta - 0.05

TIEMPO REALIZACIÓN EXAMEN: **30 minutos**

1		De los tipos de sistema computador, indica aquellos en los que el registro acumulador no es imprescindible:		
A) El computador de 1 y 2 direcciones B) El computador de 3 y 4 direcciones		C) Todos los computadores necesitan el registro acumulador D) Ninguna de las afirmaciones anteriores es correcta		
2		Atendiendo al concepto de máquina de programa almacenado de Von Neumann, se puede decir que:		
A) Una calculadora puede ser una máquina de programa almacenado B) Un disco duro es un dispositivo de programa almacenado		C) En este tipo de máquinas son imprescindibles el ratón y el teclado D) Ninguna de las afirmaciones anteriores es correcta		
3		En un computador de dos direcciones, para realizar la operación $A \leftarrow A+B$, es/son necesaria/s:		
A) Una instrucción B) Dos instrucciones		C) Tres instrucciones D) Cuatro instrucciones		
4		En el computador Von Neumann:		
A) Cualquier combinación de unos y ceros podría representar tanto a un dato como a una instrucción B) Pueden no existir instrucciones de bifurcación condicional		C) No es necesario que se almacene previamente la información en la memoria principal antes de procesarse D) Ninguna de las afirmaciones anteriores es correcta		
5		¿Dónde se encuentra la siguiente instrucción a ejecutar en un computador de 1 dirección?		
A) En el primer campo de dirección del formato de instrucción B) En el campo código de operación del formato de instrucción		C) En el contador de programa D) En algún lugar de la jerarquía de memoria		
6		Sea la cadena binaria 0,0110000, está normalizada:		
A) Sólo en base 4 y 8 B) En base 8		C) Sólo en base 16 D) En base 2		
7		Indica en cuál de los siguientes sistemas de representación el rango es exclusivamente positivo:		
A) Signo-magnitud B) Binario natural sin signo		C) Complemento a 1 D) Todos los sistemas de representación tienen un rango de representación de valores positivos y negativos		
8		Una resolución menor que la unidad se puede obtener:		
A) En un sistema en formato de coma flotante, tanto con mantisa entera como con mantisa fracción B) Únicamente en un sistema en formato de coma flotante		C) En un sistema en formato de coma flotante, únicamente si la mantisa es fracción D) Ninguna de las respuestas anteriores es correcta		
9		En un sistema con formato de coma flotante, si la mantisa tiene un bit implícito, se puede decir que:		
A) La base del exponente es 4 B) La mantisa es entera		C) En el formato, la representación 000...0 de la mantisa no existe D) La mantisa está normalizada		
10		Sea el código polinomial con $P(x) = x+1$, el grado del polinomio generador es:		
A) $r = 1$ B) $r = 2$		C) $r = 0$ D) Con los datos proporcionados no es posible saberlo		
11		Atendiendo a la característica del coste por bit en los niveles de memoria, se puede decir que:		
A) Un módulo de memoria RAM de 8 GB puede ser más costoso que un disco duro de 500 GB B) Un módulo de memoria RAM de 8 GB siempre será más económico que un disco duro de 500 GB		C) El coste por bit disminuye a medida que subimos en los niveles de jerarquía D) El coste por bit disminuye a medida que se reduce el tiempo de acceso		
12		De los siguientes tipos de memoria, la que permite operaciones de lectura y escritura simultáneas en posiciones diferentes es:		
A) La memoria NOVRAM B) La memoria RAM dinámica		C) La memoria multipuerta D) Al ser a posiciones diferentes, todos los tipos de memoria lo permiten		
13		En un sistema con memoria virtual, ¿quién se encarga de definir los bloques de información de la memoria principal?		
A) La unidad de manejo de memoria (MMU) B) El sistema operativo		C) El usuario que ha diseñado la aplicación D) El controlador de memoria caché		
14		En un sistema con memoria caché, la técnica de memoria entrelazada se emplea para:		
A) Aumentar el ancho de palabra de la memoria B) Disminuir el tiempo de acceso en caso de acierto		C) Reducir el tiempo de penalización por fallos D) Aumentar la capacidad de memoria caché		
15		Una de las desventajas de la conexión serie de la memoria caché es:		
A) La penalización por fallos de caché B) El aumento del número de peticiones a la Memoria Principal		C) La utilización del bus del sistema en todos los accesos a memoria D) La necesidad de un sistema operativo especial		
16		La operación de multiplicación $1Ch * 4h$, da como resultado el valor:		
A) 4Ch B) 70		C) 70h D) 112h		
17		Las operaciones de múltiple precisión se emplean cuando:		
A) Se quieren simplificar las operaciones B) Los datos vienen representados según el sistema signo-magnitud exclusivamente		C) El usuario permite mayor error absoluto D) Los resultados de las operaciones pueden exceder del rango de la representación en simple precisión		

18	Dado la representación binaria 0,1101101, si queremos representarla en un sistema con parte fracción de 4 bits y aplicando la técnica de redondeo propiamente dicho, se obtiene como resultado:		
	A) 0,1111	C) 0,1011	
	B) 0,1110	D) 0,1101	
19	La operación de cambio de signo en un sistema de C2 y n bits se realiza:		
	A) Simplemente complementando cada uno de los bits	C) Es imposible realizarla	
	B) Restando de 2 ⁿ la combinación de bits dada	D) Complementando el bit de signo	
20	Si aplicamos un desplazamiento circular a izquierda de una posición a la combinación 101000 representada en signo-magnitud, se obtiene:		
	A) 110000	C) 110001	
	B) 010001	D) No es posible realizar el desplazamiento circular	
21	En relación a la fase de preparación de la siguiente instrucción:		
	A) El contador de programa se incrementa en tantas unidades como posiciones de memoria ocupe la instrucción ejecutada	C) El contador de programa se incrementa en tantas unidades como lecturas en memoria se hayan realizado	
	B) El contador de programa se incrementa siempre en una única unidad	D) Ninguna de las afirmaciones anteriores es correcta	
22	El modo de direccionamiento indirecto absoluto a registro se emplea en la instrucción:		
	A) BZ (18(.4))	C) SUB .2, (.5)	
	B) AND .15, 18(.2++)	D) ADD .3, (12(.2++))	
23	El registro de instrucción contiene:		
	A) La dirección de la instrucción extraída de memoria	C) Una orden de la unidad operativa a la unidad de control	
	B) La dirección de la instrucción en curso	D) Ninguna de las afirmaciones anteriores es correcta	
24	De las siguientes instrucciones, indica cuáles NO tienen sentido:		
	A) BZ #2	C) BZ (.2)	
	B) BZ 2	D) Ninguna de las afirmaciones anteriores es correcta	
25	Comparando los modos de direccionamiento en los computadores de 1, 2, 3 y 4 direcciones, puede decirse que:		
	A) El computador de 1 dirección dispone de un menor número de modos de direccionamiento que el resto	C) Los computadores de 3 y 4 direcciones deben emplear el mismo modo de direccionamiento para todos los campos de dirección	
	B) El computador de 2 direcciones no hace uso de los modos de direccionamiento para especificar el lugar donde se almacena el resultado	D) Todos los computadores pueden emplear todos los modos de direccionamiento	
26	En una operación de DMA, ¿cuándo la CPU atiende una petición de bus?		
	A) Al finalizar la ejecución de la instrucción en curso	C) Cuando haya terminado de acceder a memoria	
	B) Cuando la línea de petición de interrupción (INT) esté activa	D) En el siguiente ciclo de bus	
27	En el caso del microprocesor 8086 estudiado en prácticas, atendiendo a la forma de atender la interrupción 1Ch:		
	A) Se dice que es una interrupción enmascarable	C) Se dice que es una interrupción direccionada	
	B) Se dice que es una interrupción no enmascarable	D) Se dice que es una interrupción vectorizada	
28	La gestión de prioridades correspondiente a un Controlador de Interrupciones (como por ejemplo el Controlador Programable de Interrupciones 8259 de Intel) pertenece al tipo de gestión:		
	A) Distribuida	C) Híbrida	
	B) Centralizada	D) Ninguna de las afirmaciones anteriores es correcta	
29	El acceso a memoria realizado por el DMA estudiado en los ejercicios del Tema 6 se considera:		
	A) Por memoria multipuerta	C) Por robo de ciclo	
	C) Por generación de interrupción	D) Depende del tipo de periférico	
30	Dado el vector de interrupción ABABh, en un computador con bus de datos de 8 bits:		
	A) Se emplea un único ciclo de bus para mandar el vector	C) El vector se envía por el bus de direcciones	
	B) Se emplean dos ciclos de bus para mandar el vector	D) No es posible mandar este vector por el bus de datos	

Fdo.: Los profesores de la asignatura

EXAMEN DE ESTRUCTURA DE COMPUTADORES

(Convocatoria Ordinaria de Febrero)

La Rábida, 10 de Febrero de 2014

Problema 1. (2,5 puntos). Resolver, siempre de forma justificada, las siguientes cuestiones:

1. Obtener las representaciones correspondientes al valor decimal **-12**, con $n = 6$ para los apartados a, b, c y d, según los siguientes sistemas de representación:
 - a. Signo-magnitud
 - b. Complemento a 1
 - c. Complemento a 2
 - d. Exceso $Z = 2^{n-1}$
 - e. Estándar IEEE 754 de doble precisión
2. Obtener el valor decimal de la combinación binaria 010101 de acuerdo a los siguientes sistemas de representación:
 - a. Signo-magnitud
 - b. Complemento a 1
 - c. Complemento a 2
 - d. Exceso $Z = 2^{n-1}$
3. Calcular el valor de la siguiente representación, expresada según el estándar IEEE 754 de simple precisión:

1	0 0 0 0 0 0 0	1 0 1
---	---------------	---

4. Aplicar las tres técnicas de redondeo estudiadas sobre las siguientes representaciones binarias para un formato de $n = 6$ bits en la parte fracción. Calcular el error cometido en cada caso, especificando si es error por exceso o por defecto:
 - a. 0,110011011111
 - b. 0,1000100010111
 - c. 0,1000000000100
 - d. 0,011111111000

Problema 2. (2,5 puntos). Supongamos un computador con bus de datos de 8 bits y bus de direcciones de 24 bits. Las especificaciones de diseño para el sistema de memoria principal y E/S deben cumplir los siguientes requisitos:

- Mapa de memoria común.
- Tamaño básico para el mapa de memoria de 512 Kposiciones.
- 512 Kposiciones de memoria de L/E volátil ocupando las últimas posiciones del mapa de memoria.
- 256 Kposiciones de memoria de L/E no volátil.
- 128 Kposiciones de memoria de sólo L, situadas en las primeras posiciones del mapa.
- Para E/S se debe disponer de un espacio de 64 Kposiciones, ocupadas con módulos de E/S de 16Kx8.
- Se dispone de módulos de memoria RAM de 256Kx4, de NOVRAM 128Kx8, de UVEPROM de 128Kx8, de ROM de 128Kx4 y de PROM de 128Kx8.

Se pide:

- a) Dibujar un esquema de cada dispositivo empleado, detallando las líneas de comunicación.
- b) Diseñar el/los mapa/s de direcciones.
- c) Diseñar un esquema de conexión que se corresponda con el/los mapa/s definido/s en el apartado anterior.

Si el computador es de una dirección y tiene las siguientes características:

- Modelos de ejecución REG-MEM (y MEM-REG).
 - 3 modos de direccionamiento:
 - Inmediato.
 - Directo Absoluto a Memoria.
 - Indirecto Relativo a Registro Base.
 - Repertorio de 256 instrucciones.
 - Dispone de un banco de 16 registros de propósito general; donde cualquiera de ellos puede actuar como registro base.
 - El número de accesos a memoria para leer una instrucción con cualquiera de los modos de direccionamiento es de cuatro. *Toda la información obtenida con esos cuatro accesos define la instrucción, sea cual sea el modo de direccionamiento empleado.*
- d) Especificar los distintos formatos de instrucción posibles.
 e) Si el desplazamiento expresado viene representado en Complemento a 2, ¿cuál es el rango posible para ese desplazamiento?
 f) ¿Cuántas posiciones de memoria necesita un dato para poder almacenarse?

Problema 3. (2 puntos). Disponemos de un sistema con las siguientes líneas: ADDR (bus de direcciones de 16 bits), DAT (bus de datos de 16 bits), BUSRQ y BUSACK (solicitud y concesión de los buses), INT e INTACK (solicitud y reconocimiento de interrupción), MEMREQ, RD y WR (control de accesos a memoria).

- a) Dibujar el contenido de estas líneas (sin tener en cuenta el número de periodos necesarios para cada ciclo máquina u operación elemental) (se corregirá únicamente el cronograma), a lo largo del proceso siguiente:
- La CPU va a ejecutar las instrucciones **STA 2020h**, **INC** y **ADD 1515h**. Suponer que la instrucción primera (almacenamiento del acumulador) y segunda (incremento en una unidad del acumulador) están situadas en memoria a partir de la dirección **2000h**; y la tercera instrucción (suma con el acumulador) se encuentra situada a partir de la posición de memoria indicada por el vector de interrupción. Los códigos de operación correspondientes a las instrucciones son respectivamente **BBBBh**, **FFFFh** y **CCCCh**. Considerar el tamaño de los operandos igual al tamaño del bus de datos.
 - Durante el cuarto ciclo de memoria, un controlador con DMA, solicita los buses para leer de memoria tres datos almacenados a partir de la posición **3434h**. El controlador opera en modo continuo.
 - Supongamos que estos datos eran los últimos para completar el bloque pendiente del controlador de DMA, de forma que a continuación se solicita una interrupción, enviando el vector de interrupción **AA00h** por el bus de datos, permaneciendo la línea de petición de interrupción activa todo el tiempo necesario para ser atendida.
- b) Definir el contenido final del acumulador y de las direcciones de memoria cuyo contenido, antes de la ejecución de las instrucciones, se especifica a continuación:
- Contenido del acumulador = 1111h
 - Contenido de la dirección 1515h = 3434h
 - Contenido de la dirección 1516h = 3535h
 - Contenido de la dirección 3434h = 2020h
 - Contenido de la dirección 3435h = 2121h
 - Contenido de la dirección 3436h = 2222h
 - Contenido de la dirección 3437h = 2323h
 - Contenido de la dirección 2020h = 1818h
 - Contenido de la dirección 2021h = 1919h