

# دیکودر ۲ به ۴ با تأخیر قابل تنظیم

## اصول طراحی

الف) منطق دیکودر

- از ساختار `when-select-with` برای پیاده‌سازی استفاده شده که انتخاب خروجی را بر اساس ترکیب ورودی‌ها تعیین می‌کند.
- این روش جایگزین مناسبی برای دستورات `case` در توصیف همزمان است.

ب) کنترل فعال‌سازی

- مدار تنها زمانی عمل دیکد کردن را انجام می‌دهد که سیگنال `enable` در حالت فعال ('1') باشد.
- در حالت غیرفعال، تمام خروجی‌ها بدون تأخیر به صفر منطقی می‌روند.

ج) مکانیزم تأخیر

- پارامتر `DELAY` به صورت Generic تعریف شده که امکان تنظیم زمان تأخیر را فراهم می‌کند.
- تأخیر هم بر روی حالت فعال و هم غیرفعال خروجی‌ها اعمال می‌شود.

## تست‌گذاری

الف) اهداف تست

- بررسی صحت عملکرد دیکودر در تمام ترکیبات ورودی
- تأیید عملکرد صحیح سیگنال `enable`
- اندازه‌گیری تأخیر خروجی‌ها

ب) سناریوهای تست اصلی

۱. تست غیرفعال بودن مدار:

- بررسی صفر بودن تمام خروجی‌ها هنگام `enable = '0'`

۲. تست ترکیبات ورودی:

- بررسی یکتایی خروجی فعال برای هر ترکیب ورودی
- تأیید عدم تداخل خروجی‌ها

۳. تست تغییرات سریع:

- بررسی پاسخ مدار به تغییرات پشت سر هم ورودی‌ها

۴. تست تأخیر زمانی:

- اندازه‌گیری فاصله زمانی بین تغییر ورودی و به‌روزرسانی خروجی

