

# تایمر دیجیتال

## بخش اول: طراحی اصلی تایمر دیجیتال

### ۱. معماری کلی

این ماژول یک تایمر دیجیتال با قابلیت نمایش زمان تا ۹ دقیقه و ۵۹ ثانیه پیاده‌سازی کرده است. طراحی به گونه‌ای است که می‌تواند با فرکانس‌های مختلف کلاک کار کند و از معماری ساعت-مبنای (clock-based) استاندارد پیروی می‌کند.

### ۲. مکانیسم شمارش زمان

سیستم از یک تقسیم‌کننده فرکانس برای تبدیل کلاک ورودی به پالس ۱ هرتز استفاده می‌کند. این مکانیسم تضمین می‌کند که دقت زمانی مستقل از فرکانس کلاک ورودی حفظ شود. شمارنده اصلی از دو بخش دقیقه و ثانیه تشکیل شده که به صورت سلسله‌مراتبی عمل می‌کنند.

### ۳. مدیریت حالت‌ها

ماژول دارای سه حالت عملیاتی اصلی است:

- حالت ریست (Reset): تمام مقادیر را به صفر بازمی‌گرداند
- حالت توقف (Pause): مقدار زمان را بدون تغییر نگه می‌دارد
- حالت اجرا (Run): شمارش زمان را انجام می‌دهد

### ۴. نمایش خروجی

سیستم از سه نمایشگر سون سگمنت پشتیبانی می‌کند که به صورت بهینه پیاده‌سازی شده‌اند. تبدیل اعداد به کدهای سون سگمنت از طریق یک تابع جداگانه انجام می‌شود که قابلیت استفاده مجدد دارد.

## بخش دوم: تست‌بنچ

### ۱. استراتژی تست

تست‌بنچ طراحی شده با کاهش فرکانس تست، زمان شبیه‌سازی را بهینه کرده است. این روش امکان بررسی رفتار سیستم در مدت زمان کوتاه‌تر را فراهم می‌آورد.

### ۲. سناریوهای تست

چهار سناریوی اصلی تست پیاده‌سازی شده است:

۱. تست ریست اولیه برای بررسی مقداردهی اولیه

۲. تست عملکرد نرمال شمارش زمان

۳. تست مکانیسم توقف و ادامه

۴. تست برگشت به صفر (rollover) پس از رسیدن به حداکثر مقدار

### ۳. پوشش تست

تست‌بنچ تمام حالت‌های عملیاتی اصلی و انتقال بین آن‌ها را پوشش می‌دهد. همچنین شرایط مرزی مانند رسیدن به حداکثر مقدار و ریست در حین کار را بررسی می‌کند.

