Национальный исследовательский университет «МЭИ»

Институт информатики и вычислительной техники

Лабораторная работа №3

**Тема: ИЗУЧЕНИЕ ПРИНЦИПОВ МОДЕЛИРОВАНИЯ ЭЛЕМЕНТОВ ПАМЯТИ И ЦИФРОВЫХ УЗЛОВ С ПАМЯТЬЮ НА ЯЗЫКЕ VHDL. ИЗУЧЕНИЕ ОПЕРАТОРОВ ПАРАЛЛЕЛЬНОГО УТВЕРЖДЕНИЯ И ОПЕРАТОРОВ КОНТРОЛЯ ВРЕМЕННЫХ ХАРАКТЕРИСТИК СИГНАЛОВ И ИХ СООТНОШЕНИЙ.**

**Выполнила:**

**Студент** Швердяков М. А.

**Группа** А-06-21

**Вариант 10**

**Двухступенчатый JK-триггер с запрещающими связями.**

1. Для заданного варианта схемы построить:

а) условное обозначение схемы, таблицу истинности (состояний), схему триггера;

Рисунок 1 - Условное обозначение схемы, таблицы состояний и схема триггера

б) поведенческую модель логического элемента - компоненты схемы; при построении модели предусмотреть возможность задания произвольного количества входных сигналов (модель с настройкой на количество входов);

Принять, что задержки времени переключения выходного сигнала элемента ИЛИ-НЕ из 0 в 1 и из 1 в 0 различны.

**Код программы:**

**entity** MS\_JK\_FF **is**

**generic**(T01: time := 5 ps; T10: time := 7 ps );

**port**(C, J, K: **in** bit; Q, NQ: **inout** bit);

**end** MS\_JK\_FF;

**architecture** arch\_MS\_JK\_FF **of** MS\_JK\_FF **is**

**signal** Q\_buf: bit;

**begin**

**process**(C, J, K)

**begin**

-- if (rising\_edge(C)) then

-- if (J = '0' and K = '1') then

-- Q\_buf <= '0';

-- elsif (J = '1' and K = '0') then

-- Q\_buf <= '1';

-- elsif (J = '1' and K = '1') then

-- Q\_buf <= (not Q\_buf);

-- end if;

-- end if;

**if** rising\_edge(C) **then**

**assert** **not** (C = '0' **or** (J = '0' **and** K = '0')) **report** ("storage mode") **severity** warning;

Q\_buf <= ((J **and** (**not** Q\_buf)) **or** ((**not** K) **and** Q\_buf));

**end** **if**;

**if** (Q\_buf = '0' **and** Q = '1') **then**

Q <= Q\_buf **after** T10;

NQ <= (**not** Q\_buf) **after** T01;

**elsif** (Q\_buf = '1' **and** Q = '0') **then**

Q <= Q\_buf **after** T01;

NQ <= (**not** Q\_buf) **after** T10;

**else**

Q <= Q\_buf;

NQ <= (**not** Q\_buf);

**end** **if**;

**end** **process**;

**end** arch\_MS\_JK\_FF;

в) структурную модель схемы, приняв в качестве компоненты поведенческую модель логического элемента.

**Элемент ИЛИ-НЕ на 3 входа:**

**entity** and\_no\_3 **is**

**port** (

x1: **in** BIT;

x2: **in** BIT;

x3: **in** BIT;

o: **out** BIT );

**end** and\_no\_3;

**architecture** arch\_and\_no\_3 **of** and\_no\_3 **is**

**begin**

o<= **not** (x1 **and** x2 **and** x3) **after** 2 ps; -- delay - ???????? ?? ????????

**end** arch\_and\_no\_3;

**Код программы:**

**entity** MS\_JK\_FF\_NAND **is**

**port** (

R: **in** BIT;

S: **in** BIT;

C: **in** BIT;

J: **in** BIT;

K: **in** BIT;

Q: **out** BIT;

NQ: **out** BIT

);

**end** MS\_JK\_FF\_NAND;

**entity** and\_no\_3 **is**

**port** (

x1: **in** BIT;

x2: **in** BIT;

x3: **in** BIT;

o: **out** BIT );

**end** and\_no\_3;

**architecture** arch\_and\_no\_3 **of** and\_no\_3 **is**

**begin**

o<= **not** (x1 **and** x2 **and** x3) **after** 2 ps; -- delay - ???????? ?? ????????

**end** arch\_and\_no\_3;

**architecture** arch\_MS\_JK\_FF\_NAND **of** MS\_JK\_FF\_NAND **is**

**component** and\_no\_3

**port** (

x1: **in** BIT;

x2: **in** BIT;

x3: **in** BIT;

o: **out** BIT

);

**end** **component**;

**signal** Y: bit\_vector(1 **to** 8);

**begin**

**assert** **not** (C = '0' **or** (J = '0' **and** K = '0'))

**report** ("storage mode")

**severity** warning;

**assert** ((**not** (C'EVENT **and** C = '1')) **or** (J'EVENT **or** K'EVENT)) **report** ("synchronous error") **severity** warning;

E1: and\_no\_3

**port** **map** (Y(8), J, C, Y(1));

E2: and\_no\_3

**port** **map** (Y(7), K, C, Y(2));

**assert** **not** (Y(1) = '1' **and** Y(2) = '1')

**report** ("master RS trigger unstable")

**severity** warning;

E3: and\_no\_3

**port** **map** (S, Y(1), Y(4), Y(3));

E4: and\_no\_3

**port** **map** (Y(3), Y(2), R, Y(4));

E5: and\_no\_3

**port** **map** (Y(2), Y(3), Y(1), Y(5));

E6: and\_no\_3

**port** **map** (Y(2), Y(4), Y(1), Y(6));

**assert** (**not** (Y(5)='1' **and** Y(6)='1'))

**report** ("slave RS trigger unstable")

**severity** warning;

E7: and\_no\_3

**port** **map** (S, Y(5), Y(8), Y(7));

E8: and\_no\_3

**port** **map** (Y(7), Y(6), R, Y(8));

**assert** (**not** (Y(7) = Y(8))) **report** ("output error") **severity** warning;

Q <= Y(7);

NQ <= Y(8);

**end** arch\_MS\_JK\_FF\_NAND;

2. Исследовать работу схемы (получить временные диаграммы и объяснить их), задавая такую тестовую последовательность значений входных сигналов, которая обеспечит на определенном интервале времени моделирования полное тестирование моделируемой схемы с учетом времени задержки переключения элемента.

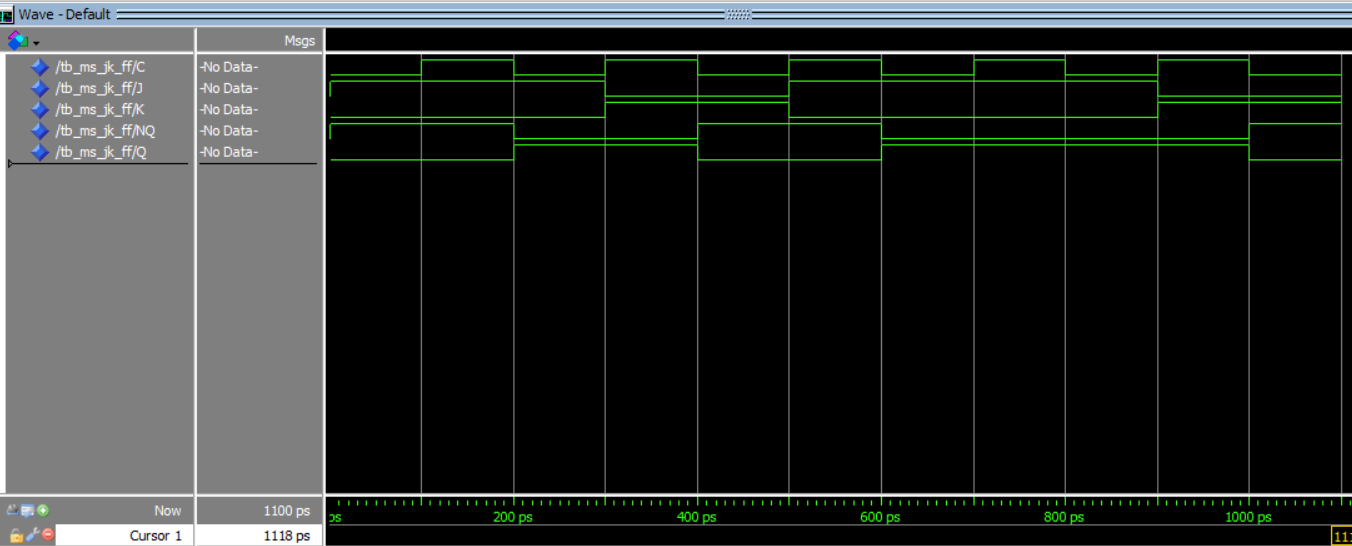


Рисунок 2 – Диаграмма для пункта б)

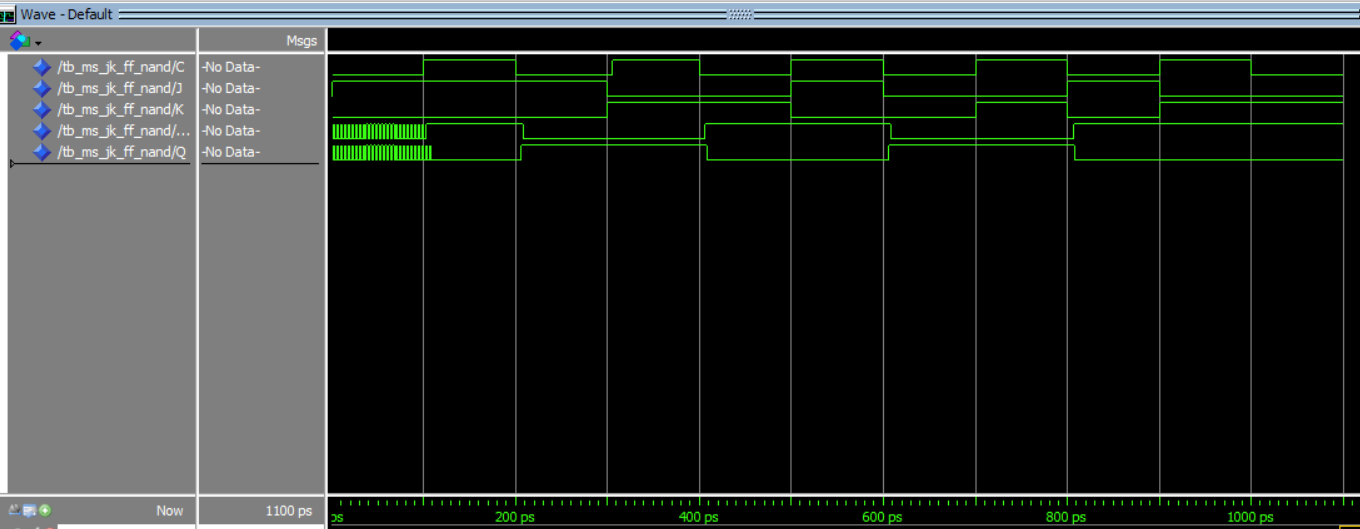


Рисунок 3 – Диаграмма для пункта в)

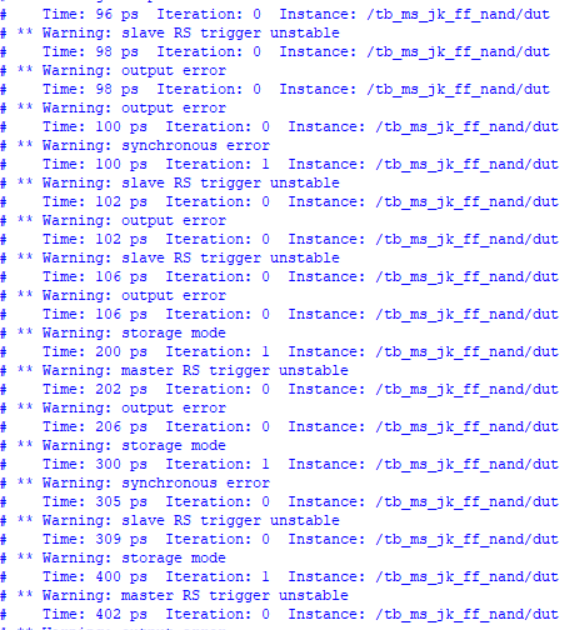


Рисунок 4 - Контроль запрещенных наборов значений входных сигналов и контроль значений входных сигналов, определяющих режим хранения элементов памяти

Вывод: была создана поведенческая модель двухступенчатого JK-триггера, а также структурная модель, с использованием элемента ИЛИ-НЕ на три входа. Понял, что такое неопределенное состояние, и как оно устанавливается. Повторил создание схемы на собственных компонентах.